

СОВРЕМЕННАЯ ЭЛЕКТРОНИКА 2 2007

www.soel.ru



Микропроцессоры
и микроконтроллеры

Компакт-диск
компаний
CIRRUS LOGIC,
SHARP,
RDC



Оптоэлектронные компоненты Микроконтроллеры

RDC®

SHARP



Оптоэлектронные компоненты SHARP

Каталог продукции
Технические описания



PROSOFT®

www.prochip.ru

Микроконтроллеры

RDC® и  CIRRUS LOGIC®

Каталог продукции
Технические описания
Программная поддержка



Реклама

PROSOFT® ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

Главный редактор

Александр Майстренко

Зам. главного редактора

Татьяна Крюк

Редакционная коллегия

Роберт Алексанян, Владимир Бартенов,
Андрей Данилов, Григорий Маркаров

Дизайн и верстка

Татьяна Крюк, Александр Либков,
Дмитрий Юсим

Web-мастер

Дмитрий Романчук

Служба распространения

Ирина Самохина (circul@soel.ru)

Служба рекламы

advert@soel.ru

Издательство «СТА-ПРЕСС»

Директор Константин Седов

Почтовый адрес: 119313, Москва, а/я 26

Телефон: (495) 232-0087

Факс: (495) 232-1653

Сайт: www.soel.ru

E-mail: info@soel.ru

Журнал выходит 9 раз в год

Тираж 13 000 экземпляров

Журнал зарегистрирован в Федеральной

службе по надзору за соблюдением

законодательства в сфере массовых

коммуникаций и охране культурного наследия

(свидетельство ПИ № ФС77-18792

от 28 октября 2004 года)

Свидетельство № 00271-000 о внесении

в Реестр надёжных партнеров Торгово-

промышленной палаты Российской Федерации

Цена договорная

Отпечатано:

Полиграфический комплекс

«Пушкинская площадь»

www.pkpp.ru

Перепечатка материалов допускается только

с письменного разрешения редакции.

Ответственность за содержание рекламы

несут рекламодатели.

Ответственность за содержание статей

несут авторы.

Материалы, переданные редакции,

не рецензируются и не возвращаются.

© СТА-ПРЕСС, 2007



Уважаемые читатели!

Основная тема этого номера – микропроцессоры и микроконтроллеры. Журнал уже неоднократно поднимал эту тему, но она настолько обширна и новой информации так много, что к ней приходится обращаться вновь.

История развития микропроцессоров насчитывает 35 лет. В 1971 г. по технологической норме 10 мкм был выпущен первый в мире 4-битный микропроцессор Intel 4004 с тактовой частотой 750 кГц. Процессоры бурно эволюционировали, росла их разрядность и рабочие частоты, уменьшались технологические нормы. В сравнении с современными 64-разрядными процессорами, содержащими десятки миллионов субмикронных транзисторов и работающими на гигагерцевых частотах, первенец выглядит очень скромно.

Тем не менее, микроэлектронная технология продолжают развиваться, закон Мура продолжает действовать, и, по прогнозам, к 2010 г. в процессорах будут размещаться уже 3 млрд. транзисторов. Мне кажется, такое бурное развитие технологии свидетельствует о несовершенстве, присущем пока ещё юному её возрасту. Сейчас сложно предугадать пути развития и представить себе её зрелый облик, но можно точно сказать, что «интеллектуальная» электроника станет более дешёвой и надёжной, а её применение повсеместным. Сейчас мы только стоим на пороге грандиозной компьютеризации всей нашей жизни.

*С наилучшими пожеланиями,
Александр Майстренко*

Market

News of the Russian Market	4
Additional Screening Testing of Advanced Space Electronics	8
<i>Yurii Urlichich, Nikolay Danilin, Dmitry Chernov, Aleksandr Sashov, Sergey Belosludtsev, Aleksandr Stepanov</i>	

Components

Trends in Microprocessor and Microcontroller Technologies	12
<i>Pyotr Pavlov</i>	
Transition from 8- to 32-Bit Systems as an Objective Stage of Evolution Comparative Analysis of Present-Day 8- and 32-bit Microcontrollers (Part 1)	16
<i>Yurii Zobnin</i>	
Freescall Semiconductor 8-bit Microcontrollers in Packages with a Small Number of Pins (Part 1)	22
<i>Tatyana Remizevich</i>	
LPC2000 (ARM7TDMI-S) Microcontrollers from Philips – One More Step on the Road to Creating an Ideal Platform for Embedded Applications (Part 5)	26
<i>Pavel Red'kin</i>	
USB Interface in Microcontrollers	34
<i>Dmitry Tumaikin</i>	

Circuitry

Temperature Measurement by Means of p–n Junction	38
<i>Grigoriy Zelenov</i>	

Projects

SPI Adapters Based on AVR Microcontrollers	40
<i>Oleg Val'pa</i>	
Multichannel Digital Temperature Regulator	44
<i>Vladimir Bartenev</i>	
Ultrasonic Air Detector for Medical Purposes	48
<i>Sergey Shishkin</i>	
Module for Wireless Telemetric Data Transmission at 2.4 GHz (Part 3)	52
<i>Aleksandr Alyi</i>	

Design and Simulation

JTAG Testing (Part 1)	58
<i>Iosif Karshenboim</i>	
Implementing a Lightweight Web Server Using PowerPC and Tri-Mode Ethernet MAC in Virtex-4 FPGAs	68
<i>Jue Sun, Peter Ryser</i>	
Practical Course of Design of Digital Devices Based on Xilinx FPGA (Part 2)	72
<i>Valeriy Zotov</i>	

Events

Third International Exhibition Silovaya Elektronika (Power Electronics)	78
Fastwel Co. – Winner of Electronica-2006 International Exhibition Prize	79

РЫНОК

- 4 Новости российского рынка
- 8 Дополнительные отбраковочные испытания современной космической электронной компонентной базы
Юрий Урличич, Николай Данилин, Дмитрий Чернов, Александр Сашов, Сергей Белослудцев, Александр Степанов

Компоненты

- 12 Тенденции развития микропроцессоров и микроконтроллеров
Пётр Павлов
- 16 Этап эволюции: переход с 8- на 32-разрядные системы как объективная реальность. Сравнительный анализ современных 8- и 32-разрядных микроконтроллеров (часть 1)
Юрий Зобнин
- 22 Восьмиразрядные микроконтроллеры компании Freescale Semiconductor в корпусах с малым числом выводов (часть 1)
Татьяна Ремизевич
- 26 Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений (часть 5)
Павел Редькин
- 34 Реализация интерфейса USB в микроконтроллерных устройствах
Дмитрий Тумайкин

Схемные решения

- 38 Измерение температуры р–п-переходом
Григорий Зеленов

Проекты

- 40 Адаптеры SPI на основе микроконтроллера серии AVR
Олег Вальпа
- 44 Многоканальный цифровой регулятор температуры
Владимир Бартенов
- 48 Медицинский ультразвуковой детектор воздуха
Сергей Шишкин
- 52 Разработка модуля беспроводной передачи телеметрических данных в диапазоне частот 2,4 ГГц (часть 3)
Александр Альй

Проектирование и моделирование

- 58 JTAG-тестирование (часть 1)
Иосиф Каршенбойм
- 68 Реализация упрощённого веб-сервера на базе ПЛИС FPGA Virtex-4, использующего встроенные аппаратные ядра микропроцессора PowerPC и трёхрежимные ядра Ethernet MAC
Джу Сан, Питер Райзер
- 72 Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx (часть 2)
Валерий Зотов

События

- 78 3-я Международная специализированная выставка «Силовая электроника»
- 79 Fastwel – призёр на международной выставке Electronica-2006

Новости российского рынка

Компоненты

Новый понижающий DC/DC-преобразователь в диапазоне входных напряжений 6...36 В от компании MPS

Компания Monolithic Power Systems дополнила линейку понижающих DC/DC-преобразователей новым контроллером MP2467 с диапазоном питающих напряжений 6...36 В.

Контроллер MP2467 построен по схеме ШИМ-регулятора с постоянной частотой преобразования 500 кГц и обеспечивает ток нагрузки до 2,5 А. Микросхема имеет силовой MOSFET-транзистор с сопротивлением канала 150 мОм, что позволяет достичь КПД более 95%. Выходное напряжение MP2467 регулируется от 0,8 до 30 В, и это даёт возможность использовать данную микросхему как в преобразователях питания ядер ПЛИС и микропроцессоров, так и для получения стандартного ряда напряжений от 3,3 до 30 В.

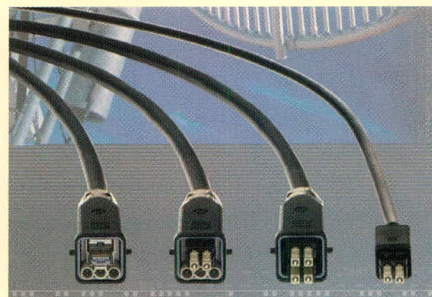
Преобразователь MP2467 имеет встроенную цепь фаза-частотной компенсации усилителя сигнала ошибки, функцию плавного запуска с программируемой длительностью, тепловую защиту и опцию отключения при пониженном входном напряжении.

Новый преобразователь MP2467 упакован в корпус SOIC8 с теплоотводящим основанием и будет доступен со II квартала 2007 г.

www.prochip.ru
Тел. (495) 232-2522

Решения для телекоммуникаций со степенью защиты IP65/67

Новая серия телекоммуникационных разъёмов Telecom Outdoor Solutions компании Harting сочетает в себе преимущества соединителей типа Harting Push Pull, защитных кожухов HAN 3A и новейших втулок для оптоволоконного или медного провода.



Предложенная интеграция стандартных оптоволоконных LC-разъёмов соответствует требованиям жёстких условий эксплуатации. Существуют также комбинированные варианты, объединяющие в одном корпусе сигнальные (оптоволокно LC и медный провод RJ45) и силовые соединители для упрощения технического обслуживания и монтажа. Подключение с использованием новой серии разъёмов отвечает степени защиты IP65/67 и является вибростойким.

www.prochip.ru
Тел. (495) 232-2522

Узлы и модули

Фирма Planar выпустила многоцветный электролюминесцентный QVGA-дисплей

Компания Planar Systems, мировой лидер в сфере дисплейных решений, представила многоцветный тонкоплёночный электролюминесцентный дисплей в формате QVGA. Имея те же высокие рабочие и фотометрические характеристики, что и монохромные электролюминесцентные дисплеи, EL320.240-FA3 воспроизводит красный, зелёный и жёлтый цвета. Новый многоцветный ЭЛ-дисплей является идеальным для медицинских, транспортных, военных и промышленных применений, требующих отображения информации в экстремальных условиях.

Электролюминесцентные дисплеи Planar состоят из полупроводниковой стеклянной панели, электронной схемы управления и встроенного источника питания. Тонкоплёночная электролюминесцентная стеклянная панель содержит слой люминофора, помещённый между прозрачными диэлектрическими слоями и матрицей рядов и колонок электродов. Плата с электронной системой управления расположена с обратной стороны стеклянной панели. Напряжение, прикладываемое к ряду и колонке электродов, заставляет область пересечения (пиксел) излучать

свет. Эта конструкция является плоской, компактной, надёжной и прочной, с великолепными оптическими характеристиками, не зависящими от температуры окружающей среды.

- Основные особенности EL320.240-FA3:
- цвета: красный, зелёный и жёлтый;
 - диапазон рабочих температур: -40...+85°C;
 - угол обзора более 160°;
 - интерфейс совместим с дисплеями AMLCD.

Образцы EL320.240-FA3 доступны с января 2007 г.

www.prosoft.ru
Тел. (495) 234-0636

Новый дисплей с высокой яркостью от Planar

Компания Planar Systems представила новую модель ЖК-дисплея LC1713R для встроенных применений, изображение которого можно считать при ярком солнечном свете. Характеризующийся максимальной яркостью 1200 кд/м², 17-дюймовый дисплей идеально приспособлен для применений в наружном оборудовании, когда яркий солнечный свет или свет от осветительных приборов затрудняет считывание изображения с дисплея. Дисплей LC1713R может автоматически уменьшать яркость с 1200 до 200 кд/м² в зависи-

мости от условий освещённости. Он имеет множество видеовходов: VGA, DVI-D, S-видео и композитного видеосигнала. Оснащённый функцией Rapid Response Video TM, LC1713R характеризуется отличными параметрами отображения динамичных изображений.

LC1713R может быть встроен в разнообразные корпуса и использоваться в наружных автоматах по продаже билетов, в банкоматах или закрытых установках, где требуется применение дисплеев с высокой яркостью. Доступен вариант исполнения LC1713RTI с упрочнённым сенсорным инфракрасным экраном с USB-интерфейсом. Вandalостойкий и износостойкий сенсорный экран обеспечивает исключительную точность и превосходные светотехнические параметры.

Основные особенности LC1713R и LC1713RTI:

- яркость 1200 кд/м²;
- упрочнённый, вandalостойкий инфракрасный сенсорный экран с интерфейсом USB (LC1713RTI);
- входы: VGA, DVI-D, S-видео;
- совместимость с монтажным оборудованием по стандарту VESA 100 мм.

Образцы LC1713R и LC1713RTI будут доступны в первом квартале 2007 г.

www.prosoft.ru
Тел. (495) 234-0636

Новости российского рынка

Компактный настольный 60-ваттный источник питания AC/DC для медицинских и промышленных применений

Новейший компактный настольный источник питания AC/DC фирмы XP Power серии PDM60 обеспечивает защиту от поражения электрическим током по классу II. Источники питания отвечают требованиям безопасности стандартов UL609501 и EN609501 для промышленных и IT-применений, а также стандартов UL60601-1 и EN60601-1 для медицинского оборудования. С электрической прочностью изоляции 4000 В (действующее значение) и низким током утечки на землю, источники питания PDM60 идеально приспособлены для медицинского и коммерческого применений. Габариты 135 × 65 × 41 мм и повышенная удельная мощность по сравнению с существующими моделями хорошо подходят для применений в портативной аппаратуре.

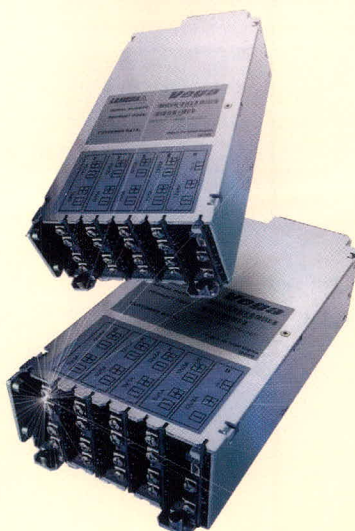
Так как защита от поражения электрическим током соответствует классу II, не требуется применения сетевой розетки с подключением к защитному заземлению. Обычно оборудование класса II требует увеличенной площади печатной платы для обеспечения дополнительной изоляции, но источники PDM60 сконструированы таким образом, что обеспечивается компактность изделий класса I, но с изоляцией оборудования класса II. Всё оборудование, которое используется в рабочих условиях, включая жилые помещения, требует применения источников питания класса II. Класс II обеспечивает должную безопасную защиту в тех случаях, когда не гарантируется доступность и целостность защитного заземления.

Источники питания серии PDM60 доступны с выходными напряжениями от 12 до 48 В и с токами нагрузки от 4,6 до 1,25 А соответственно. Обеспечивается защита от перегрузки, короткого замыкания и перенапряжения. Диапазон рабочих температур -10...+40°C без понижения выходной мощности и до +60°C с понижением выходной мощности до 50% от номинальной с коэффициентом 2,5%/°C.

www.prosoft.ru
Тел. (495) 234-0636

900-ваттные источники питания серии Vega от Lambda

Компания Lambda выпустила 900-ваттные источники питания серии Vega. Новая



модель обеспечивает на 40% больше мощности в модуле, имеющем размеры 650-ваттной модели. Источники питания увеличивают удельную мощность до значения 0,48 Вт/см³ – на сегодняшний день это новый стандарт для конфигурируемых источников питания AC/DC.

Модель Vega 900 не имеет ограничений по минимальной нагрузке, доступны 900-ваттные модели с числом выходных каналов от одного до десяти, с фиксированным или регулируемым напряжением, номинальным значением напряжения до 62 В и выходными токами до 114 А. Диапазон входного напряжения 900-ваттных моделей составляет 150...264 В переменного тока.

Эксплуатационная гибкость серии Vega напрямую зависит от её способности к изменению конфигурации. Выходной модуль характеризуется следующими функциями: дистанционное включение/выключение, сигналы состояния выходного напряжения, возможность параллельной работы, внешняя обратная связь. Новые источники питания оснащены защитой от короткого замыкания и перенапряжения, типовое значение КПД равно 75% при полной нагрузке. Габариты Vega 900 без вентилятора составляют 249,3 × 130 × 53,3 мм. Стандартное значение тока утечки на землю 1,5 мА, есть модификации для медицинских применений с током утечки 50 мкА.

По выбору заказчика модель Vega 900 может быть поставлена без вентилятора; с подключением к сети посредством винтовых соединений или розетки IEC320. Новые источники питания соответствуют требованиям ряда стандартов, включая EN55022 Class B, UL1950, CSA22.2, EN60950, IEC60950, EN61010-1 и UL3101-1.

Результаты испытаний конфигурируемых источников питания серий Vega и

Vega-Lite подтвердили их соответствие требованиям военного стандарта США MIL-STD-810E по стойкости к воздействию ударов и вибрационным воздействиям при транспортировке на судах и наземном транспорте.

Приобрести новые источники питания можно у официального дистрибьютора – компании ПРОСОФТ.

www.prosoft.ru
Тел. (495) 234-0636

Серия SDS-источников питания AC/DC: мощность увеличена до 150 Вт

Новейшая разработка фирмы XP Power – серия источников питания SDS150 – компактные 150-ваттные одноканальные изделия, которые обеспечивают в нагрузке полную мощность вплоть до температуры окружающей среды +50°C (50% мощности в нагрузке при температуре +70°C) без применения принудительного охлаждения.

Большая часть других источников питания с такой же площадью печатной платы и выходной мощностью требуют применения принудительного охлаждения, что увеличивает габариты системы и стоимость. Модели SDS150 с П-образным шасси имеют габариты 127 × 81 × 39 мм, подобные размерам моделей серии SDS120, что позволяет применять их в конструктивах высотой 1U. Доступны также модели в бескорпусном исполнении.

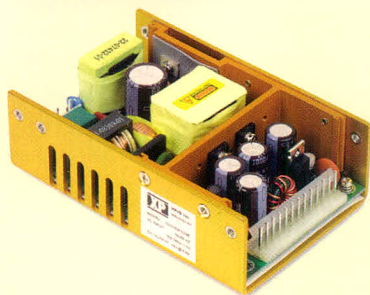
Поставляются источники питания с выходными напряжениями 9, 12, 15, 18, 24, 30, 36 и 48 В. По заказу изделия снабжаются выходным сигналом PFD, имеющим значение «лог. 0» при уровне входного напряжения ниже 90 В или при уровне выходного напряжения менее 95% номинального значения. Сервисные функции: защита от перенапряжения, защита по току и от короткого замыкания (самовосстановление). Максимальное значение КПД 90%, типовое – 88%.

www.prosoft.ru
Тел. (495) 234-0636

Sharp в кооперации с ПРОСОФТ представляет широкий ассортимент высокоэффективных компонентов электроники для обработки аудиовизуальной информации

NIM-тюнеры являются одними из самых ярких экспонатов специализиро-

Новости российского рынка



ванной выставки CSTB электронных средств обработки аудиовизуальной информации (5 – 8 февраля, МВЦ), в которой Sharp выставляется вместе с ПРОСОФТ. Будучи одним из ведущих мировых производителей, Sharp разработал так называемые NIM-тюнеры для спутникового приёма HDTV. Они интегрируют законченный Front-End DVB-S2 и схему демодулятора, выдающего цифровой 8-разрядный поток данных для последующей обработки сигналов. Sharp предлагает также соответствующие NIM-тюнеры для стандартного цифрового ТВ-приёма для различных трактов передачи: наземного, по кабелю и через спутник. Благодаря комбинации соответствующих DVB-Front-End со схемами цифровой обработки сигналов разработчикам аппаратуры не нужно решать объёмные задачи по разработке высокочастотных устройств и оптимизации схем демодуляторов. Помимо этого Sharp предлагает комплектные малошумящие блоки (МШБ) для спутникового приёма. Они отличаются, прежде всего, высоким качеством приёма с характеристикой шумов всего 0,6 дБ как в высокочастотном, так и в низкочастотном диапазоне. Ток потребления тюнеров до 290 мА в зависимости от модели.

www.prochip.ru
Тел. (495) 232-2522

Новый Quattro Band МШУ для многоканальных устройств

Введением малошумящего усилителя Quattro Band типа BS1R8IL500A компания Sharp развивает свою линию продуктов спутникового приёма. Теперь японский производитель предлагает весь спектр МШУ от небольших устройств для одноквартирных коттеджей до модулей спутниковых установок, обслуживающих многоквартирные жилые дома.

В последнем случае правильным решением является новый Quattro Band МШУ. Усилитель имеет четыре выхода: два первых для диапазона Low-Band с горизон-

тальной и вертикальной поляризацией и выходы 3 и 4 для High-Band также с горизонтальной и вертикальной поляризацией. Таким образом, модуль выдаёт нужный сигнал для мультишальтера, через который затем запитывается соответствующее число спутниковых ресиверов. Выбор частотных диапазонов при этой комбинации производится сигналом коммутации подключенных спутниковых ресиверов.

По входу МШУ Quattro Band перекрывает полный спектр несущих частот спутниковых передатчиков 10,7...12,75 ГГц. При этом новый модуль МШУ, как и все модули спутникового приёма Sharp, отличается выдающимися характеристиками сигналов: отношение сигнал-шум по всей ширине полосы составляет всего около 0,6 дБ при фазовых флуктуациях всего -75 дБ/Гц в смещении 10 кГц. Ток потребления составляет 290 мА.

Для небольших спутниковых антенных установок в предложениях Sharp имеются также малошумящие усилители Quad, Twin и Single. Они обладают такими же высококачественными характеристиками, что и МШУ Quattro Band, и уже оборудованы соответствующим мультишальтером. Таким образом, они могут с одного антенного входа подавать сигнал на четыре ресивера.

www.prochip.ru
Тел. (495) 234-0636

Sharp комплектует спутниковый тюнер DVB-S2 интегральными схемами демодулятора

Компания Sharp представляет новые модули тюнера DVB-S2 для европейского рынка. Два модуля тюнера (BS2F7VZ0164 и BS2F7VZ0165) являются полностью оснащёнными NIM-модулями (Network-Integrated-Modul), интегрирующими полный HDTV RF Front-End и контур демодуляции. Благодаря этому инновационному решению Sharp снова подтверждает, что он является одним из первых электронных предприятий, выпускающих на рынок модули тюнеров, имеющие Front-End для 8PSK- и QPSK-детектирования, чтобы принимать HDTV- и SDTV-сигналы. Интегрированная схема демодулятора обеспечивает к тому же цифровой поток 8-разрядных данных для последующей обработки сигналов.

Новые тюнеры Sharp-DVB-S2 с демодуляторами (NIM) покрывают частотный диапазон 950...2150 МГц для спутнико-

вой телевизионной передачи и предназначены для приёма как сигналов HDTV (DVB-S2), так и сигналов SDTV (DVB-S). Имеется выбор из двух демодуляторов партнёров Sharp: CX24116 фирмы Conexant и STB0899 фирмы STMicroelectronics. С помощью этих двух вариантов разработчики могут проектировать современную систему спутниковых ресиверов для двух различных Back end-решений. В BS2F7VZ0164 NIM радиочастотная часть стандарта DVB-S2 базируется на собственной разработке Sharp. Она отличается значительно улучшенными основными техническими параметрами, превосходя требования норм, в частности, в отношении высокой входной чувствительности, исключительной избирательности, хороших динамических характеристик и низкого уровня фазовых шумов. Эта технология уже оправдала себя в находящемся в серийном производстве DVB-S2 Front End-тюнере (BS2S7HZ6306) для цифрового спутникового приёмника.

Новый DVB-S2-тюнер соответствует, как и все тюнеры наземного и кабельного телевидения, действующим директивам RoHS.

www.prochip.ru
Тел. (495) 232-2522

IrSimple – простая и быстрая передача данных на короткие расстояния

Передать фото с мобильного телефона или с цифровой камеры в ноутбук или на телевизор можно с помощью нового инфракрасного интерфейса для IrSimple компании Sharp. Решающим для быстрой передачи данных на короткие расстояния является даже не столько скорость передачи, сколько сложность исполняемого при этом протокола передачи. Для многих приложений вовсе не нужны комплексные и сложные в управлении механизмы безопасности этих протоколов, поскольку передача данных по инфракрасным каналам не подвергается риску хакерства, что часто наблюдается при передаче по IP- и радиочастотным каналам. Так как передатчик и приёмник должны находиться в зоне видимости и передача осуществляется, как правило, на обозримом расстоянии от нескольких сантиметров до 1 – 2 м, нарушение передачи не может произойти незамеченным.

IrSimple сокращает обычный протокол IrDA до трёх важных этапов: создание соединения, передача данных, окончание

Новости российского рынка

соединения – каждый этап за один шаг без необходимости прохождения протоколов связи LAP, LMP и OBEX. Обмен протоколом передачи происходит при этом или в одном направлении, или в двух направлениях с подтверждением приёма на каждом этапе.

Благодаря упрощённому протоколу общее время передачи одного мегабайта через интерфейсы Sharp IrDA для IrSimple составляет всего 0,5 с. Для сравнения: для передачи того же количества информации через обычный интерфейс IrDA требуется около 5,4 с. Даже в таких High Speed Near Field-системах, как 802.11b, у которых скорость передачи

данных составляет до 11 Мб/с, для передачи 1 Мб информации требуется 4,4 с. В среднем передача данных по IrSimple примерно в восемь раз быстрее, чем это требуется по всем стандартам беспроводной связи.

Ещё одним преимуществом IrDA-интерфейсов Sharp для IrSimple, особенно для мобильных приложений, является сравнительно умеренная потребляемая мощность порядка 200 мВт и малый форм-фактор. При монтажной высоте всего 1,82 мм Sharp предлагает самый маленький из имеющихся в настоящее время на рынке IrDA-интерфейсов, который может легко интегрироваться также в новое по-

коление мобильных телефонов с исключительно плоским дизайном. К тому же этот интерфейс совместим и с обычным IrDA-протоколом, и благодаря стройной программной архитектуре нового стандарта передачи для такой системы подходят относительно простые микроконтроллеры. Поэтому целевыми приложениями IrSimple в будущем станут не только мобильные телефоны и ноутбуки, но и новое поколение плоскоэкранных телевизоров, а также цветные принтеры, демонстрационные устройства, компьютеры и цифровые камеры.

www.prochip.ru
Тел. (495) 232-2522

Приборы

USB-приборы

Особенности: миниатюрное исполнение в конструктиве USB-Flash-накопителей. Управление – с ПК через интерфейс USB 12 Мбит/с. Один канал со стандартным BNC-разъёмом, возможно объединение 4 модулей для совместной синхронной работы. Гальваническая развязка, категория III 300 В. Масса 42 г.

Осциллограф USBscope 50:

- полоса пропускания 75 МГц;
- частота дискретизации в реальном времени до 50 МГц, эквивалентная дискретизация 1 ГГц;



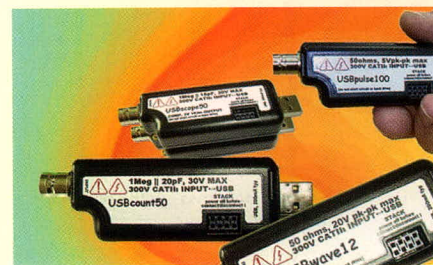
- диапазон входных напряжений до 30 В непосредственно и до 300 В с пробником 1:10;
- длина памяти 3 кБ.

Генератор сигналов произвольной формы USBwave12:

- диапазон выходных частот для синуса до 12 МГц;
- разрешение по частоте 0,2 Гц;
- амплитуда до 10 В пик на нагрузке 50 Ом;
- форма сигналов: синус, меандр, треугольник;
- технология прямого цифрового синтеза.

Генератор импульсов USBpulse100:

- диапазон выходных частот от 11,6 мГц до 100 МГц;
- виды сигналов: импульсный непрерывный, однократный импульс, уровень PLL, псевдослучайная последовательность;



- регулируемые задержка, скважность;
- выходной импеданс: >10 МОм, 50 Ом;
- амплитуда от 1,5 В до 5 В пик.

Частотомер USBcount50:

- диапазон измеряемых частот до 50 МГц со временем счёта 0,1, 1 и 10 с;
- диапазон измеряемых периодов от 10 нс до 268 с при частоте следования заполняющих импульсов 1, 10 и 100 МГц;
- входное напряжение до 5 В, максимальное до 30 В.

www.prist.ru
Тел. (495) 777-5591

Программное обеспечение

Среда разработки Wind River Workbench OCD поддерживает двухъядерный микропроцессор Intel XScale IOP342

Компания Wind River, производитель средств разработки ПО встраиваемых микропроцессорных устройств, объявила о поддержке двухъядерного микропроцессора Intel XScale IOP342, предназначенного для применения в подсистемах высокоскоростного ввода/вывода.

Среда разработки Wind River Workbench OCD (On-Chip Debugging) совместно с JTAG-адаптером Wind River ICE поддерживают одновременную отладку двух процес-

сорных ядер IOP342 по JTAG-интерфейсу. Адаптер Wind River ICE допускает включение до 128 устройств в одну JTAG-цепочку и может поддерживать синхронизирован-



ную отладку до 8 устройств одновременно. Среда разработки Wind River Workbench построена на базе открытой архитектуры Eclipse и может применяться на всех этапах разработки микропроцессорных устройств: отладка аппаратной части, разработка и отладка системного ПО (драйверов и BSP), разработка и отладка прикладного ПО и тестирование на этапе производства.

Оценочная версия среды разработки Workbench On-Chip Debugging в комплекте с оптимизирующим C/C++-компилятором Wind River Compiler и симулятором ISS (Instruction Set Simulator) доступна на сайте Wind River.

www.avdsys.ru
Тел. (495) 148-9677

Дополнительные отбраковочные испытания современной космической электронной компонентной базы

Юрий Урличич, Николай Данилин, Дмитрий Чернов, Александр Сашов, Сергей Белослудцев, Александр Степанов (Москва)

В статье впервые представлена информация о современных методах и инструментальных средствах отбраковки космической электронной компонентной базы. Материалы отражают мировой уровень космической индустрии и получены в результате выполнения совместных проектов Роскосмоса (ФГУП «РНИИ КП») и Европейского космического агентства в течение 1993–2006 гг., включая программы Европейского сообщества (ЕС) Tacis (фирм Великобритании – IGG, Spur, Испании – Tecnologica и Германии – EADS Astrium).

В настоящее время космическая технология так широко вошла в современную жизнь общества, что отказ от неё отбросил бы развитие цивилизации далеко назад. Мы всё в большей степени зависим от эффективной работы различных космических систем. Сегодня невозможно представить себе, что прогноз погоды, разведка полезных ископаемых,

мониторинг окружающей среды, развитие телекоммуникаций и телевидения, обеспечение обороноспособности и ещё много других задач решалось бы без средств космического базирования. Если первые космические аппараты (КА) функционировали в течение года, то в настоящее время стоит задача обеспечения сроков активного функционирования КА в

течение 10 – 12 лет, а в перспективе – 15 лет и более.

Космос – некая экстремальная окружающая среда, где сделанные человеком системы редко получают второй шанс. Поэтому исключительное внимание требуется уделить качеству электронной компонентной базы (ЭКБ), предназначенной для систем длительных сроков активного существования.

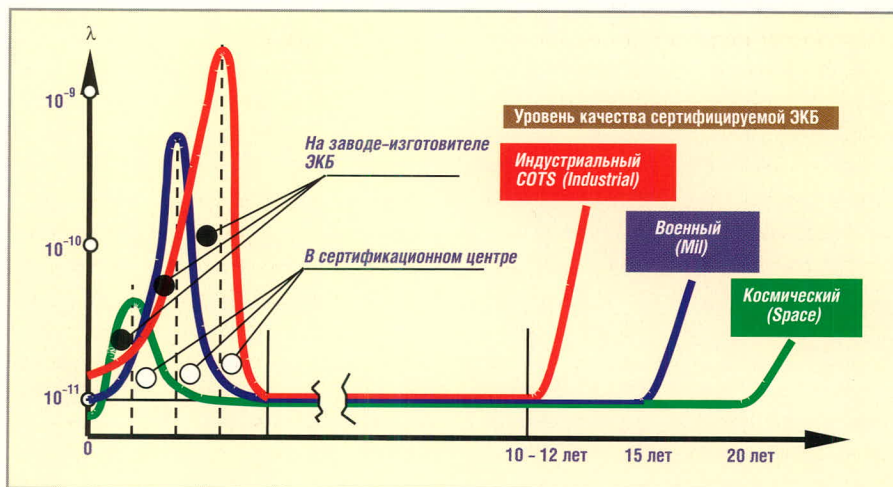
Более 16 лет «Научный центр сертификации элементов и оборудования» (НЦ СЭО) ФГУП «Российский научно-исследовательский институт космического приборостроения» (ФГУП «РНИИ КП») обеспечивает сервис по поставке ЭКБ для отечественной космической индустрии.

Используя наиболее совершенные испытания, измерения и достижения технологий обеспечения качества в сочетании с опытом менеджмента, НЦ СЭО удовлетворяет большинство запросов заказчика.

Длительная практика НЦ СЭО демонстрирует, что тесное сотрудничество с изготовителями ЭКБ необходимо для поставки качественных компонентов, экономической эффективности и соблюдения сроков поставки.

Для всех космических систем в процессе отбраковочных испытаний ЭКБ обязательно производится тренировка. Известно, что отказы возможны даже в хорошо освоенном производстве. По этой причине для обеспечения надёжности партии компонентов производится тренировка на входном контроле (рисунок) завода – изготовителя радиоэлектронной аппаратуры (РЭА). Теория и опыт показывают, что воздействие температуры и повышенного напряжения при тренировке ускоряют ранние отказы, тем самым сокращая их число при эксплуатации РЭА.

Эффективность отбраковки потенциально дефектных компонентов от-



Зависимость интенсивности отказов от времени для электронных компонентов в различном исполнении

Точки показывают два этапа отбраковки ЭКБ:

на заводе – изготовителе ЭКБ, где происходит основной отсев потенциально ненадёжных компонентов за счёт ужесточения режимов пооперационного и финишного контроля. Этот этап характерен для наиболее передовых фирм – производителей радиоэлектронной аппаратуры. Так, фирма Siemens с помощью своих специалистов контролирует отбор и тренировку ЭКБ на признанных ею лучших мировых электронных корпорациях, поставляющих ЭКБ для наиболее ответственной аппаратуры (космос, атомная промышленность);

в сертификационном центре, где происходит окончательная очистка партий ЭКБ от потенциально ненадёжных экземпляров. Использование первого этапа в максимальном объёме позволяет в ряде случаев свести второй этап к формальной сертификации ЭКБ и в целом резко повысить рентабельность космических систем

личается в лучшую сторону, если сам процесс происходит на заводе – изготовителе ЭКБ. Методология отбраковки ЭКБ включает в себя, как правило, последовательное проведение отбраковочных испытаний и технологического прогона.

Основным требованием к режимам и условиям проведения отбраковки ЭКБ является требование соблюдения принципа автономности, состоящего в обеспечении идентичности видов отказов и механизмов развития дефектов при испытаниях и реальной эксплуатации ЭКБ. Решение проблемы организации и проведения отбраковки ЭКБ предполагает выбор состава и уровней внешних факторов, которым должны подвергаться испытываемые образцы, режимов их работы, а также определение продолжительности тренировки. При проведении отбраковки обращают внимание на то, чтобы каждый вид воздействия «провоцировал» конкретные механизмы отказов, присущих испытываемой аппаратуре, её составным частям и комплексу, а диагностический контроль позволял выявлять эти механизмы на ранних этапах как предшественников потенциальных отказов.

Дополнительные отборочные испытания, называемые отбраковкой, – это испытания более высокого уровня отбора при более жестких предельных значениях, выполняемые в рамках максимальных оценок, с целью идентификации и устранения отказов. Они не повышают уровень качества компонента, но обеспечивают большее доверие к нему.

Этот термин обозначает группу дополнительных испытаний компонентов военного назначения с целью получения возможности их использования в космосе. Дополнительные испытания проводятся и в том случае, когда в рамках космической программы установленным порядком не может быть получена партия важных военных компонентов по причинам внезапного отказа, возникновения непредвиденных проблем с поставщиками, из-за устаревания компонентов или экспортных ограничений. Большинство космических программ обязано использовать высокий процент компонентов, прошедших отбраковку.

Тренировка – это метод отбраковки, при котором компоненты за-

ставляют работать некоторое время в определённых условиях окружающей среды с подачей или без подачи электрической нагрузки, рассчитанной таким образом, чтобы в процессе тренировки вызвать отказ потенциально ненадёжных схем, не повреждая качественные.

В условиях непрерывного усложнения современной РЭА многие потребители ЭКБ считают применение тренировок на входном контроле (особенно ИС) важнейшим средством повышения надёжности РЭА. Усилия, направленные на выявление качества компонентов для космоса, дают возможность НЦ СЭО обеспечивать проведение *дополнительных отборочных испытаний* (рисунок) в тех случаях, когда необходимые компоненты не могут быть легко поставлены. Такие испытания могут предотвратить множество ситуаций, когда, например, задержка по вине поставщика угрожает срывом сроков полёта или выполнение необходимых требований лежит за пределами производственных возможностей поставщика. Дополнительные отборочные испытания могут быть удобным решением, когда бюджет либо политическое противостояние препятствуют применению квалифицированных для космоса компонентов.

Результаты испытаний нескольких миллионов ИС, проведённых центральной лабораторией электротехнической промышленности Франции, показали, что до 2% ИС отказывают на этапе приработки. Если для примера изготовить электронные блоки, в которых установлены нетренированные ИС, то на этапе приёмоочного контроля больше половины таких блоков оказываются дефектными.

В серийном производстве, чтобы выявить ранние отказы РЭА, проводится электротермотренировка ЭКБ и ускоренное испытание РЭА на срок службы (например, тренировка ЭКБ под нагрузкой в течение 168 ч при температуре 250°C). Такая тренировка может быть эквивалентна эксплуатации изделия в течение года при нормальной температуре.

Компоненты, выдержавшие тренировку, будут иметь более низкую частоту отказов, что значительно повышает надёжность РЭА, в которой они используются. Разумеется, тренировка ЭКБ даёт положительные результа-

ты только в том случае, когда до и после неё проводится контроль электрических параметров.

Под тренировкой будем понимать все виды электротренировки, электротермотренировки и термотренировки. Каждый из перечисленных видов тренировки имеет свои достоинства и недостатки, поэтому необходим выбор вида тренировки и её режима для конкретного типа ЭКБ. Прежде всего, необходимо добиться, чтобы при проведении тренировки ЭКБ по выбранной методике выявлялось не менее 95% потенциально ненадёжных изделий. Данная величина достоверности результатов тренировки считается нормальной и зафиксирована военным стандартом США MIL-STD-883.

При выборе конкретных режимов и методик тренировки необходимо учитывать многие факторы, в т.ч. с время и стоимость тренировки. Оптимальный режим тренировки позволяет отбраковать потенциально ненадёжные компоненты и при этом не вызывать появления новых дефектов, снижающих надёжность компонентов.

Тренировка электронных блоков проводится, как правило, для того, чтобы выявить дефекты пайки, монтажа, а также компоненты, надёжность которых была резко снижена в процессе изготовления блоков (например, перегрев изделий, воздействие случайных импульсов напряжений, токов, статического электричества и т.п.).

Анализ и подход к выбору конкретного вида тренировки и её режимов, имитирующих влияние внешних воздействующих факторов, рассматриваются в данной статье на основе опыта, накопленного в процессе международного сотрудничества, и изучения зарубежной литературы. ФГУП «РНИИ КП» является головной научно-исследовательской организацией ракетно-космической промышленности по применению ЭКБ и по координации работ Федеральной космической программы для обеспечения высоконадёжной радиационно-стойкой ЭКБ.

Обычные потоки испытаний, многократно выполняемые фирмой IGG (Великобритания), – это путь изменения доверия к ЭКБ, пройденный для дискретных полупроводниковых приборов от уровня JANTXV (отбраковка для военного применения плюс

отбраковка перед капсулированием) до уровня JANS (отбраковка для космического применения по требованиям MIL-PRF-19500 Screening Requirements), а для интегральных схем – от MIL-STD-883 B (требования военного стандарта США) до уровня B ESA/SCC (требования координационного совета по уровням качества ЭКБ космического применения Европейского космического агентства).

Коммерческие компоненты должны соответствовать уровням отбраковки приборов для военного применения по европейским стандартам (ERMIL). Процесс проведения испытаний включает в себя контроль комплекса электрических параметров до и после термотренировки с фиксацией изменений всех электрических характеристик ЭКБ. При этом вместо 5% брака при дополнительных испытаниях допускается 1% брака.

Более жёсткий отбор требуется для выбора пассивных и активных компонентов.

Программа вышеописанных испытаний записывается следующим образом:

JANTXV	⇒	JANS
COMMERCIAL	⇒	ERMIL
883 B	⇒	SCC LEVEL B
5% погрешность	⇒	1% погрешность

Дополнительные оценочные испытания – это поток дополнительных испытаний и экспертиз, выполняемых с целью заново охарактеризовать работу компонентов вне рамок предварительных специальных максимальных оценок.

Они, как правило, применяются для компонентов военного назначения и не используются для ЭКБ, предназначенной для космоса. Дополнительные оценочные испытания могут приводить к электрическим или механическим перегрузкам ЭКБ, поэтому они проводятся вне безопасной рабочей области, установленной изготовителем, и без соблюдения ограничений проекта и материалов. Они не могут квалифицировать будущие партии, а на текущие партии отсутствует гарантия изготовителя. Низкий уровень доверия к ним объясняется тем, что потенциальные механизмы отказа могут быть выявлены по итогам испытаний, в течение которых на характеристики и работу ЭКБ можно воздействовать.

Дополнительная оценка эффективна в тех случаях, когда она выполняется в сотрудничестве с изготовителями компонентов. Тогда появляется возможность оценки и контроля качественных показателей в процессе производственных процессов, чем и достигается качество и надёжность компонентов.

Использование отбраковки рекомендуется в космических программах, военных приложениях, жёстких условиях окружающей среды и при коротком жизненном цикле (пусковые установки). В рамках космических программ отбраковка используется в следующих случаях:

- отказ партии высоконадёжных компонентов во всех программах;
- большое количество технических проблем;
- ограничения стоимости проекта;
- планирование большого количества космических программ на длительный период;
- предупреждение ненадёжности ЭКБ по ужесточённым военным требованиям;
- жёсткие условия окружающей среды (работа ЭКБ в агрессивных условиях, разрушающее воздействие полей и др.);
- короткий жизненный цикл (с целью проверки работоспособности в условиях короткого жизненного цикла).

Ограничения на проведение отбраковки возможны, если отбраковка не способствует повышению надёжности компонента и не обеспечивает получение основных данных, а проводится с целью только типовых проверок внутренней конструкции.

Проведение дополнительных отборочных испытаний не способствует повышению качества или надёжности компонента, но позволяет устранить некачественные компоненты и возможные отказы. Дополнительные отборочные испытания позволяют сертифицировать только одну партию, но не означают квалификации будущих партий. При наличии теоретической предпосылки к выявлению потенциальных или известных механизмов отказа достоверность проведения дополнительных отборочных испытаний возрастает на порядок.

Партия, в которой число отказавших в результате испытаний PDA (Physical Destructive Analyses – разрушающий физический анализ) ком-

понентов превышает допустимый процент отказов, должна быть отклонена и считается неподходящей для использования. Совместно с PDA для устранения потенциально ненадёжных партий дополнительные отборочные испытания часто включают приёмочные испытания партий LAT (Lot Acceptance Testing).

Проведение дополнительных отборочных испытаний, в которые включены PDA и испытания LAT, совместно с типовыми испытаниями, выполняемыми перед отбором, позволяют идентифицировать полностью неподходящие типы компонентов. Проведение испытаний LAT после PDA для определённой выборки из партии является основным средством, подтверждающим результаты, полученные при неразрушающих испытаниях.

Отбраковка проводится с целью получения одобрения и обоснования для использования компонентов низкого уровня качества, например, в следующих случаях:

- обоснование для программы обеспечения качества;
- использование нестандартных компонентов;
- использование нестандартных корпусов;
- экономия стоимости.

Дополнительные отборочные испытания могут быть проведены для того, чтобы получить дополнительную информацию о качестве компонентов, необходимую для одобрения в космической программе. Например, дополнительные испытания можно проводить для использования компонентов JANTXV при применении JANS. Нестандартные компоненты могут быть подвергнуты отбраковке и приняты к использованию, но такое решение распространяется только на конкретную партию проверенных компонентов для конкретного применения. Компоненты с нестандартными корпусами, например, при пластмассовой герметизации, могут быть приняты с соответствующим положительным результатом отбраковки.

Проведение дополнительных отборочных испытаний позволяет в дальнейшем применять более дешёвые компоненты. Этот подход использовался в некоторых коммерческих проектах.

Отбраковка проводится для решения следующих задач:

- определение соответствия изделия требованиям проекта и планам производства;
- реализация заложенных в ТЗ требований надёжности для малых партий;
- своевременная и запланированная поставка;
- достижение проектных требований надёжности для малых партий;
- резервирование с целью нормального процесса приобретения.

В результате время от получения заказа до поставки традиционно используемых сверхвысоконадёжных компонентов может быть сокращено.

Системы ESA/SCC используются для определения 15-летнего ресурса ЭКБ и включают в себя проведение следующих мероприятий:

- отборочные испытания по ESA/SCC (уровень В);
- прогон 15 компонентов в течение 1000 ч;
- принятие партии – при нуле отказов, отклонение партии – при одном отказе;
- уменьшение областей применения отобранных компонентов.

Отбраковка позволяет собрать данные, на основании которых будет принято решение о резервировании ЭКБ. Такие ЭКБ необходимы в случае выявления отказа в какой-либо текущей партии или при других проблемах, связанных с приобретением компонентов. Стабильность результатов испытаний и контролируемых параметров предопределяется термотренировкой на ресурсных испытаниях с контролем дрейфа параметров и вычислением дельты.

Проводится регистрация параметров и результатов испытаний. Отказы могут составлять до 3%. В основном это окисные дефекты, дефекты ме-

таллизации и проблемы сварки. При термоциклировании выявляются проблемы с внутренними водяными парами. Стандарт MIL уровня S требует вычисления разницы ключевых параметров для гарантии стабильности, подтверждения надёжности, выбора испытания и подтверждения пригодности ЭКБ промышленного уровня качества к эксплуатации в военной аппаратуре.

Запись и чтение результатов осуществляется в соответствии с требованиями ESA/SCC уровня В и MIL уровня S и обеспечивает письменное подтверждение пределов сертификации. Они используются для изучения поведения параметров в зависимости от времени и для выбора компонентов испытательной партии для специальных приложений, требующих контроля параметров. Устранение потенциальных отказов – это идентификация и устранение всей ненадёжной ЭКБ из партии, всех ненадёжных партий и неподходящих типов компонентов.

Выводы

Анализ опыта IGG и обобщение результатов испытаний изделий 883В за последние 15 лет позволяют сделать следующие общие выводы:

- большинство партий прошли испытания успешно;
- небольшое количество (~5%) потерпело неудачу даже при том, что изделие 883В было подвергнуто 100-% контролю изготовителем перед герметизацией;
- небольшое количество партий потерпело неудачу при PDA и ресурсных испытаниях, с серьезными проблемами качества.

Выбор методики испытания является типовым исходя из целей испытания

(например, измерения 100% партии резисторов с допуском $\pm 5\%$, чтобы выбрать из них резисторы с допуском $\pm 1\%$, или температурные измерения, чтобы выбрать компоненты с лучшими температурными коэффициентами).

Выбор контролируемого параметра определяется областью использования ЭКБ и задачей, решаемой данным компонентом (например, выбор компонентов с самыми низкими шумовыми фигурами или с самым высоким усилением).

Когда диапазон результатов сертификационных испытаний не включает всех желаемых значений, проводится расширение диапазона квалифицированных значений. Примером может служить отбор большего диапазона танталовых конденсаторов, не охваченных требованиями ESA/SCC, но представленных в перечне аттестованных изделий QPL (Qualified Parts List).

ЛИТЕРАТУРА

1. Урличич Ю.М., Данилин Н.С. Проблемы качества и долговечности современного космического приборостроения. М.: МАКС Пресс, 2003.
2. Урличич Ю.М., Данилин Н.С. Управление качеством космической радиоэлектронной аппаратуры в условиях глобальной открытой экономики. М.: МАКС Пресс, 2003.
3. Урличич Ю.М., Данилин Н.С., Белослудцев С.А. Многоплановые инженерно-физические исследования электронной компонентной базы для космоса. М.: МАКС Пресс, 2005.
4. Данилин Н.С., Белослудцев С.А. Отбраковка современной космической электронной компонентной базы. М.: МАКС Пресс, 2006.
5. Данилин Н.С., Белослудцев С.А. Доклад на научно-технической конференции «Электронная база новых космических систем». Адлер, сентябрь 2006. ©

Новости мира News of the World Новости мира

Фирма Agilent Technologies приобрела две новые компании

Фирма Agilent Technologies объявила, что подписан договор о приобретении двух новых компаний – Acqiris (разработчика и производителя высокопроизводительных скоростных устройств аналого-цифрового преобразования данных в форматах CompactPCI, PCI и PXI) и PXIT Inc. (производителя недорогих измерительных решений для производителей широкополосных оптических приёмопередатчиков).

Acqiris – частная компания, специализирующаяся на изготовлении высокоскоростных оцифровщиков и анализаторов сигналов, использующихся в электронике, а также временно-цифровых преобразователей. Эта швейцарская компания, основанная в 1998 г., также осуществила несколько важных прорывов в области сбора данных и владеет рядом уникальных технологий. Среди производимых ей продуктов – оцифровщики стандартов CompactPCI, PCI, PXI, VXI, VME и OEM, аналогово-цифровые преобразователи и анализаторы сигналов, ис-

пользующиеся для тестирования жёстких дисков, в полупроводниковой индустрии, радаров, оборудовании автоматизированного тестирования, физике и астрономии.

Компания PXIT находится в Лексингтоне, штат Массачусетс, и была образована после слияния компании Tsunami Photonics с PX Instrument Technology и сравнительно недавно – с FiberGrade Inc.

Финансовые подробности сделок не разглашаются. Все сотрудники Acqiris и PXIT приняты на работу в Agilent.

www.agilent.ru

Тенденции развития микропроцессоров и микроконтроллеров

Пётр Павлов (Москва)

В статье представлен краткий анализ рынка микроконтроллеров, вскрыты причины доминирования в разработках 8-разрядных микросхем, определены тенденции развития рынка на ближайшее будущее. Обзор сопровождается конкретными примерами и будет интересен как маркетологам, так и инженерам-разработчикам.

Стратегия развития сегодняшнего рынка микропроцессоров и микроконтроллеров направлена на предоставление разработчику микросхем с большей производительностью, широким набором периферии и малым энергопотреблением.

Рост производительности микроконтроллеров обуславливается расширяющимся применением 32-битных процессоров. Использование компаниями микроконтроллерного рынка архитектуры ARM произвело поистине революционный переворот в создании высокопроизводительных микросхем и проникновении на рынок COTS-технологий.

Однако растёт вычислительная мощность и восьмиразрядных микросхем с «архаичной», но ставшей уже стандартной архитектурой 8051, диапазон производительности которой простирается ныне от единиц до сотен MIPS. Ещё одной инновацией, способствующей росту производительности микроконтроллеров, является внедрение в них элементов архитектуры цифровых сигнальных процессоров.

В числе «стандартной» коммуникационной периферии микропроцессоров и микроконтроллеров сегодня находятся интерфейсы Ethernet, USB, а у микросхем, ориентированных на автомобильный рынок, – CAN, LIN, MOST, FlexRay.

Качество и темпы разработок приложений на основе современных микроконтроллеров обеспечиваются не только расширяющимся набором программного инструментария, но и включением в конструкцию кристалла систем для внутрисхемной отладки.

Если первые процессорные микросхемы являлись плодом пытливых мысли инженеров и учёных и формировали рынок, то сегодня сам рынок определяет ход мысли создателей современных процессорных архитектур и микроархитектурных конструкций. Рынок формирует список потребностей заказчиков и устраивает аукционные торги по «распродаже» этих потребностей OEM-производителям. Своеобразием этого аукциона является то, что, в отличие от антикварных салонов, участники инновационных торгов побеждают, предлагая меньшую цену. Минимизация цены конечных встроенных систем транслируется производителям элементной базы для таких систем. Именно это определяет «живучесть» 8-разрядных микроконтроллеров, доля продаж которых составляет приблизительно половину от общего объёма продаж аналогичных микросхем. А если перевести эти деньги в штуки микросхем, то при небольшой стоимости 8-разрядных микроконтроллеров их доминирование в производстве станет просто неоспоримым. В 2007 г. рынок 8-разрядных микроконтроллеров в «штучном» выражении может составить 4,2 млрд. микросхем.

Недорогие, компактные, но достаточно мощные...

В качестве примера недорогих современных 8-разрядных микроконтроллеров можно привести новое семейство MC9RS08KA компании Freescale Semiconductor, реализованное на основе ядра RS08. Компактные размеры позволяют размещать эти микросхемы в электрической зубной

щётке. Ядро RS08 является «урезанной» версией высокопроизводительной архитектуры HCS08, отличающейся низким энергопотреблением. Рабочая тактовая частота ядра микросхем нового семейства достигает 10 МГц, а напряжение питания составляет 1,8 В. Встроенный стабилизатор напряжения обеспечивает питание «логики», а также, вместе с гибкой системой тактирования, общую экономичность микроконтроллеров. В конструкции микросхем предусмотрен детектор низкого уровня питания. Новые микроконтроллеры выпускаются в корпусах с 6 или 8 выводами, имеют до 2 Кб флэш-памяти с возможностью побайтного программирования и 63 байта памяти RAM. В составе периферии имеется аналоговый компаратор и четыре линии ввода/вывода общего назначения.

«Урезание» количества выводов позволяет доводить габариты 8-разрядных микроконтроллеров до минимума и при этом снабжать их развитым набором периферии. Микроконтроллеры ST7FLITEUS от STMicroelectronics в 8-выводных корпусах DFN имеют толщину 0,9 мм и площадь менее 16 мм².

Миниатюрность не мешает на кристалле ST7FLITEUS разместить 12- и 8-битный таймеры, 5-канальный 10-битный АЦП, RC-генератор. Двенадцатибитный таймер с автоперезагрузкой и диапазоном рабочих частот 250 Гц..4 МГц генерирует ШИМ-сигнал с функцией сравнения на выходе (output compare function). Восемьбитный таймер поддерживает работу «сторожевого» таймера, системы сбора входных данных и их временной привязки. Наличие 12-битного таймера позволяет использовать новые микроконтроллеры в системах управления двигателями. Рабочий температурный диапазон ST7FLITEUS составляет –40°C...+125°C. Пять режимов энергосбережения делают микроконтроллеры ST7FLITEUS весьма экономичными.

Компанией Atmel созданы 8-разрядные микроконтроллеры ATmega88, сертифицированные для работы при температурах до +150°C (AECQ100 Grade 0). Микроконтроллеры предназначены для автомобильных приложений и позволяют разработчикам создавать распределённые системы, встраивая управляющие модули непосредственно в такие агрегаты, как коробка передач, двигатель, турбокомпрессор и т.п. Микроконтроллер ATmega88 вклю-

чает 8 Кб флэш-памяти программ, 512 байт памяти EEPROM, усилитель, 10-разрядный АЦП, быстрый аналоговый компаратор, генератор тактовых сигналов на 8 МГц. Надёжная работа микроконтроллера обеспечивается наличием подсистем Power-on-Reset (перезапуск при подаче питания), Brown-out-Detector (детектор сбоев питания), «сторожевого» таймера.

Спектр приложений для 8-битных микроконтроллеров существенно расширился за счёт того, что теперь они поддерживают технологии Ethernet. Сегодняшним 8-разрядным «малышам» под силу работа во «всемирной паутине». Новинкой продуктовой линейки компании Microchip Technology является семейство миниатюрных 8-разрядных микроконтроллеров PIC18F97J60, поддерживающих интерфейс IEEE 802.3 Ethernet.

Интегрированный 10BASE-T Ethernet-контроллер (уровни MAC и PHY), производительность вычислительного ядра в 10 MIPS, 128 Кб флэш-памяти программ и 4 Кб памяти RAM позволяют использовать новую микросхему в системах мониторинга серверного оборудования, контроля окружающей среды, системах «интеллектуального» здания, бытовой автоматике, торговом оборудовании. Ресурсы памяти PIC18F97J60 обеспечивают размещение стека протоколов TCP/IP, Web-сервера и кода приложения. Усовершенствованный Ethernet-буфер объёмом 8 Кб поддерживает операции хранения и модификации пакетов. Компания Microchip бесплатно предоставляет стек протоколов TCP/IP (www.microchip.com/tcpip) для ускорения разработки приложений.

Новые микроконтроллеры Rabbit 4000 от Rabbit Semiconductor в 128-выводных корпусах TQFP и TFBGA, имеющие максимальную рабочую тактовую частоту ядра 60 МГц, также поддерживают интерфейс 10Base-T Ethernet. Назначение многих выводов микропроцессора изменяется программно. В составе периферии микросхем имеются аппаратные средства защиты данных, контролер прямого доступа к памяти (DMA), до 40 линий ввода-вывода общего назначения.

С ДОСТАТОЧНЫМИ РЕСУРСАМИ ПАМЯТИ И УДОБНЫЕ ДЛЯ РАЗРАБОТОК...

Технологией «выживания» 8-разрядных микроконтроллеров стал пе-

реход к использованию флэш-памяти для хранения программного кода, что, помимо прочего, облегчает модернизацию готовых систем. При этом компактные 6-выводные микроконтроллеры могут иметь 512 байт флэш-памяти, тактовый генератор на 4 МГц, 8-битный таймер, аналоговый компаратор, несколько линий GPIO.

Встроенная флэш-память активно применяется в большинстве новых микроконтроллеров, что придаёт гибкость разработке, обеспечивая возможность перепрограммирования флэш-памяти в готовой системе. Благодаря этому изменения кода могут оперативно вноситься и тестироваться во время разработки, а обновление программного обеспечения при необходимости может быть произведено и в готовом оборудовании.

Современные микроконтроллеры обладают большими возможностями при отладке приложений. Это достигается включением в конструкцию кристалла встроенного модуля эмуляции и добавлением нескольких дополнительных контактов для поддержки отладочного порта JTAG (стандарт IEEE 1149.1). Для микроконтроллеров, имеющих несколько десятков выводов, это является оправданной «платой» за удобство отладки. Для устройств с малым количеством выводов используется мультиплексирование сигналов интерфейса JTAG. Сегодня некоторые разработчики микроконтроллеров «втискивают» JTAG-отладку в один разъём. Интерфейс JTAG устанавливается в микросхеме и широко применяется в процессе производства при автоматическом тестировании.

«Паразитный» прирост площади подложки, требуемой для размещения модуля эмуляции, составляет не более 5%. В то же время его применение с интерфейсом JTAG обеспечивает высокоуровневый доступ и возможность управления всеми цифровыми и периферийными аналоговыми устройствами, ресурсами процессора, а также кодом приложения, размещённым во флэш-памяти. При этом достигается полная идентичность электрических характеристик отлаживаемой системы и конечного продукта.

Интегрированная система отладки является ещё одним инструментом продления жизненного цикла апробированных микроконтроллерных архитектур. В продуктовой линейке корпо-

рации Atmel появилась микросхема T89C51RE2, представляющая собой микроконтроллер на основе архитектуры 8051 с флэш-памятью программ объёмом 128 Кб. Новинка дополняет семейство микроконтроллеров AT89C51RB2/RC2/RD2/ED2 с архитектурой 8051, имеющих флэш-память объёмом 16, 32 и 64 Кб, фактически превратившихся в промышленный стандарт. Ключевой особенностью микроконтроллера AT89C51RE2 является интегрированная на кристалле схема поддержки отладки, что снижает стоимость эмуляции, позволяет проводить отладку в режиме реального времени и ускоряет процесс отладки.

Напряжение питания микроконтроллера AT89C51RE2 составляет 2,7...5,5 В, рабочая тактовая частота – 2...40 МГц, максимальная производительность – 4 MIPS. Микроконтроллер AT89C51RE2, помимо памяти RAM объёмом 8 Кб, имеет развитую периферию, включающую два порта UART, «сторожевой» таймер, подсистемы детектирования сбоев питания и перезапуска системы после них, счётчик PCA, интерфейс SPI, систему поддержки отладки (on-chip debug), 50 линий ввода/вывода общего назначения. Новый микроконтроллер предлагается для использования в потребительских и промышленных приложениях, таких как управление двигателями, «интеллектуальные» сенсорные системы, телевизионные приставки.

«БЫСТРО, КАК ТОЛЬКО МОЖНО... ЕЩЁ БЫСТРЕЕ...»

Однако дешевизна, в том числе за счёт ускорения и упрощения процесса отладки, и компактность сегодня должны быть дополнены высокой производительностью (конечно, понятие «высокая производительность» не является абсолютным).

«Патриарх» микроконтроллерного мира – архитектура 8051, появившаяся в 70-х годах прошлого века – на «заре своей юности» использовала 12 циклов для выполнения одной инструкции. Через 20 лет Dallas Semiconductor (нынешняя Maxim Integrated Products) снизила эти «затраты» до 4 циклов. В 2006 г. компанией Atmel представлены шесть новых микроконтроллеров (AT89LP214, AT89LP213, AT89LP414, AT89LP413, AT89LP216, AT89LP416) на основе архитектуры Atmel 8051 Single Cycle Core, которая обеспечивает исполне-

ние 70% инструкций за один цикл. Производительность новых микросхем может достигать 20 MIPS на тактовой частоте 20 МГц. По сравнению с традиционной архитектурой 8051 инновации Atmel повышают производительность в 12 раз и позволяют снизить энергопотребление на 80%. Новые микросхемы включают подсистемы, обеспечивающие отладку на кристалле, аппаратное умножение, ШИМ, имеют системы аналогового компаратора, тактового генератора и 12 линий ввода/вывода общего назначения. Это позволяет использовать их в приложениях управления двигателями, управления зарядкой аккумуляторов и т.п.

Во встроенных системах, где цена и габаритные ограничения по сравнению с производительностью отступают на второй план, неизбежен переход на 32-разрядные архитектуры. При этом применение для их производства технологических процессов с проектными нормами 0,35 мкм, 0,25 мкм и 0,18 мкм позволяет снизить площадь кристаллов и повысить выход «годных» с одной кремниевой пластины до уровня, обеспечивающего сравнимость цен 8- и 32-разрядных микросхем.

Одной из особенностей перехода к 32-разрядным высокопроизводительным процессорным ядрам в микроконтроллерах является возможность отказаться от избыточности периферии в 8- и 16-разрядных микросхемах. Зачастую эти блоки представляют собой системы, призванные закрыть «прорехи», которые обусловлены маломощностью вычислительных ядер (большие буферы FIFO, дополнительный набор регистров UART, дополнительные цепи интерполяции ЦАП и т.п.). Для 32-битных процессоров вспомогательные подсистемы уже не нужны, и отказ от них сокращает площадь кристалла.

Для создания микроконтроллеров уже применяются 90-нанометровые технологии, на базе которых производится, например, семейство 32-разрядных микроконтроллеров LPC3000 с архитектурой ARM926EJ-S и с тактовой частотой до 200 МГц.

О том, что может обеспечить современная 32-разрядная архитектура на микроконтроллерном рынке, можно судить по микросхеме SH7203 с уровнем производительности 480 MIPS, сравнимым с производительностью

промышленных ПК. Время реакции на прерывания у микроконтроллера составляет лишь 30 нс при тактовой частоте 200 МГц.

Микроконтроллер SH7203 создан компанией Renesas на основе 32-разрядного RISC-ядра SH2-A-FPU, имеет сопроцессор для работы с плавающей запятой (FPU) с одинарной и двойной точностью. Удельная производительность нового микроконтроллера с пятиступенчатым конвейером – 2,4 MIPS/МГц. Сопроцессор для работы с плавающей запятой нового микроконтроллера имеет производительность 400 MFLOPS. Модуль FPU может использоваться для поддержки алгоритмов цифровой обработки сигналов, включая одновременное декодирование нескольких потоков.

В составе периферии нового микроконтроллера имеется инструментальный для создания системы сбора данных и управления: 8-канальный 10-разрядный АЦП, 2-канальный 8-разрядный ЦАП, таймер сравнения (Compare-Match-Timer), «часы» реального времени (Real Time Clock).

Сочетание высокопроизводительных ядер и сопроцессора, периферии для создания системы сбора данных и управления, интерфейсов CAN, USB, портов последовательной передачи данных, драйвера ЖК-дисплея позволяет использовать новый микроконтроллер для современных систем управления двигателями и иных промышленных приложений реального времени.

ПЕРИФЕРИЯ, НА КОТОРУЮ МОЖНО ОПЕРЕТЬСЯ...

Оценивая однокристалльные компьютеры – микроконтроллеры, всегда анализируют характеристики не только процессорного ядра, но и коммуникационной подсистемы и поддерживаемой памяти.

Важнейшей частью периферии являются коммуникационные интерфейсы. Автомобильные системы широко используют CAN, портативная бытовая электроника нуждается в USB, телекоммуникационные устройства всё активнее опираются на Ethernet, причём сетевые передачи должны быть надёжно защищены. Для этого, например, новые флэш-микроконтроллеры AT91SAM7X128 и AT91SAM7X256 корпорации Atmel с архитектурой ARM7 имеют систему аппаратного шифрования на основе

технологий AES/3DES. Встроенный процессор шифрования AES и тройного DES совместно с контроллером прямого доступа к памяти периферийных устройств обеспечивает шифрование и дешифрование данных на скорости до 80 Мбит/с для AES, 32,8 Мбит/с для DES и 20 Мбит/с для тройного DES. Аппаратная поддержка шифрования данных позволяет в ряде случаев в 20 раз ускорить этот процесс по сравнению с его программной реализацией.

Сегодня в конструкции микроконтроллера наиболее затратной с точки зрения занимаемой площади является память, а именно, флэш-память для хранения кода программ и SRAM для хранения данных. Для оптимизации размеров памяти SRAM усовершенствованы технологии размещения и хранения данных в ней. Технология «невыровненной» выборки (unaligned data) позволяет хранить данные разных типов рядом. Для уменьшения потребных ресурсов SRAM используется техника связывания битов (bit banding). Позволяя манипулировать единичными битами, она обеспечивает 100-% использование памяти в приложениях, управляющих «единичными» («статусными») данными.

Чтобы облегчить своим заказчикам переход на 32-разрядную платформу, компания Freescale Semiconductor создала новое процессорное ядро для 32-разрядных микроконтроллеров, совместимых с 8-разрядными платформами.

Новое процессорное ядро 68K/ColdFire V1 позволяет создать 32-разрядные платформы, совместимые с 8-разрядными. Ядро 68K/ColdFire V1 включает полный набор регистров архитектуры ColdFire и поддерживает ту же модель программирования, что и ядра 68K/ColdFire V2 – V4. В то же время ядро V1 использует шинную структуру S08, что позволяет применять те же периферийные модули, что и при использовании 8-разрядной архитектуры. Ряд изделий на основе ядра 68K/ColdFire V1 компания Freescale Semiconductor намерена выпустить в 2007 г.

ТО ЛИ ЕЩЁ БУДЕТ...

Для приложений по управлению электродвигателями создан новый класс микроконтроллеров – цифровые сигнальные микроконтроллеры (ЦСМ). В сравнении с микроконтрол-

лером, цифровой сигнальный процессор (ЦСП) до недавнего времени проигрывал в удобстве программирования, а написанные куски кода для поддержки логических переходов и операций ввода/вывода превосходили по своему объёму написанные для микроконтроллеров. В нынешних ЦСМ совмещены удобство программирования микроконтроллеров и высокая скорость обработки сигналов, присущая ЦСП. Благодаря этому ЦСМ TMS320F2812 корпорации TI, например, имея тактовую частоту 150 МГц, при работе в системе управления электродвигателем позволяет обрабатывать в реальном времени данные, собираемые при частоте дискретизации, превышающей требования критерия Найквиста в несколько раз. Применение этого ЦСМ обеспечивает не только требуемую скорость, но и точность вычислений благодаря использованию 32 разрядов для представления данных.

Микросхемы ЦСМ семейства 2000 (C280x и F280x) имеют 32-битную шину данных. Их смешанный набор 16/32-битных инструкций обеспечивает высокую плотностью кода. Двенадцатибитный аналого-цифровой преобразователь ЦСМ F2809 с частотой дискретизации 12,5 МГц позволяет получать эффективное число разрядов (ENOB) до 10,9 и сохранять его неизменным во всём диапазоне температур от -40 до +125°C. Микросхемы TMS320C28x и TMS320F28x поддерживают технологию широтно-импульсной модуляции с высоким разрешением, обеспечивающую 16-битную точность при частоте в контуре управления 100 кГц и 12-битную при 1,5 МГц. В устройствах цифрового управления питанием более высокая разрешающая способность ШИМ позволяет получить «короткую» переходную характеристику с меньшими амплитудными искажениями.

Аппаратная поддержка цифровой обработки сигналов включается сегодня в возможности 8-разрядных микроконтроллеров. Компания Ramtron выпустила микроконтроллер VRS51L3074 на основе архитектуры 8051. Помимо того что ядро VRS51L3074 имеет производительность 40 MIPS, микроконтроллер аппаратно поддерживает технологию цифровой обработки сигналов, набор периферии включает два порта

UART (1,25 Мбит/с), интерфейс Enhanced SPI (20 Мбит/с), 8 широтно-импульсных модуляторов с разрешением 16 бит, таймеры которых могут использоваться как таймеры общего применения.

Подводя итоги...

Рынок 8-разрядных микроконтроллеров успешно развивается. Но несомненным фактом является и возрастание роли 32-разрядных процессоров в поддержке встраиваемых приложений. При этом лидеры рынка стремятся иметь в своей продуктовой линейке сбалансированный набор 8/16- и 32-разрядных микросхем. В качестве иллюстрации можно привести тот факт, что в линейке предложений компании ZiLOG появился первый 16-разрядный микроконтроллер ZNEOZ16F на основе нового ядра ZNEO. В перспективе к концу года в линейке компании должны появиться и 32-разрядные микроконтроллеры на основе ядра ARM 9.

В среднем же в мире около трети новых разработок встроенных систем основаны на 32-разрядных процессорных платформах. На стремительно развивающемся азиатском рынке от половины до 70% разработчиков (в зависимости от страны) планируют использовать 32-разрядные процессоры в своих проектах.

Эта тенденция подкрепляется не только спросом, но и адекватным предложением от производителей процессоров и микроконтроллеров. 32-разрядные платформы не только обладают вычислительной мощностью, но и удобны для разработчиков в части возможностей высокоуровневого программирования на языках C, C++ и высокой интеграции периферийных подсистем для подключения внешних сигналов, передачи сигналов управления и управления графическими устройствами.

На рынке 32-разрядных микроконтроллеров доминирует архитектура ARM в 7 и 9 версиях. Однако конкуренты не дремлют. Так, недавно компания Tensilica представила новое семейство синтезируемых процессорных ядер Diamond Standard. Оно включает два ядра – 108Mini и 212GP. Первое из них при реализации «в кремнии» на основе технологического процесса 0,13 мкм позволяет создать RISC-микроконтроллер без кэш-памяти с подключаемой памятью

RAM для хранения данных и программ. Он обеспечивает работу на максимальной тактовой частоте 350 МГц с производительностью, сопоставимой с той, что обеспечивает ядро ARM9 при энергопотреблении меньшем, чем у ядра ARM7. Ядро Diamond 212GP позволяет создать RISC-микроконтроллер с кэш-памятью инструкций и данных, 16-битным умножителем с накоплением, поддержкой ряда возможностей ЦСП и локальной шиной с задержкой в один цикл. Процессорное ядро Diamond 212GP обеспечивает производительность на 40% большую, чем у ARM9 при энергопотреблении, меньшем на 30%, чем у этого ядра.

Несмотря на сближение производственной стоимости 8/16- и 32-разрядных микроконтроллерных кристаллов, «экономная» экономика оставляет достойное место на рынке 16-разрядным микроконтроллерам. Их использование позволяет создавать не только высоконадёжные системы для приложений промышленного класса, но и весьма оригинальные системы для ёмкого потребительского рынка «полупромышленных» систем. Так, в числе победителей проектов на базе микроконтроллеров семейства MSP430 на пятой ежегодной конференции MSP430 Advanced Technical Conference первый приз получил разработчик «карманного» двухканального запоминающего осциллографа, а второе и третье места получили регистратор температур и часы реального времени с температурной компенсацией.

Карманный осциллограф, победивший на конкурсе, обеспечивает функциональность 8-канального логического анализатора, генератора сигналов, спектроанализатора и двухканального вольтметра, поддерживающего как визуализацию сигналов, так и запоминание данных. Компактный регистратор температуры на основе микроконтроллера MSP430F2013 обеспечивает разрешение в 0,02°C. Часы реального времени с температурной компенсацией были созданы на основе микросхемы MSP430FG439. Они позволяют определять точное время, управлять ЖК-дисплеем и осуществлять температурную компенсацию работы устройства. Созданные часы способны показывать точное время в течение 10 лет без замены комплекта батарей. ©

Этап эволюции: переход с 8- на 32-разрядные системы как объективная реальность. Сравнительный анализ современных 8- и 32-разрядных микроконтроллеров

(часть 1)

Юрий Зобнин (Москва)

Появление микроконтроллеров с ядром ARM сделало переход с 8- на 32-разрядные встраиваемые системы естественным и неотвратимым событием. В статье проведён сравнительный анализ 8- и 32-разрядных систем по нескольким критериям, даны рекомендации разработчикам по выбору элементной базы. Статья сопровождается многочисленными примерами и справочной информацией.

Постоянно повышающаяся функциональная насыщенность встраиваемых систем обуславливает рост требований к мощности используемых микроконтроллеров и их программ. Однако до настоящего времени самыми популярными во встраиваемых системах оставались 8-разрядные микроконтроллеры, которые по показателю цена–функциональность были вне конкуренции. От существовавших 32-разрядных микроконтроллеров они отличались рядом преимуществ:

- низкой ценой;
- низким потреблением энергии;
- чрезвычайно высокой степенью функциональной и системной ин-

теграции (зачастую вся встраиваемая система могла состоять из единственного микроконтроллера, практически не требующего никакой обвязки);

- относительной доступностью качественных средств разработки и отладки.

Однако за последние годы в мире 32-разрядных микроконтроллеров произошли события, которые в корне изменили расклад сил. Ниша исключительного применения 8-разрядных микроконтроллеров оказалась под жёстким давлением со стороны 32-разрядных устройств.

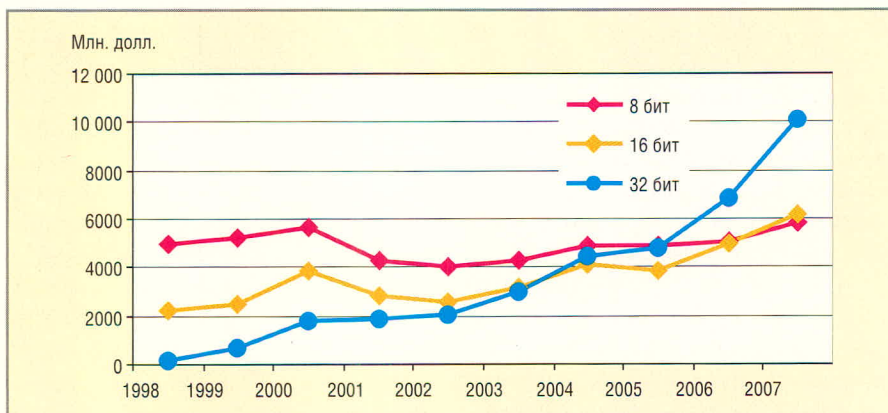


Рис. 1. Динамика рынка микроконтроллеров

ДИНАМИКА РАЗВИТИЯ РЫНКА МИКРОКОНТРОЛЛЕРОВ

Согласно данным маркетингового анализа компании Semico, в 2006 г. объём продаж 32-разрядных микроконтроллеров должен превысить продажи 8- и 16-разрядных микросхем. Из приведённой на рис. 1. диаграммы видно, что развитие 16-разрядных микроконтроллеров идёт существенно более медленными темпами, чем 32-разрядных. Это лишнее раз говорит о том, что при принятии решения о смене 8-разрядного микроконтроллера на более мощный в качестве основной стратегической перспективы имеет смысл рассматривать, в первую очередь, сразу 32-разрядные микросхемы, минуя 16-разрядные, за исключением особых случаев, о которых будет сказано ниже.

СТОИМОСТЬ КАК ФУНКЦИЯ УРОВНЕЙ ТЕХНОЛОГИИ И ИНТЕГРАЦИИ

Что же изменилось за последние годы и позволило говорить о массовом вторжении 32-разрядных микроконтроллеров в область 8-разрядных приложений?

Во-первых, произошёл массовый переход полупроводниковой индустрии на технологию 0,18 мкм, что резко снизило размеры 32-разрядного кристалла и сделало его стоимость сопоставимой со стоимостью аналогичной 8-разрядной микросхемы.

Однако простого снижения цены было недостаточно. Помимо стоимости самого микроконтроллера на конечную цену всей системы значи-

тельное влияние оказывала стоимость необходимых периферийных устройств. В этом плане 8-разрядные микроконтроллеры традиционно «давали фору» любому 32-разрядному конкуренту: они работали от единственного источника питания, интегрировали силовые выводы и всевозможные каналы связи, имели встроенную систему сброса, генерировали системную тактовую частоту от встроенного генератора. Помимо этого, важнейшими требованиями являлись предсказуемое поведение системы при сбоях (функции brown-out детектора и сторожевого таймера) и наличие защиты FLASH-памяти от несанкционированного считывания (lock bits). Именно появление 32-разрядных микроконтроллеров, соединивших в себе эти два важнейших качества – низкую стоимость и высочайшую функциональную насыщенность – сделало их прямыми конкурентами традиционных 8-разрядных систем.

МИКРОКОНТРОЛЛЕРЫ С ЯДРОМ ARM – ЛИДЕРЫ РЫНКА

До сих пор, упоминая 32-разрядные микроконтроллеры для встраиваемых систем, мы не называли конкретные архитектуры. Однако на данный момент можно утверждать, что безусловным лидером являются микроконтроллеры с ядром ARM, захватившие 75% рынка. Хорошо это или плохо – вопрос спорный, однако, по крайней мере, проблему выбора этот факт существенно упрощает. Если вы в настоящее время задумались над переходом на 32-разрядный микроконтроллер с 8-разрядного, то микроконтроллер с ядром ARM – это первый кандидат в списке претендентов.

АРХИТЕКТУРА ARM

Сокращение ARM происходит от названия английской компании Advanced RISC Machines, основанной в 1990 г. в результате сотрудничества компаний Acorn и Apple Computer's. Первое ядро, названное ARM6, было разработано в 1991 г., однако реальное воплощение получила только следующая разработка – ядро ARM7, созданное в 1993 г. Компания не занимается непосредственным производством микросхем. Возможно, эта особенность, которая, на первый

взгляд, воспринимается как недостаток, и способствовала удивительной популярности архитектуры ARM. Фирма поставляет свои разработки в электронном виде, на основе которых клиенты конструируют свои собственные микропроцессоры и микроконтроллеры. Клиентами ARM являются свыше 60 производителей полупроводников, среди которых можно выделить такие известные компании, как Altera, Analog Devices, Atmel, Cirrus Logic, Fujitsu, MagnaChip (Hynix), Intel, Freescale (Motorola), National Semiconductor, NXP (Philips), OKI, ST Microelectronics и Texas Instruments.

В настоящее время архитектура ARM занимает лидирующие позиции и охватывает 75% рынка 32-разрядных встраиваемых RISC-микропроцессоров. Фактически можно говорить об архитектуре ARM как о промышленном стандарте. Распространённость ядра предоставляет возможность разработчику более гибко использовать свои и сторонние программные наработки как при переходе на новое процессорное ARM-ядро, так и при «миграциях» между разными типами ARM-микроконтроллеров.

Особенности архитектуры ARM

Архитектура ARM отражает собственную философию компании, суть которой – максимальное удовлетворение требованиям встраиваемых систем. Для этого разработчики не стали замыкаться в формальных рамках RISC-архитектуры, а в одном продукте реализовали идеи, ранее считавшиеся несовместимыми.

Хотя в своей основе ядро ARM отталкивается от идеологии RISC-архитектуры (ограниченный набор команд, очередь выборки инструкций, активное использование регистров и ограниченный доступ к памяти), оно не является «чистым» представителем RISC. Не все инструкции ARM выполняются за один цикл. Например, есть инструкции, позволяющие переслать между памятью и регистрами 16 слов по 32 разряда. Поскольку подобные операции активно используются компиляторами при каждом вызове и возврате из функций, введение таких инструкций существенно ускоряет работу программы и минимизируют размер кода.

В состав системы команд входят также инструкции обращения к аппа-

ратному сопроцессору. Это позволяет разработчикам микроконтроллеров на базе ARM расширять возможности базовой архитектуры, добавляя свои сопроцессоры в случае необходимости.

Дополнительно к ARM-архитектуре могут интегрироваться несколько расширений:

- Thumb® – 16-разрядный набор инструкций, улучшающий эффективность использования памяти программ;
- DSP – набор арифметических инструкций для цифровой обработки сигналов;
- Jazelle™ – расширение для аппаратного непосредственного исполнения Java-инструкций;
- Media – расширение для 2...4-кратного увеличения скорости обработки аудио- и видеосигналов.

Набор инструкций Thumb

Первоначальная система команд ARM содержала только 32-разрядные инструкции. Однако для систем, критичных к стоимости и объёму памяти программ, к которым относятся практически все встраиваемые системы реального времени, большая длина инструкций оказалась «узким местом», ограничивающим распространение новой архитектуры. FLASH-память – один из наиболее дорогих компонентов системы, и снижение её объёмов – актуальная задача. Поэтому в 1995 г. система команд ARM дополнилась новым набором 16-разрядных инструкций, получившим название Thumb.

Это стало в инженерном смысле очень красивым решением проблемы. Из всего набора инструкций ARM были отобраны наиболее употребляемые инструкции и перекодированы в 16-разрядные опкоды. При выборке такой инструкции процессор ARM с помощью простого аппаратного дешифратора восстанавливает истинный 32-разрядный код инструкции, который и выполняется процессором. Таким образом, стандартное 32-разрядное ядро без каких-либо переделок получило возможность работы с 16-битовыми инструкциями. При разработке Thumb пришлось пожертвовать некоторыми инструкциями, было снижено по сравнению с ARM количество доступных регистров, режимов адресации, ограничен доступ к некоторым системным ресурсам

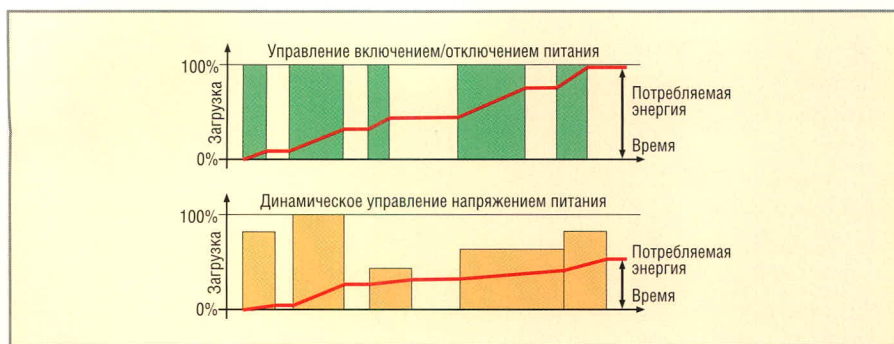


Рис. 2. Управление напряжением питания

(регистрам состояния, сопроцессорам). Однако при необходимости процессор может легко сменить режим выбора инструкций, переходя из Thumb в ARM и обратно. Имея это в виду, разработчик может гибко управлять поведением своей программы, используя наиболее эффективный для каждого случая набор команд: для снижения необходимого объема памяти от 35 до 50% можно использовать режим Thumb, для достижения максимальной производительности – режим ARM.

Технология SIMD

Технология SIMD (несколько данных в одной инструкции) используется в media-расширении и нацелена на увеличение скорости обработки данных в приложениях, где требуется малое энергопотребление. SIMD-расширения оптимизированы под широкий диапазон программного обеспечения, в том числе под аудио-/видеокодеки, где эти технологии позволяют увеличить быстродействие обработки в 4 раза.

Набор инструкций DSP

Многие приложения предъявляют повышенные требования по быстродействию реально-временной обработки сигналов. Традиционно в таких ситуациях разработчики прибегают к использованию цифрового сигнального процессора (DSP), что увеличивает энергопотребление и стоимость как самой разработки, так и конечного устройства. Для устранения этих недостатков в ряд ARM-процессоров интегрированы инструкции ЦСП, выполняющие 16- и 32-разрядные арифметические операции.

Технология Jazelle®

Технология ARM Jazelle предназначена для приложений с поддержкой языка программирования Java. Она

предлагает уникальное сочетание высокой производительности, малой системной стоимости и невысоких запросов к энергопотреблению, что не может быть достигнуто одновременно, если использовать сопроцессор или специализированный Java-процессор.

Технология ARM Jazelle является расширением 32-разрядной RISC-архитектуры, которое позволяет ARM-процессору выполнять Java-код на аппаратном уровне. При этом достигается непревзойденное быстродействие исполнения Java-кода с помощью ARM-архитектуры. Таким образом, разработчики имеют возможность свободно реализовывать Java-приложения, в том числе операционные системы и прикладной код, на одном процессоре.

В настоящее время технология Jazelle интегрирована в следующие ARM-процессоры: ARM1176JZ(F)-S, ARM1136J(F)-S, ARM1026EJ-S, ARM926EJ-S и ARM7EJ-S.

Традиционные ARM-процессоры поддерживают два набора инструкций. В режиме ARM поддерживаются 32-разрядные инструкции, а в режиме Thumb наиболее популярные инструкции сжимаются до 16-разрядного формата. Технология Jazelle расширяет эту концепцию, добавляя третий набор инструкций – Java, который активизируется в новом Java-режиме.

Технология интеллектуального управления энергопотреблением

Одна из основных задач, которую решают разработчики портативных устройств, например, смартфонов, персональных цифровых помощников и аудио-видеоплееров, – это оптимизация энергопотребления, что позволяет улучшить эксплуатационные характеристики готового устройства за счет продления ресурса

батареи питания или уменьшения размеров устройства.

Традиционным методом снижения энергопотребления является использование экономичных режимов работы, например, холостой ход (idle) или сон (sleep), которые различаются глубиной деактивации внутренних элементов. Как правило, активный режим работы такой системы рассчитан на наилучшие условия функционирования и характеризуется максимальной загрузкой. Тем самым неоправданно сокращается срок службы батареи. Поэтому для оптимизации расходования энергии батареи питания разработчики уделяют особое внимание управлению энергопотреблением в активном режиме работы.

Чтобы облегчить этот процесс, создана технология интеллектуального управления энергопотреблением (Intelligent Energy Manager, IEM) для процессоров ARM. Технология является сочетанием аппаратных и программных компонентов, которые совместно выполняют динамическое управление напряжением питания (power scaling).

Суть метода динамического управления напряжением питания можно понять, проанализировав формулу потребляемой мощности для КМОП-процессоров:

$$P = CV_{DD}^2 f_c + V_{DD} I_Q$$

где P – общая потребляемая мощность, C – переключаемая ёмкость, f_c – частота процессора, V_{DD} – напряжение питания, I_Q – ток утечки в статическом режиме.

Из формулы следует, что энергопотребление зависит от частоты и напряжения питания. Снижение частоты для уменьшения энергопотребления широко используется в микроконтроллерах и системах на кристаллах (PSoC), но недостатком этого метода является уменьшение быстродействия. Метод динамического управления напряжением основан на изменении напряжения питания (см. рис. 2), однако если возможности регулировки исчерпаны, то как дополнительный используется метод регулировки частоты процессора.

Семейства ядер и процессоров ARM

К настоящему времени разработано восемь основных семейств ядер:

Таблица 1. Ядра и процессоры ARM для приложений на базе операционных систем

Семейство	Название ядра/процессора	Размер кэш-памяти кода/данных, Кб	Блок управления памятью (MMU, MPU)	Thumb®	DSP	Jazelle™
Cortex	ARM Cortex-A8	Переменный	MMU	Есть	Есть	Есть
ARM10E™	ARM1020E	32/32	MMU	Есть	Есть	Нет
	ARM1022E	16/16	MMU	Есть	Есть	Нет
	ARM1026EJ-S	Переменный	MMU или MPU	Есть	Есть	Есть
ARM11™	ARM11MPCore	Переменный	MMU	Есть	Есть	Есть
	ARM1136J(F)-S	Переменный	MMU	Есть	Есть	Есть
	ARM1176JZ(F)-S	Переменный	MMU	Есть	Есть	Есть
ARM7™	ARM720T	8	MMU	Есть	Нет	Нет
ARM9™	ARM920T	16/16	MMU	Есть	Нет	Нет
	ARM922T	8/8	MMU	Есть	Нет	Нет
ARM9E™	ARM926EJ-S	Переменный	MMU	Есть	Есть	Есть

ARM7™, ARM9™, ARM9E™, ARM10E™, ARM11™, Cortex, SecurCore™ и Opti-moDE Data Engines.

Помимо перечисленных ядер, существуют также специфические ядра, разработанные совместно с компанией Intel: XScale™ и StrongARM®.

Первоначально для обозначения различных вариантов ядер и процессоров компания ARM использовала свою внутреннюю систему обозначений, которая предполагала, что имя любого ядра или процессора формируется в соответствии с шаблоном – ARM{x}{y}{z}{T}{D}{M}{I}{E}{J}{F}{S}, где:

- x – семейство;
- y – блок управления или защиты памяти;
- z – память кэш;
- T – поддержка режима Thumb;
- D – JTAG-порт;
- M – быстрый множитель;
- I – встроенный блок эмуляции;
- E – расширенный набор инструкций (подразумевает обязательное наличие функций TDMI, поэтому в случае использования индекса E индексы TDMI из названия опускаются);
- J – поддержка Java-инструкций (режим Jazelle);
- F – блок векторной арифметики над числами с плавающей точкой;
- S – синтезируемая версия (поставляется производителю кристалла в виде исходного текста, требующего компиляции (синтеза), в отличие от несинтезируемых версий, которые имеют заданную и неизменяемую топологию).

Процессоры ARM разрабатывались для удовлетворения потребнос-

тей следующих основных категорий систем:

- встраиваемые системы реального времени;
- универсальные платформы для приложений на базе открытых операционных систем, включающих Linux, Palm OS, Symbian OS и Windows CE;
- системы защиты данных для смарт-карт, SIM-карт и платёжных терминалов.

Процессоры ARM для приложений на базе открытых операционных систем

Приложения на базе операционных систем предъявляют к процессорам требования аппаратной поддержки многозадачности и повышенной производительности. Для достижения этих целей в состав процессоров вводятся блоки управления памятью (MMU – Memory Management Unit) и сверхоперативная память (кэш). Перечень процессоров ARM для указанных приложений приведён в табл. 1.

Ядра и процессоры ARM для систем реального времени

Самое главное требование, предъявляемое к системам реального времени, – быстрая и детерминированная реакция на внешние события. Иногда для решения этой задачи приходится жертвовать производительностью; в табл. 2 показано, что у большинства ядер и процессоров, разработанных для систем реального времени, отсутствует память кэш, а там, где она есть, кэш не может быть отключен программно. Отсутствие кэш обеспечивает детерминированность реакции процессора на внешнее событие.

МИКРОКОНТРОЛЛЕРЫ С ЯДРОМ ARM7 – ПРЯМОЙ КОНКУРЕНТ 8-РАЗРЯДНЫМ МИКРОКОНТРОЛЛЕРАМ

Из всего многообразия процессоров ARM нас больше всего интересуют микросхемы, составляющие прямую конкуренцию 8-разрядным микроконтроллерам. Поэтому далее

Инструментальные средства
для 8~32 bit микроконтроллеров



"ФИТОН"

www.phyton.ru
phyton@phyton.ru



PICP

- Программаторы универсальные
- Эмуляторы
- JTAG-отладчики
- Ассемблеры
- Си-компиляторы
- Контроллеры-конструкторы
- Заказные разработки

127015, Москва
ул. Новодмитровская, д. 5а
(495) 730-75-84

Реклама

Таблица 2. Ядра и процессоры ARM для систем реального времени

Семейство	Название ядра/процессора	Размер кэш-памяти кода/данных, Кб	Блок управления памятью (MMU)	Thumb®	DSP	Jazelle™
Cortex	ARM Cortex-M3	–	MPU (опционально)	Есть	Нет	Нет
	ARM Cortex-R4	OK-64	MPU	Есть	Есть	Нет
	ARM Cortex-R4F	OK-64	MPU	Есть	Есть	Нет
ARM10E™	ARM1026EJ-S	Переменный	MMU или MPU	Есть	Есть	Есть
ARM11™	ARM1156T2(F)-S	Переменный	MPU	Есть	Есть	Нет
ARM7™	ARM7EJ-S	–	–	Есть	Нет	Нет
	ARM7TDMI	–	–	Есть	Нет	Нет
	ARM7TDMI-S	–	–	Есть	Нет	Нет
ARM9E™	ARM946E-S	Переменный	MPU	Есть	Нет	Нет
	ARM966E-S	–	–	Есть	Нет	Нет
	ARM968E-S	–	DMA	Есть	Есть	Нет
ARM9™	ARM996HS	–	MPU (опционально)	Есть	Есть	Нет

Таблица 3. Характеристики производительности и энергопотребления семейства ARM7

Процессор	Технология, мкм	Потребление, мВт/МГц	Площадь, мм²	Частота, МГц
ARM7TDMI	0,18	0,25	0,53	100
ARM7TDMI-S	0,18	0,28	0,62	80...110
ARM7EJ-S	0,18	0,31	1,25	80...110
ARM720T	0,18	0,65	4,7	75
ARM7TDMI	0,13	0,05	0,26	116
ARM7TDMI-S	0,13	0,11	0,32	100...133
ARM7EJ-S	0,13	0,14	0,65	100...133
ARM720T	0,13	0,2	2,4	100

мы сконцентрируем внимание на микроконтроллерах с ядром ARM7, которые наиболее полно отвечают требованиям встраиваемых систем реального времени, работающих без использования операционных систем.

Семейство ядер и процессоров ARM7

Семейство процессоров ARM7 ориентировано на приложения, в которых требуются дешёвые и мало потребляющие микроконтроллеры. Семейство включает в себя следующие ядра и процессоры:

- ARM7TDMI – ядро с целочисленной арифметикой и трёхступенчатым конвейером команд. Обеспечивает высокую производительность в сочетании с очень низким уровнем потребления, занимает очень маленькую площадь кристалла. Перечисленные свойства обеспечили этому ядру наибольшую популярность среди всех известных RISC-процессоров для встраиваемых систем;

- ARM7TDMI-S – синтезируемая версия ядра ARM7TDMI, идеальна для современных систем разработки полупроводниковых устройств;
- ARM7EJ-S – улучшенная синтезируемая версия ядра с поддержкой инструкций для цифровой обработки сигналов (DSP) и расширением для аппаратного исполнения Java-инструкций на базе технологии Jazelle®;
- ARM720T – процессор с устройством управления памятью и кэшем инструкции 8 Кб. Версия ориентирована на использование таких операционных систем, как Windows CE, Linux, Palm OS и Symbian OS.

Основные характеристики

Основные характеристики и функциональные возможности семейства ARM7 следующие:

- максимальная тактовая частота – до 133 МГц;
- наборы команд ARM (32 бита) и Thumb (16 бит);
- 3-ступенчатый конвейер инструкций;

- единая шина команд и данных;
- полностью статический дизайн;
- малый размер кристалла, необходимый для размещения ядра;
- встроенный внутрисхемный эмулятор (EmbeddedICE-RT);
- встроенный интерфейс аппаратного трассировщика (ETM).

Характеристики производительности и энергопотребления напрямую связаны с применяемой технологией производства полупроводников. Значения этих параметров для современных технологических процессов приведены в табл. 3.

На данный момент наиболее популярными в области встраиваемых систем являются ядра ARM7TDMI, ARM7TDMI-S. На их основе выпускаются сотни типов микроконтроллеров, способных удовлетворить самые разнообразные потребности разработчиков.

Продолжение следует

ЛИТЕРАТУРА

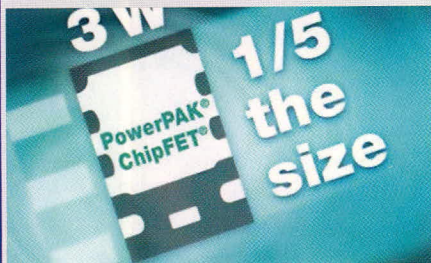
1. Polastre J., Szeuwczyk R., Culler D. Computer Science Department. Univ. of California, Berkeley. Berkeley, CA 94720. <http://www.motiv.com/products/docs/an002-telos.pdf>.
2. Староверов К.С. Сравнительный анализ микроконтроллеров с ядром ARM. star@set-micro.com.
3. Wilbrink J. Facilitation the Migration from 8-bit to 32-bit Microcontrollers. ECE, February, 2005.
4. <http://www.arm.com>, <http://www.nxp.com>, <http://www.atmel.com>, <http://mcu.st.com>, <http://www.analog.com>, <http://www.ti.com>, <http://www2.okisemi.com>.



Новости мира News of the World Новости мира

N-канальные мощные МОП-транзисторы в PowerPAK-ChipFET

Компания Vishay представила восемь новых n-канальных мощных МОП-транзисторов в корпусе PowerPAK-ChipFET размером $3 \times 1,8$ мм с оптимизированными температурными характеристиками. Эти МОП-транзисторы могут заменить типы в более крупном корпусе SO-8 и при монтажной площади, меньшей на 81%, и монтажной высоте (0,8 мм), меньшей на 48%, обеспечить ту же максимальную мощность рассеяния 3 Вт. МОП-транзисторы предназначены для маломощных преобразователей постоянного напряжения типа Point-of-Load с синхронным выпрямлением и логическим уровнем при дефиците места в компьютерах и компонентах стационарных телефонных сетей. Их можно использовать также в качестве коммутаторов нагрузок в переносных электронных системах и ноутбуках. По сравнению с МОП-транзисторами в корпу-



се TSOP-6 они характеризуются на 33% меньшей монтажной площадью, на 23% меньшей монтажной высотой и на 9% меньшим сопротивлением включения при управляющем напряжении затвора 4,5 В. Восемь новых типов представляют простые и сдвоенные МОП-транзисторы, а также простые мощные МОП-транзисторы с интегрированным диодом Шоттки. Запирающие напряжения находятся в пределах 20...60 В. МОП-транзисторы имеют сопротивление перехода запорный слой/корпус (RthJC) $3^\circ\text{C}/\text{Вт}$ и максимальное сопротивление включения $0,015 \text{ Ом}$ (одиночные транзисторы) и $0,039 \text{ Ом}$ (сдвоенные транзисторы). Сопротивление включения простых МОП-транзисторов с интегрированным диодом Шоттки равно $0,039 \text{ Ом}$; прямое напряжение диода Шоттки составляет $0,375 \text{ В}$ при токе 1 А. Все корпуса PowerPAK-ChipFET совместимы по выводам с продуктами в стандартных ChipFET-корпусах.

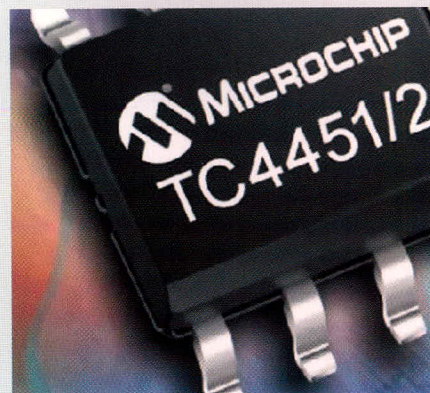
www.vishay.com

Драйверы для MOSFET и IGBT

Предлагающиеся фирмой HY-Line Power Components силовоточные драйверы МОП-

транзисторов TC4451 и TC4452 американского производителя Microchip особенно хорошо подходят для управления большими MOSFET и IGBT. Другими возможными применениями являются магистральные усилители-формирователи, импульсные генераторы, а также схемы управления моторами и подъёмными магнитами. Оба драйвера отличаются значением пикового выходного тока 13 А, выходным током 2,6 А, диапазоном напряжения питания 4,5...18 В и Latch-up-защитой до 1,5 А обратного тока.

TC4451 является инвертирующим, а TC4452 неинвертирующим драйвером. Другими преимуществами обоих элементов являются взаимно согласованные значения нарастания и времени отпускания, а также



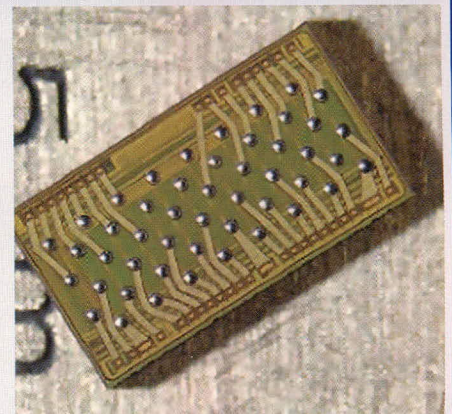
время задержки. При ёмкости нагрузки 10 нФ время нарастания и время отпускания составляют 21 нс. Драйверы предлагаются в 8-контактных корпусах PDIP/SOIC, DFN и в 5-контактном корпусе TO-220.

www.microchip.com

16-Мбит Flash с питанием 1,8 В

Фирма SST (Silicon Storage Technology) предлагает так называемый продукт Multi-Purpose Flash Plus (MPF+) с объёмом памяти 16 Мбит. Элемент SST39WF160х является первым продуктом с питанием 1,8 В в семействе MPF+ этого производителя. Все версии в микрокорпусах с разводкой выводов в соответствии с JEDEC. Продукты SST39WF1601 и SST39WF1602 являются Bottom-Boot и, соответственно, Top-Boot-версиями с единым объёмом сектора в 2 Кслова, что обеспечивает оптимизацию программ. Время доступа к памяти в режиме считывания составляет 90 нс, в первом полугодии 2007 должна последовать версия с 70 нс. Flash-память 16 Мбит MPF+ проходит в настоящее время стадию опробования, а с первого квартала 2007 г. станет возможной поставка крупными партиями.

www.sst.com



Сдвоенный АЦП с разрешением 14 разрядов и частотой опроса 150 Мвыборок/с

Фирма Analog Devices представляет AD9640, сдвоенный A/D-преобразователь с разрешением 14 разрядов, развивающий частоту опроса 150 Мвыборок/с. Преобразователь потребляет 390 мВт по каждому каналу и имеет отношение сигнал/шум 72,7 дБ, а также динамический диапазон SFDR (Spurious-Free Dynamic Range) 85 дБ с промежуточной частотой 70 МГц. AD9640 содержит цифровые функции, которые упрощают AGC-контур (Automatic Gain Control) в высокочастотных приёмниках. AD9640 содержит также функции для FD-режимов (Fast Detect), с помощью которых разработчики могут за два тактовых цикла судить об отклонениях сигнала от номинала и таким образом снижать усиление, чтобы избежать перегрузки входного каскада. Дополнительно для выработки информации по срезу FD-биты располагают программируемыми пороговыми значениями, которые используются при оптимизации AGC-контура приёмника.



Элемент предлагается с разрешением 12 и 14 разрядов, с частотой опроса 80, 105, 125 и 150 Мвыборок/с и имеет CMOS- и LVDS-выходы. Обе версии размещены в корпусе LFCSP (Lead-Frame Chip-Scale Package) размером 9×9 мм с 64 выводами.

www.analog.com

Восьмиразрядные микроконтроллеры компании Freescale Semiconductor в корпусах с малым числом выводов

(часть 1)

Татьяна Ремизевич (Москва)

Статья посвящена общему описанию и сравнению технических характеристик 8-разрядных МК семейства HC08 от компании Freescale Semiconductor в корпусах с малым числом выводов. Рассматривается три процессорных ядра: ранее известные HC08 и HCS08 и новое упрощённое процессорное ядро RS08, а также микроконтроллеры на их основе.

Анализируя пути совершенствования элементной базы микроконтроллеров, можно заметить, что развитие их архитектуры подобно спирали:

- на первом витке производительность процессорного ядра не только достаточна, но даже избыточна для используемых алгоритмов управления, а структура периферийных устройств далека от совершенной;
- на следующем витке производительность процессорного ядра оказывается минимально достаточной, а совершенствование структуры периферийных модулей позволяет разгрузить процессорное ядро от несвойственных ему операций.

Когда все возможности по оптимизации структуры периферии исчерпаны, начинается новый виток развития, отмеченный скачкообразным увеличением производительности процессорного ядра.

Ещё недавно различные производители совершенствовали 8-разрядные микроконтроллеры (МК), предлагая МК верхней гаммы с объёмами памяти 40...60 Кб и множеством периферийных устройств. Достаточно быстро для требовательных приложений были предложены 16-разрядные МК, в том числе с сигнальным процессорным ядром. Можно предположить, что теперь 8-разрядным МК уготована судьба цифровых ИС малой и средней степени интегра-

ции, которые производятся и применяются, но функциональное совершенствование которых замедлилось. Однако производители 8-разрядных МК опровергли пессимистичный прогноз, предложив два актуальных направления развития 8-разрядной элементной базы.

Первое направление – оптимизация 8-разрядных МК нижней гаммы, которые выполняются в корпусах с малым числом выводов (6 – 16). Второе направление – интеграция МК в один корпус с силовыми ключами, трансиверами, аналоговыми схемами, входными и выходными формирователями с нестандартными уровнями сигналов. Компания Freescale Semiconductor активно совершенствует свои продукты в каждом из этих направлений. В данной статье мы подробно остановимся на МК с малым числом выводов.

Модельный ряд МК

В 2006 г. компания Freescale Semiconductor практически полностью обновила свои продукты в сегменте маловыводных 8-разрядных МК. В настоящее время она предлагает разработчикам 16 моделей в корпусах с шестью, восемью или 16 выводами (таблица 1). Казалось бы, имея столь малое число выводов корпуса, эти МК должны быть очень похожи друг на друга, поскольку на малое число выводов корпуса трудно «спроецировать» большое количест-

во периферийных модулей. Однако, обладая одним и тем же корпусом, предлагаемые модели отличаются достаточно сильно.

Первым отличием являются процессорные ядра. При формальной принадлежности к одному семейству, а именно HC08, фактически в составе моделей МК реализованы три процессорных ядра. Модели QT/QY/QB/QL обладают самым «старым» ядром HC08, модели QG и QD – более производительной версией этого ядра HCS08, которая разрабатывалась для верхней гаммы 8-разрядных МК. Модели KA оснащены последней версией ядра RS08, которая существенно упрощена по отношению к своему родоначальнику – процессорному ядру HC08.

Второе отличие – функциональная насыщенность периферийными модулями. Микроконтроллеры серии KA (с предельно упрощённым процессорным ядром) имеют в своём составе упрощённый таймер, аналоговый компаратор и несколько линий портов с функцией внешнего прерывания КВИ. Такое решение позволило уменьшить площадь полупроводникового кристалла МК более чем в три раза по сравнению с другими МК, перечисленными в таблице 1. Поэтому модели MC9RS08KA1/KA2 размещаются в сверхминиатюрных корпусах 3 × 3 мм и имеют предельно низкую стоимость. Напротив, МК серии QG и QD, обладающие самым производительным процессорным ядром HCS08, имеют в своём составе полнофункциональный модуль процессора событий, три контроллера последовательных интерфейсов и 10-разрядный АЦП. Входы и выходы этих периферийных модулей многократно мультиплексированы на

ножках корпуса МК. Поэтому в каждом конкретном приложении разработчик может воспользоваться только частью ресурсов этих МК, но таким образом предоставляется возможность использования одной модели МК в разных приложениях.

Третье отличие – возможность модулей таймеров. Модели MC9RS08KA1/KA2 оснащены упрощённым 8-разрядным модулем таймера, который не имеет функций входного захвата и выходного сравнения. Все остальные модели МК обладают 16-разрядным таймерным модулем с функциями входного захвата или выходного сравнения или многоканальным ШИМ.

Перечислив основные отличия, отметим общие черты рассматриваемых микроконтроллеров. Все они имеют внутренний модуль тактирования с точностью поддержания частоты ±2% от указанного в техническом описании значения. Все модели реализуют режим программирования и отладки в системе благодаря наличию в их составе модуля внутрисхемной отладки. Все МК оснащены несколькими режимами низкого энергопотребления.

Три процессорных ядра HC08

При современном программировании приложений на языке Си, изучать архитектурные особенности процессорного ядра, как правило, не

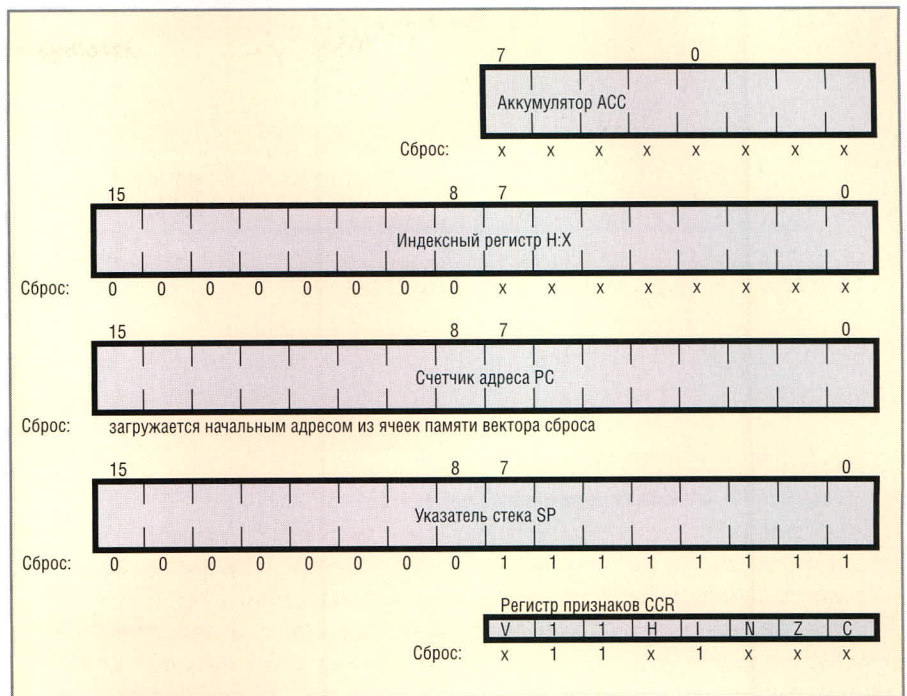


Рис. 1. Программно-логическая модель центрального процессора HC08

обязательно. Поэтому автор счёл полезным дать сравнительную характеристику трёх модификаций процессорного ядра HC08. На её основе читатель может сделать осознанный выбор модели МК для конкретного приложения.

Все три рассматриваемых процессорных ядра: HC08, HCS08 и RS08, – выполнены на основе CISC-архитектуры. Программно-логическая модель центрального процессора HC08 (см. рис. 1) содержит пять регистров, которые не являются

частью объединённого адресного пространства, и, следовательно, для обращения к ним должны быть использованы специальные команды. Это 8-разрядный аккумулятор ACC, 16-разрядный индексный регистр HX (H – старший байт, X – младший байт), 16-разрядный программный счётчик PC и указатель стека SP, 8-разрядный регистр признаков CCR. Последний содержит пять флагов, информирующих о состоянии операнда в аккумуляторе: переноса (C), нулевого результата (Z), отрица-

Таблица 1. Технические характеристики микроконтроллеров семейства HC08/HCS08/RS08 в корпусах с числом выводов от 6 до 16

Тип МК	Объём Flash ПЗУ, Кб	Объём ОЗУ, байт	Число линий портов	Таймер	Контроллеры последовательных интерфейсов	АЦП, число каналов/разрядность	Частота f _{BUS} , МГц	Напряжение питания, В	Корпус	Модули и функции
Процессорное ядро RS08 (в составе ядра COP, LVD, RTI, WAKEUP)										
MC9RS08KA1	1	63	4 или 6	MTIM	Нет	Нет	10	1,8...5,0	DIP8, SOIC8, DFN6	ACMP, до 5 KBI, ICS, BDM
MC9RS08KA2	2									
Процессорное ядро HC08										
MC908QB4	4	256	13	TIM, 4xIC/OC/PWM	SPI, ESCI	10/10	8,0	3,0...5,0	DIP16, SOIC16, TSSOP16	До 6 KBI, AWU, ICS, COP, LVI, IRQ, MON08
MC908QB8	8									
MC908QT1A	1/5	128	6	TIM, 2xIC/OC/PWM	Нет	6/10	8	3,0...5,0	DIP8, SOIC8, DFN8	
MC908QT2A	2									
MC908QT4A	4									
MC908QY1A	1/5	128	13	TIM, 2xIC/OC/PWM	Нет	6/10	8	3,0...5,0	DIP16, SOIC16, TSSOP16	
MC908QY2A	2									
MC908QY4A	4									
MC908QL2	2	128	13	TIM, 2xIC/OC/PWM	SLIC	6/10	8	3,0...5,0	SOIC16, TSSOP16	
MC908QL23	4									
MC908QL4	4									
Процессорное ядро HCS08 (в составе ядра COP, LVI, RTI, IRQ)										
MC9S08QD4	4	256	6	2 x TPM	Нет	4/10	8	3,0...5,0	DIP8, SOIC8	До 4 KBI, ICS, BDM
MC9S08QG4	4	256	12	TIM, 2xIC/OC/PWM/TIM	SPI	8/10	10	1,8...3,6	DIP8, SOIC8, DFN8, DIP16, SOIC16, TSSOP16	ACMP, до 8 KBI, ICS, BDM
MC9S08QG8	8	512			SCI, PC					

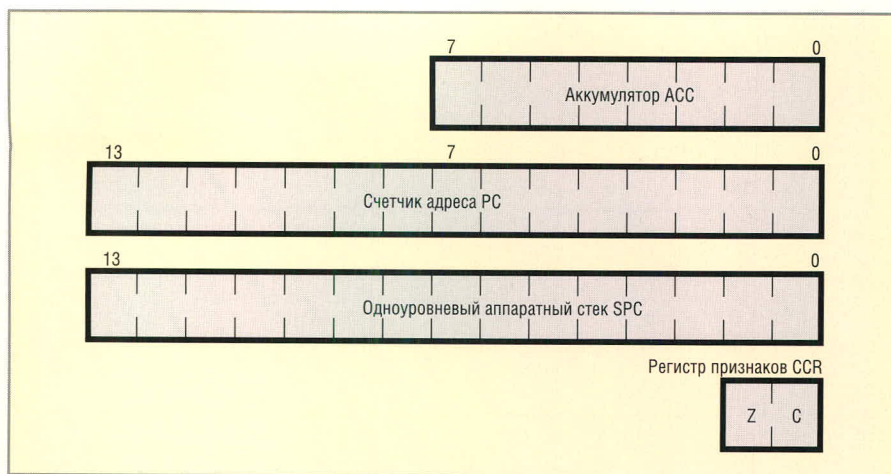


Рис. 2. Программно-логическая модель центрального процессора RS08

тельного результата (N), переполнения (V), дополнительного переноса (H), а также бит глобальной маски прерывания (I). Размещение триггера запрета всех прерываний центрального процессора I в регистре признаков является традиционным для всех МК компании Freescale Semiconductor.

Программный счётчик, указатель стека и регистр NH позволяют линейно адресовать все 64 Кб памяти, что обуславливает две особенности системы команд [1]:

- во-первых, подавляющее число действий выполняется над операндами, которые могут быть расположены в любом адресном пространстве из 64 Кб;
- во-вторых, МК с процессорным ядром HC08 могут одинаково успешно исполнять программы как из ПЗУ, так и из ОЗУ. Последнее существенно упрощает построение модуля внутрисхемной отладки.

Система команд ядра HC08 включает 90 инструкций языка Ассемблер, в том числе команды целочисленного беззнакового умножения восьмиразрядных операндов (время выполнения операции составляет 5 циклов или 625 нс) и целочисленного беззнакового деления 16 : 8 (время выполнения операции – 7 циклов или 875 нс). Операция сложения или вычитания однобайтовой константы выполняется за 250 нс (2 цикла).

Центральный процессор HC08 поддерживает 12 способов адресации, имеет двухадресные команды, которые позволяют выполнять пересылку данных между двумя ячейками памяти или регистрами специальных функций, минуя регистры центрального процессора. Процессор

оснащён большим набором команд ветвления. Кроме переходов по традиционным условиям C, Z, N, H, реализованы переходы по комбинациям флагов C и Z для сравнения операндов в прямом коде без знака, а также по комбинациям флагов C, Z, и V для сравнения операндов в дополнительном коде со знаком. Общее число инструкций ветвления ассемблера HC08 равно 40. Процессорное ядро HC08 реализует векторные прерывания, а также имеет специальную команду программного прерывания.

Программно-логическая модель и система команд процессорного ядра HCS08 полностью идентична ядру HC08. В чём же отличия?

Во-первых, использован новый технологический процесс, что позволило повысить частоту внутренней шины до 20 МГц при напряжении питания 3,6 В.

Во-вторых, процессорное ядро HCS08 работает в диапазоне напряжений питания от 1,8 до 3,6 В, т.е. ориентировано на работу в устройствах с автономным питанием.

В-третьих, процессорное ядро HCS08 имеет расширенный набор режимов энергосбережения, что полезно в автономных приборах.

В-четвертых, процессорное ядро HCS08 имеет более совершенный модуль отладки, реализующий режим BDM (BDM – Background Debug Mode, т.е. фоновый режим отладки). В отличие от модуля отладки, реализованного в HC08, новый модуль отладки позволяет часть функций выполнять без остановки исполнения прикладной программы [2]. Кроме того, для перевода МК в режим отладки используется всего одна ли-

ния, что для маловыводных МК очень важно. В рассматриваемых МК на основе процессорного ядра HC08 с интерфейсом отладки MON08 иногда до половины выводов должны быть использованы в режиме отладки. Поэтому приходится коммутировать выводы, а лишние разьёмы нежелательны в малогабаритных приложениях.

Обратимся теперь к ядру RS08 [3]. При его разработке преследовалась цель предельно минимизировать аппаратные средства 8-разрядного процессорного ядра, ориентированного на очень простые приложения с объёмом программного кода в несколько килобайт. Программно-логическая модель центрального процессора RS08 представлена на рисунке 2. Она содержит 8-разрядный аккумулятор ACC, 14-разрядный счётчик команд PC, 14-разрядный регистр SPC и двухразрядный регистр признаков CCR.

Уменьшенная разрядность процессорного счётчика PC свидетельствует о том, что максимальный объём программного кода для этого процессорного ядра составляет 16 Кб. Наличие всего двух флагов условий (переполнения C и нулевого результата Z) в регистре состояния CCR определяет ориентацию этого процессорного ядра на выполнение, в основном, логических операций и на очень простые вычисления, которые не предполагают использования представления чисел со знаком. И, как следствие, в системе команд отсутствуют инструкции умножения и деления. Существенно сократилось и число команд ветвления – в предыдущих версиях процессорного ядра HC08/HCS08 их было 40, в версии RS08 осталось всего 11.

Существенные изменения претерпела модель памяти и система адресации. Процессорное ядро RS08 использует страничную систему адресации, при которой линейно адресуются лишь ячейки памяти с адресами 0x00 – 0xFF. Старшие 64 адреса (0xC0 – 0xFF) рассматриваются как окно для обращения к одной из 252 страниц постоянной памяти объёмом 64 байта каждая. Для выбора номера страницы предназначен новый регистр управления PAGESSEL. Три страницы памяти с младшими адресами (0x00 – 0xBF)

адресуются линейно. В этом адресном пространстве располагаются ОЗУ МК и регистры управления периферией.

Число способов адресации операндов сократилось с 12 в предыдущих версиях процессорного ядра до 7 в версии RS08. Изменение модели памяти и способов адресации имело целью сократить число байтов кодов команд, что позволило повысить плотность управляющего кода. Теперь двухбайтовое представление операнда используют только команды безусловного перехода *jmp adr* и вызова подпрограмм *jsr adr*. Остальные команды, в том числе арифметические и логические, имеют только двухбайтовый или даже однобайтовый формат. Это достигается введением двух способов прямой адресации, которые ранее были несвойственны микроконтроллерам Freescale Semiconductor. Это – прямая адресация типа *Tiny*, при которой возможно обращение только к операндам, расположенным по адресам 0x00 – 0x0F, и прямая адресация типа *Short*, для которой доступны ячейки памяти с адресами 0x00 – 0x1F.

Следует обратить внимание на интересное архитектурное решение, которое позволило эмулировать индексный регистр косвенной адресации X, унаследованный от предыдущих версий процессорного ядра (см. рис. 1), и связанные с ним способы индексной адресации со смещением и автоинкрементированием после выборки операнда. Теперь регистр косвенной адресации X располагается в оперативной памяти МК. При обращении с использованием прямой адресации к другому регистру оперативной памяти D[X] происходит выборка операнда, расположенного по адресу, значение которого содержится в X (см. рис. 3). Таким образом, разработчики процессорного ядра RS08 сумели сохранить в системе команд такие способы адресации, как индексная (косвенная по регистру X), индексная со смещением в 8 или 16 бит, индексная со смещением и автоматическим увеличением на 1 содержимого X после выборки операнда. В самом центральном процессоре таких способов адресации нет, поэтому площадь кристалла невелика, а для программиста эти способы адресации доступны.

Существенные изменения претерпела подсистема вызова подпрограмм и подсистема прерываний. В процессорном ядре RS08 отсутствует указатель стека SP (см. рис. 2), вместо которого появился регистр одноуровневого аппаратного стека SPC (Shadow PC). В этот регистр загружается адрес возврата при вызове подпрограммы или при переходе на подпрограмму прерывания. Организация многоуровневого вызова подпрограмм возможна только с применением специальных программных конструкций. Для этого предусмотрены команды передачи содержимого регистра SPC в оперативную память и обратно.

Подсистема прерываний процессорного ядра RS08 перестала быть векторной. Микроконтроллеры типа MC9RS08KA1/KA2 имеют пять источников запросов на прерывания: модуль таймера MTIM, внешние запросы на входах портов KBI, аналоговый компаратор ACMP, модуль меток реального времени RTI и запрос от модуля слежения за пониженным напряжением питания LVD. События запросов отображаются в специальном регистре, который должен быть опрошен программой для определения источника запроса на прерывание. Очень важно, что подсистема прерывания в МК MC9RS08KA1/KA2 предназначена только для вывода этих МК из режимов пониженного энергопотребления типа ожидания (Wait) или останова (Stop). При работе МК в активном режиме, т.е. в процессе исполнения программы, подсистема прерывания запросы фиксирует, но не изменяет ход выполнения программы. Флаги запросов должны программно опрашиваться, и при необходимости выполняется ветвление программы управления.

Что же получилось в итоге столь существенных изменений? Процессорное ядро RS08 сохранило хорошую систему команд, которая была свойственна ядру HC08/HCS08. По существу не стало только команд умножения и деления. Но при отсутствии в МК встроенного АЦП и наличии упрощенного таймера, который не предполагает измерения временных интервалов, эти команды требуются редко. Сохранилось множество способов адресации, хо-

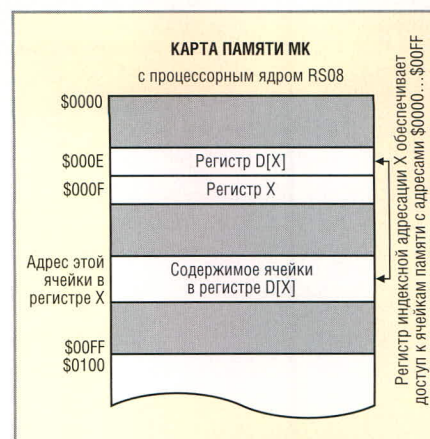


Рис. 3. Эмуляция индексной адресации в процессорном ядре RS08

тя все способы, связанные с регистром X, теперь эмулируются на уровне программы Ассемблера или компилятора с языка Си.

Существенно изменилась логика организации работы МК в реальном времени. Отсутствует возможность прерываний от внешних и внутренних источников в ходе выполнения программы, но все события фиксируются, запоминаются и могут быть опрошены программно, что для небезопасных приложений вполне допустимо.

Очень важно, что процессорное ядро RS08 унаследовало от ядра HCS08 режим фоновой внутрисхемной отладки BDM. Для данного класса МК он удобен по двум причинам. *Во-первых*, можно следить за изменением ресурсов МК в режиме отладки без останова выполнения программы, поскольку приложения достаточно простые и медленные. *Во-вторых*, вход в режим отладки и взаимодействие с МК в процессе отладки происходит по единственному выводу, что делает возможным использование отладки в системе даже при корпусе МК с шестью выводами.

Продолжение следует

ЛИТЕРАТУРА

1. Ремизевич Т.В. Микроконтроллеры для встраиваемых приложений: От общих подходов к семействам HC05 и HC08 фирмы Motorola. Додэка, 2000.
2. Ремизевич Т. Модуль внутрисхемной отладки в составе микроконтроллеров Freescale Semiconductor. Электронные компоненты, 2006, № 12.
3. Getting Started with RS08. Application Note, Document Number: AN3266. Rev.1. 5/2006.



Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 5)

Павел Редькин (г. Ульяновск)

Автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. В этой части статьи рассматриваются построение и логика работы коммуникационных интерфейсов МК: I²C, SPI.

Режим ведущего передатчика

В этом режиме данные передаются от ведущего к ведомому. Прежде чем активировать режим ведущего передатчика, регистр установок управления I²C (I2CONSET) должен быть инициализирован значением, показанным в табл. 42.

Первый передаваемый ведущим байт содержит адрес ведомого приёмника (7 битов) и бит направления последующей передачи данных. В режиме ведущего передатчика бит направления (R/W) должен быть сброшен, что указывает на запись (W). Затем ведущий побайтно передаёт данные. После того как ведущий передаёт каждый байт данных, он принимает от ведомого бит «подтверждение» (ACK). Условия START и STOP генерируются ведущим, чтобы указать начало и конец последовательной передачи.

Интерфейс I²C переходит в режим ведущего передатчика, когда про-

грамма устанавливает бит STA. После этого логика I²C генерирует условие START, как только видит, что шина свободна, т.е. не подтянута к низкому уровню другими подключенными к ней устройствами. После того как условие START передано, аппаратно устанавливается бит SI и в регистре состояния интерфейса I²C (I2STAT) возвращается код состояния, равный 08h. Этот код состояния должен использоваться вектором и подпрограммой обработки прерывания, которая должна загрузить адрес ведомого и бит записи в регистр данных интерфейса I²C (I2DAT), а затем сбросить бит SI. Бит SI сбрасывается путём записи «1» в бит SIC регистра I2CONCLR.

Когда адрес ведомого и бит R/W переданы ведомому и бит «подтверждение» от него получен, бит SI устанавливается снова и в регистре состояния I2STAT вновь возвращается некоторый код состояния. Действия, которые должны быть предприняты пользовательской программой в соответствии со значением этого кода, показаны в табл. 43 и 44. Для получения более подробной информации об операциях интерфейса I²C рекомендуется обратиться к [7]. Формат обмена по шине I²C для режима ведущего передатчика показан на рис. 18, где A – подтверждение (SDA низкий), /A – не подтверждение (SDA высокий), S – условие START, P – условие STOP (на рисунках 19 – 22 обозначения аналогичны).

Режим ведущего приёмника

В режиме ведущего приёмника данные принимаются от ведомого передатчика. Передача инициализируется тем же самым способом, что и в режиме ведущего передатчика. После генерации ведущим условия START подпрограмма обработки прерывания должна загрузить адрес ведомого и бит направления в регистр данных I²C (I2DAT), а затем сбросить бит SI. В этом режиме бит направления должен быть установлен, что указывает на чтение (R). После передачи ведущим адреса ведомого и бита направления и получения от ведомого бита «подтверждение» устанавливается бит SI и в регистре состояния I²C (I2STAT) возвращается код состояния. Действия, которые должны быть предприняты программой в соответствии со значением возвращённого кода состояния, показаны в табл. 45.

Формат обмена по шине I²C для режима ведущего приёмника показан на рис. 19. На рис. 20 показан формат обмена по шине I²C при переключении интерфейса I²C микроконтроллера из режима ведущего приёмника в режим ведущего передатчика после генерации условия повторный START (на рисунках 20 и 21 это условие обозначено как RS).

Режим ведомого приёмника

В режиме ведомого приёмника байты данных принимаются от ведущего передатчика. Чтобы инициализировать режим ведомого приёмника, пользователь должен инициализировать регистр адреса ведомого (I2ADR) выбранным значением адреса ведомого, а также регистр установок управления I²C (I2CONSET) значением, показанными в табл. 46. После

Таблица 42. Инициализация регистра I2CONSET для режима ведущего

Номер бита	Имя бита	Значение бита
0	–	–
1	–	–
2	AA	0
3	SI	0
4	STO	0
5	STA	0
6	I2EN	1
7	–	–



Рис. 18. Формат обмена данными по шине I²C для режима ведущего передатчика

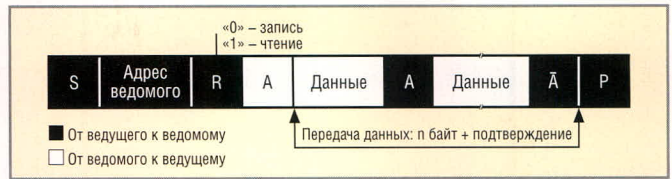


Рис. 19. Формат обмена данными по шине I²C для режима ведущего приёмника

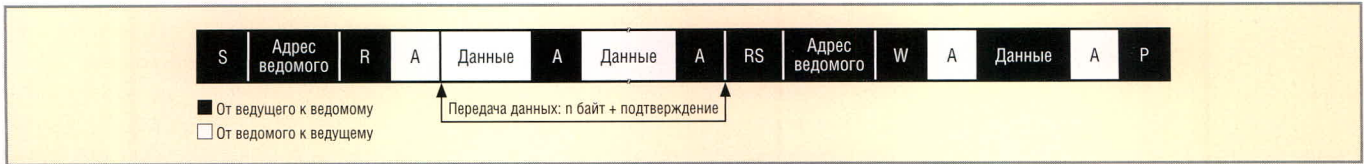


Рис. 20. Формат обмена данными по шине I²C для режима ведущего приёмника, а затем режима ведущего передатчика

инициализации регистров I2ADR и I2CONSET интерфейс I²C ведомого ожидает, пока не произойдет обращение к нему по его собственному адресу ведомого или адресу общего вызова. Характер этого обращения (запись или чтение) детектируется ведомым по значению бита направ-

ления в посылке, поступившей от ведущего. Сброшенный бит направления (W) означает, что ведущий намерен передавать данные, а интерфейс I²C МК переходит в режим ведомого приёмника.

После получения адреса ведомого и бита направления у ведомого при-

ёмника устанавливается бит SI и соответствующий код состояния возвращается в регистре состояния (I2STAT). Действия, которые должны быть предприняты пользовательским программным обеспечением в соответствии со значением возвращённого кода состояния, показаны в

Таблица 43. Коды состояния для режима I²C ведущего передатчика

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
08h	Передано условие START	Загрузить адрес ведомого + W	X	0	0	X	Адрес ведомого + W будет передан; бит ACK будет получен
10h	Передано условие повторный START	Загрузить адрес ведомого + W	X	0	0	X	Адрес ведомого + W будет передан
		Загрузить адрес ведомого + R	X	0	0	X	I ² C перейдёт в режим ведущего приёмника
18h (или 20h)	Адрес ведомого + W был передан; бит ACK (или NOT ACK) был получен	Загрузить байт данных	0	0	0	X	Байт данных будет передан; бит ACK будет получен
			1	0	0	X	Условие повторный START будет передано
		Нет операций с I2DAT	0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
28h (или 30h)	Байт данных в I2CDAT был передан; бит ACK (или NOT ACK) был получен	Загрузить байт данных или нет операций с I2DAT	0	0	0	X	Байт данных будет передан; бит ACK будет получен
			1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
38h	Арбитраж потерян при передаче адреса ведомого + R/W или байта данных	Нет операций с I2DAT	0	0	0	X	Шина I ² C будет «отпущена» без обращения к адресуемому ведомому
			1	0	0	X	Условие START будет передано, когда шина освободится

Таблица 44. Коды состояния для режима I²C ведомого передатчика

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
A8h	Собственный адрес ведомого + R был получен; бит ACK был возвращён	Загрузить байт данных	X	0	0	0	Последний байт данных будет передан и бит ACK будет получен
B0h	Арбитраж был потерян во время прохождения адреса ведомого + R/W от ведущего; собственный адрес ведомого + R был получен; бит ACK был возвращён		X	0	0	1	Байт данных будет передан и бит ACK будет получен
B8h	Байт данных в I2DAT был передан; бит ACK был получен						
C0h	Байт данных в I2DAT был передан; бит NOT ACK был получен	Нет операций с I2DAT	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
C8h	Последний байт данных в I2DAT был передан (AA = 0); бит ACK был получен	Нет операций с I2DAT	1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится

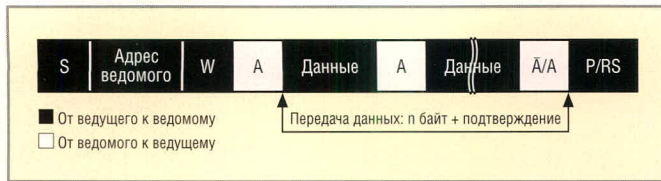


Рис. 21. Формат обмена данными по шине I²C для режима ведомого приёмника

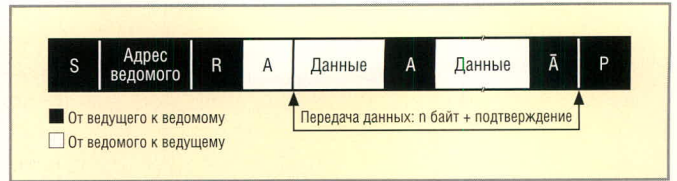


Рис. 22. Формат обмена данными по шине I²C для режима ведомого передатчика

табл. 47. Формат обмена по шине I²C для режима ведомого приёмника показан на рис. 21.

Режим ведомого передатчика

В режиме ведомого передатчика первый байт принимается от ведущего и обрабатывается, как и в режиме ведомого приёмника, за исключением того, что установленный бит направления (R) укажет ведомому, что ведущий намерен принимать данные от ведомого. Последовательные данные передаются ведомым для ведущего по линии SDA, в то время как последовательный синхросигнал принимается ведомым от ведущего по линии SCL. Условия START и STOP распознаются ведомым как начало и конец последовательной передачи. Как и в режиме ведомого приёмника, в режиме ведомого передатчика аппаратные средства интерфейса I²C производят сравнение принятого от ведущего адреса ведомого со своим собственным адресом ведомого и адресом общего вызова. При наличии хотя бы одного совпадения адресов генерируется прерывание.

Если управляющая программа МК «желает» перейти из режима ведомого

в режим ведущего, то аппаратные средства интерфейса I²C сначала будут ожидать освобождения шины, чтобы не прервать производящиеся на ней действия ведомого. Если в режиме ведущего теряется шинный арбитраж, то интерфейс I²C МК немедленно переключается в режим ведомого и может обнаружить свой собственный адрес ведомого в той же самой последовательной передаче. В табл. 48 приведены значения кодов состояния интерфейса I²C, которые возвращаются в регистре состояния (I2STAT) в случае шинных ошибок или других некорректных ситуаций, могущих возникнуть при обмене. Формат обмена по шине I²C для режима ведомого передатчика показан на рис. 22.

К интерфейсу I²C МК LPC2000 относятся выводы SDA (последовательные данные) и SCL (последовательный синхросигнал). В устройствах LPC2000, имеющих два интерфейса I²C (I2C0, I2C1, имеющие выводы SDA0, SCL0 и SDA1, SCL1), специальные регистры, относящиеся к интерфейсу I2C0, имеют адреса, совпадающие с адресами специальных регистров интерфейса I²C в устройствах LPC2000 с одним интерфейсом I²C. Интерфейс I²C

устройств LPC2000 обслуживают следующие специальные регистры.

Регистр установок управления I²C (для I2C0: I2CONSET или I2C0CONSET – 0xE001 C000, для I2C1: I2C1CONSET – 0xE005 C000). Регистр включает в себя следующие флаги:

- AA – флаг выдачи бита «подтверждение». Когда он установлен, бит «подтверждение» (низкий уровень на линии SDA) будет возвращаться логикой I²C МК во время тактового импульса, отведённого для «подтверждения», на линии SCL в следующих ситуациях:
 - по шине был принят адрес ведомого, совпадающий с адресом, хранящимся в регистре адреса ведомого I²C;
 - по шине был принят адрес общего вызова при установленном бите общего вызова (GC) в регистре I2ADR;
 - по шине был принят байт данных, когда интерфейс I²C находится в режиме ведущего приёмника;
 - по шине был принят байт данных, когда интерфейс I²C находится в режиме ведомого приёмника, к которому адресуется обращение.

Таблица 45. Коды состояния для режима I²C ведущего приёмника

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения					Следующее действие аппаратной логики интерфейса
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI	AA	
08h	Передано условие START	Загрузить адрес ведомого + R	X	0	0	X	Адрес ведомого + R будет передан; бит ACK будет получен
10h	Передано условие повторный START	Загрузить адрес ведомого + R	X	0	0	X	Адрес ведомого + R будет передан
		Загрузить адрес ведомого + W	X	0	0	X	I ² C перейдет в режим ведущего передатчика
38h	Арбитраж потерян во время прохождения бита NOT ACK	Нет операций с I2DAT	0	0	0	X	Шина I ² C будет «отпущена»; I ² C перейдет в режим ведомого
			1	0	0	X	Условие START будет передано, когда шина освободится
40h	Адрес ведомого + R был передан; бит ACK был получен	Нет операций с I2DAT	0	0	0	0	Байт данных будет получен; бит NOT ACK будет возвращён
			0	0	0	1	Байт данных будет получен; бит ACK будет возвращён
48h	Адрес ведомого + R был передан; бит NOT ACK был получен	Нет операций с I2DAT	1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
50h	Байт данных был получен; бит ACK был передан	Нет операций с I2DAT	0	0	0	0	Байт данных будет получен; бит NOT ACK будет возвращён
			0	0	0	1	Байт данных будет получен; бит ACK будет возвращён
58h	Байт данных был получен; бит NOT ACK был передан	Прочитать байт данных	1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен

Бит AA может быть сброшен путем записи «1» в бит AAC регистре I2CONCLR. Когда бит AA сброшен, то бит «неподтверждение» (высокий уровень на линии SDA) будет возвращаться логикой I2C МК во время тактового импульса, отведённого для «подтверждения», на линии SCL в следующих ситуациях:

- по шине был принят байт данных, когда интерфейс I²C находится в режиме ведущего приёмника;
- по шине был принят байт данных, когда интерфейс I²C находится в режиме ведомого приёмника, к которому адресуется обращение;
- SI – флаг прерывания от I²C. Этот бит устанавливается, когда наступит

одно из 25 возможных активных состояний интерфейса I²C. Как правило, прерывание I²C должно использоваться только для того, чтобы уведомить неактивное ведомое устройство о наступлении на шине I²C условия START или условия STOP (если это неактивное ведомое устройство ожидает начала обмена по шине I²C). Флаг SI может быть сброшен путем записи «1» в бит SIC регистра I2CONCLR;

- STO – флаг условия STOP. Установка этого бита заставляет интерфейс I²C генерировать на шине условие STOP в режиме ведущего или выйти из состояния ошибки условия в режиме ведомого. Когда бит STO устанавливается в режиме ведущего,

Таблица 46. Инициализация регистра I2CONSET для режима ведомого

Номер бита	Имя бита	Значение бита
0	–	–
1	–	–
2	AA	1
3	SI	0
4	STO	0
5	STA	0
6	I2EN	1
7	–	–

условие STOP генерируется на шине I²C. Когда аппаратная логика шины обнаруживает собственное условие STOP, бит STO автоматически сбрасывается. Флаг STO сбрасывается аппаратными средствами автоматически;

Таблица 47. Коды состояния для режима I²C ведомого приёмника

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		Операции с I2DAT	Операции с битами I2CONSET				
			STA	STO	SI		AA
60h	Собственный адрес ведомого + W был получен; бит ACK был возвращён	Нет операций с I2DAT	X	0	0	0	Байт данных будет получен и бит NOT ACK будет возвращён
68h	Арбитраж был потерян во время прохождения адреса ведомого + R/W от ведущего; собственный адрес ведомого + W был получен; бит ACK был возвращён						Байт данных будет получен и бит ACK будет возвращён
70h	Адрес общего вызова (00h) был получен; бит ACK был возвращён						
78h	Арбитраж был потерян во время прохождения адреса ведомого +R/W от ведущего; адрес общего вызова был получен; бит ACK был возвращён						
80h	Предварительно адресованный собственный адрес ведомого был получен; байт данных был получен; бит ACK был возвращён	Прочитать байт данных	X	0	0	1	
88h, 98h	Предварительно адресованный собственный адрес ведомого (для 88h) или адрес общего вызова (для 98h) был получен; байт данных был получен; бит NOT ACK был возвращён	Прочитать байт данных	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
			1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится
90h	Предварительно адресованный адрес общего вызова был получен; байт данных был получен; бит ACK был возвращён	Прочитать байт данных	X	0	0	0	Байт данных будет получен, и бит NOT ACK будет возвращён
			X	0	0	1	Байт данных будет получен, и бит ACK будет возвращён
A0h	Условие STOP или условие повторный START было получено, в то время как I ² C находится в режиме ведомого приёмника или ведомого передатчика	Нет операций с I2DAT	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
			1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится

Таблица 48. Коды прочих состояний интерфейса I²C

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
F8h	Неопределённое состояние, при котором никакая информация не доступна; SI = 0	Нет операций с I2DAT	Нет операций с I2CONSET				Ожидание или продолжение текущей передачи
00h	Ошибка на шине в режиме ведущего или выбор режима ведомого из-за некорректных условий START или STOP. Состояние 00h может также наступить в случае взаимного наложения попыток интерфейса I ² C перейти в неопределённое состояние		0	1	0	X	Только внутренние аппаратные средства I ² C затрагиваются в режимах ведущего или адресуемого ведомого. Во всех случаях шина I ² C будет «отпущена» и интерфейс I ² C переключится в режим ведомого без адресации адреса ведомого; бит STO будет сброшен

- STA – флаг условия START. Установка этого бита заставляет интерфейс I²C перейти в режим ведущего и сгенерировать на шине I²C условие START или повторное условие START, если интерфейс I²C уже находится в режиме ведущего. Флаг STA может быть сброшен путем записи «1» в бит STAC регистра I2CONCLR;
- I2EN – бит разрешения интерфейса I²C. Когда бит I2EN установлен, функция интерфейса I²C МК разрешена. Флаг I2EN может быть сброшен путем записи «1» в бит I2ENC регистра I2CONCLR. Битовая структура регистра I2CONSET показана в табл. 49.

Регистр управления сбросом FC (для I2C0: I2CONCLR или I2C0CONCLR – 0xE001 C018, для I2C1: I2C1CONCLR – 0xE005 C018). Битовая структура регистра I2CONCLR показана в табл. 50.

Регистр состояния FC (для I2C0: I2STAT или I2C0STAT – 0xE001 C004, для I2C1: I2C1STAT – 0xE005 C004). Этот регистр доступен только для чтения. Он содержит код состояния интерфейса I²C. Всего имеется 26 возможных кодов состояния, из них 25 активных. Если код состояния равен F8h, то это говорит о том, что состояние интерфейса I²C не менялось и бит SI регистра I2CONSET не установлен. Когда наступает любое из остальных

25 состояний, автоматически устанавливается бит SI регистра I2CONSET. Битовая структура регистра I2STAT показана в табл. 51.

Регистр данных FC (для I2C0: I2DAT или I2C0DAT – 0xE001 C008, для I2C1: I2C1DAT – 0xE005 C008). Регистр содержит данные, которые будут переданы или которые были только что получены через I2C. К регистру можно обращаться только в том случае, если установлен флаг SI регистра I2CONSET.

Регистр адреса ведомого FC (для I2C0: I2ADR или I2C0ADR – 0xE001 C00C, для I2C1: I2C1ADR – 0xE005 C00C). Этот регистр используется только тогда, когда интерфейс I²C работает в режиме ведомого. Битовая структура регистра I2ADR показана в табл. 52.

Регистры рабочего цикла SCL FC (для I2C0: I2SCLH или I2C0SCLH – 0xE001 C010, для I2C1: I2C1SCLH – 0xE005 C010, для I2C0: I2SCLL или I2C0SCLL – 0xE001 C014, для I2C1: I2C1SCLL – 0xE005 C014). Программа может выбирать желаемую скорость передачи данных через интерфейс I²C путём установки значений I2SCLH и I2SCLL. Содержимое I2SCLH определяет одно слагаемое значения количества циклов pclk в периоде SCL интерфейса I²C, а содержимое I2SCLL – другое слагаемое. Частота импульсов SCL определяется в соответствии со следующей формулой: Частота следования битов = pclk/(I2SCLH + I2SCLL), где (I2SCLH + I2SCLL) – значение суммы содержимого регистров I2SCLH и I2SCLL. Значения I2SCLH и I2SCLL не должны быть одинаковыми. Программа может задавать различный период рабочего цикла SCL, однако скорость передачи данных через I²C всегда должна лежать в диапазоне от 0 до 400 кГц. Кроме того, каждое из значений содержимого регистров I2SCLH и I2SCLL должно быть больше или равно четырём. На рис. 23 показана обобщённая блок-схема интерфейса I²C устройств семейства LPC2000.

Таблица 49. Биты регистра установок управления I²C (для I2C0: I2CONSET или I2C0CONSET – 0xE001 C000, для I2C1: I2C1CONSET – 0xE005 C000)

Биты I2CONSET	Имя	Описание	Значение после сброса
0	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
1	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
2	AA	Флаг выдачи бита «подтверждение»	0
3	SI	Флаг прерывания от I ² C	0
4	STO	Флаг STOP	0
5	STA	Флаг START	0
6	I2EN	Бит разрешения I ² C	0
7	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 50. Биты регистра управления сбросом I²C (для I2C0: I2CONCLR или I2C0CONCLR – 0xE001 C018, для I2C1: I2C1CONCLR – 0xE005 C018)

Биты I2CONCLR	Имя	Описание	Значение после сброса
0	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
1	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
2	AAC	Бит сброса флага выдачи бита «подтверждение». Запись «1» в этот бит сбрасывает бит AA в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
3	SIC	Бит сброса флага прерывания от I ² C. Запись «1» в этот бит сбрасывает бит SI в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
4	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
5	STAC	Бит сброса флага START. Запись «1» в этот бит сбрасывает бит STA в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
6	I2ENC	Бит отключения интерфейса I ² C. Запись «1» в этот бит сбрасывает бит I2EN в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
7	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 51. Биты регистра состояния I²C (для I2C0: I2STAT или I2C0STAT – 0xE001 C004, для I2C1: I2C1STAT – 0xE005 C004)

Биты I2STAT	Имя	Описание	Значение после сброса
2:0	Состояние	Эти биты всегда равны 0	0
7:3	Состояние	Биты (код) состояния	1

Таблица 52. Биты регистра адреса ведомого I²C (для I2C0: I2ADR или I2C0ADR – 0xE001 C00C, для I2C1: I2C1ADR – 0xE005 C00C)

Биты I2ADR	Имя	Описание	Значение после сброса
0	GC	Бит разрешения детектирования общего вызова	0
7:1	Адрес	Адрес ведомого в режиме ведомого	0

ИНТЕРФЕЙС SPI

Интерфейс SPI устройств LPC2000 имеет следующие особенности:

- два законченных и независимых контроллера SPI;
- синхронное последовательное полнодуплексное соединение;
- интерфейс SPI может быть ведущим и ведомым;

- максимальная задающая частота обмена составляет 1/8 от входной тактовой частоты.

Сдвоенный модуль SPI устройств LPC2000 обслуживается следующими выводами:

- SCK1, SCK0 – последовательный синхросигнал;
- SSEL1, SSEL0 – выбор ведомого;
- MISO1, MISO0 – вход ведущего, выход ведомого;
- MOSI1, MOSI0 – выход ведущего, вход ведомого.

В качестве линий ввода-вывода SPI используются стандартные линии ввода-вывода CMOS. Когда блок SPI сконфигурирован для режима ведомого, его линии ввода-вывода активны только в том случае, когда внешний сигнал SSEL имеет активный (низкий) уровень. На рис. 24 приведена временная диаграмма, иллюстрирующая четыре различных формата передачи данных, которые могут использоваться в стандарте SPI. На рисунке показана передача одного байта данных. В первой части диаграммы показаны сигналы SSEL и SCK, во второй части – сигналы MOSI и MISO, когда переменная (параметр интерфейса) CPHA = 0, а в третьей – сигналы MOSI и MISO, когда CPHA = 1. У ведущего и ведомого устройств, осуществляющих обмен через SPI, установленные комбинации переменных CPOL и CPHA должны соответственно совпадать.

Блок-схема модуля SPI LPC2000, в соответствии с которой построены интерфейсы SPI0 и SPI1, приведена на рис. 25.

ОПЕРАЦИИ SPI

Для осуществления передачи (приёма) данных через блок SPI, сконфигурированный в качестве ведущего, рекомендуется определённая последовательность операций:

1. Задать в регистре счётчика синхроимпульсов SPI желаемую тактовую частоту;
2. Задать в регистре управления SPI желаемые параметры настройки;
3. Записать данные, подлежащие передаче, в регистр данных SPI. Эта запись инициализирует передачу данных через SPI;
4. Ожидать установки бита SPIF в регистре состояния SPI. Бит SPIF будет автоматически установлен после завершения последнего цикла передачи данных через SPI;
5. Прочитать регистр состояния SPI;

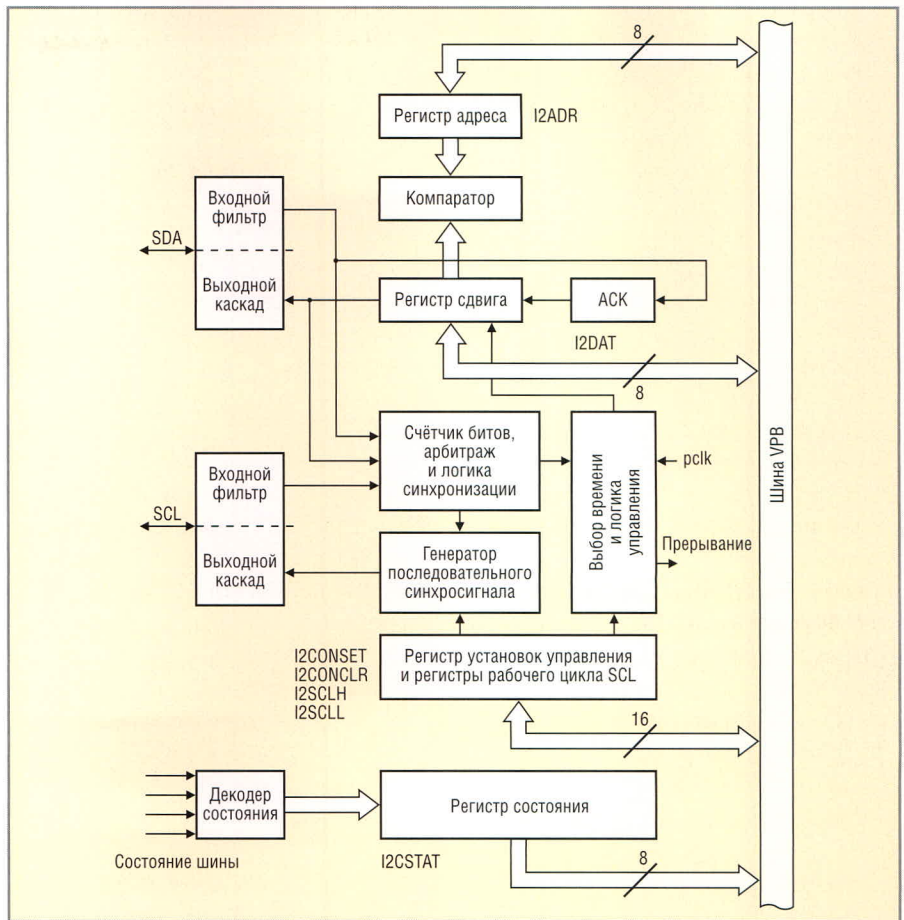


Рис. 23. Блок-схема интерфейса I²C

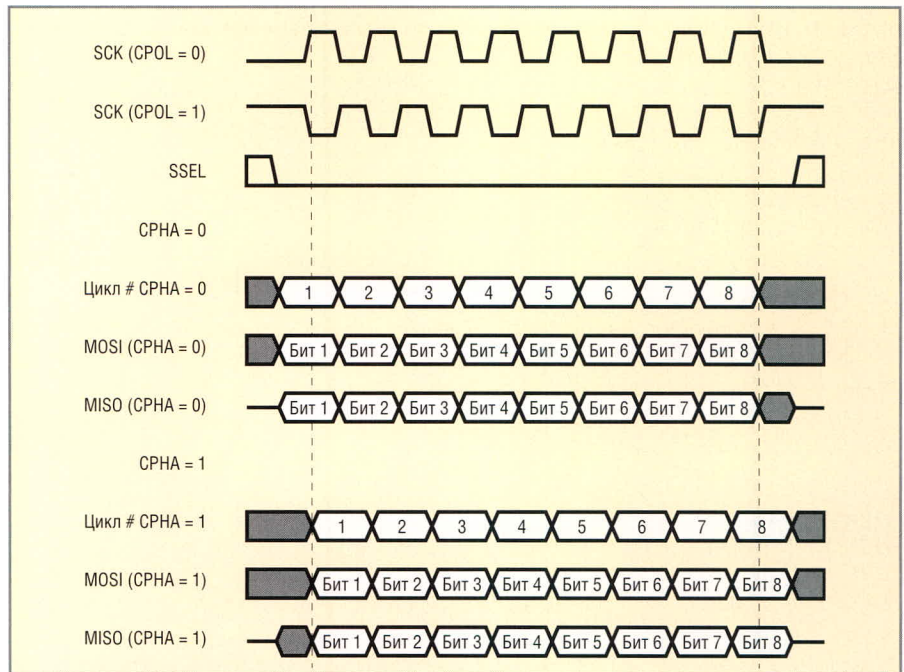


Рис. 24. Формат передачи данных, которые могут использоваться в стандарте SPI

6. Прочитать принятые через SPI данные путём чтения регистра данных, если это необходимо, т.е. если требуется произвести не только передачу, но и приём;
7. Вернуться к выполнению пункта 3, если имеются ещё данные, подлежащие передаче.

Если нет необходимости читать регистр данных SPI (приём не производится), то бит SPIF сбросится только при записи в регистр новых данных.

Для осуществления передачи (приёма) данных через блок SPI, сконфигурированный в качестве ведомого,

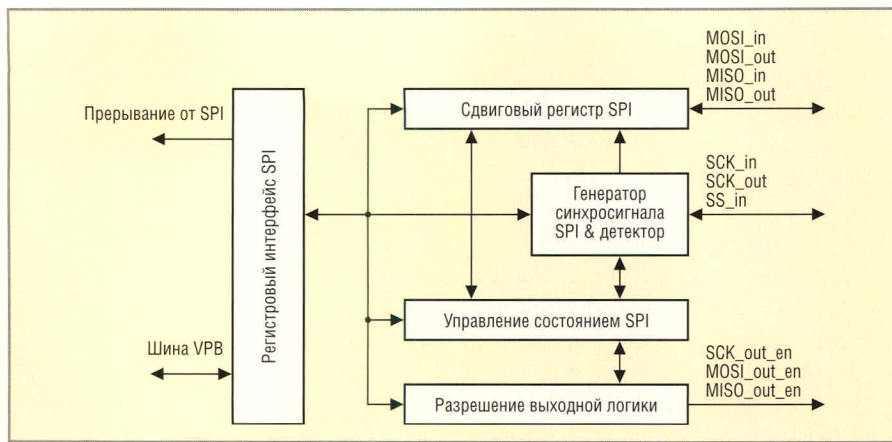


Рис. 25. Блок-схема модуля SPI

рекомендуется такая последовательность операций:

1. Задать в регистре управления SPI желаемые параметры настройки;
2. Записать данные, подлежащие передаче, в регистр данных SPI, если это необходимо, т.е. если требуется произвести не только приём, но и передачу. Эта запись не инициализирует передачу данных через SPI,

поэтому она должна быть сделана до того, как ведущее устройство начнёт передачу;

3. Ожидать установки бита SPIF в регистре состояния SPI. Бит SPIF будет автоматически установлен после последнего перепада синхросигнала, осуществившего выборку;
4. Прочитать регистр состояния SPI;

5. Прочитать принятые через SPI данные путём чтения регистра данных, если это необходимо, т.е. если требуется произвести не только передачу, но и приём;

6. Вернуться к выполнению п. 2, если имеются ещё данные, подлежащие передаче.

Чтение или запись регистра данных SPI требуются, чтобы сбросить бит SPIF в регистре состояния. Поэтому всегда необходимо или прочитать регистр данных, или произвести запись в него.

Блок SPI устройств семейства LPC2000 обслуживается следующими регистрами.

Регистр управления SPI (SOSPCR – 0xE0020000, S1SPCR – 0xE0030000). Битовая структура регистра SPCR приведена в табл. 53.

Регистр состояния SPI (SOSPSR – 0xE0020004, S1SPSR – 0xE0030004). Регистр доступен только для чтения. Битовая структура регистра SPSR приведена в табл. 54.

Таблица 53. Биты регистра управления SPI (SOSPCR – 0xE0020000, S1SPCR – 0xE0030000)

Биты регистра SPCR	Функция бита	Описание	Значение после сброса
2:0	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA
3	CPHA	Бит управления фазой синхросигналов. Этот бит определяет отношение между данными и синхросигналом при передаче через SPI, а также моменты начала и окончания передачи ведомого устройства. Когда этот бит установлен, выборка данных производится по второму (завершающему) перепаду синхросигнала SCK. Передача начинается с первого перепада синхросигнала и заканчивается с последним перепадом, осуществляющим выборку, когда сигнал SSEL активен. Когда этот бит сброшен, выборка данных производится по первому (начальному) перепаду синхросигнала SCK. Передача начинается и заканчивается соответственно в моменты активации и деактивации сигнала SSEL	0
4	CPOL	Бит управления полярностью синхросигнала. Когда бит установлен, сигнал SCK имеет низкий активный уровень. Когда бит сброшен, сигнал SCK имеет высокий активный уровень	0
5	MSTR	Бит выбора режима ведущего. Когда этот бит установлен, блок SPI работает в режиме ведущего. Когда этот бит сброшен, блок SPI работает в режиме ведомого	0
6	LSBF	Бит управления очередностью передачи через SPI разрядов в байте. Когда этот бит установлен, при передаче данных через SPI сначала передаётся МЗР (бит 0). Когда этот бит сброшен, при передаче данных через SPI сначала передаётся СЗР (бит 7)	0
7	SPIE	Разрешение прерывания от SPI. Когда этот бит установлен, каждый раз при переходе в активный уровень бита SPIF или бита MODF генерируется аппаратное прерывание. Когда этот бит сброшен, прерывания от SPI запрещены	0

Таблица 54. Биты регистра состояния SPI (SOSPSR – 0xE0020004, S1SPSR – 0xE0030004)

Биты регистра SPSR	Функция бита	Описание	Значение после сброса
2:0	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA
3	ABRT	Бит аварийного прекращения работы ведомого. Когда бит установлен, это указывает, что произошло аварийное прекращение работы ведомого. Этот бит сбрасывается путём чтения регистра SPSR	0
4	MODF	Бит ошибки режима. Когда бит установлен, то это указывает, что произошла ошибка режима. Этот бит сбрасывается путём чтения регистра SPSR и последующей записи в регистр управления SPI	0
5	ROVR	Бит переполнения при чтении. Когда бит установлен, это указывает, что произошло переполнение при чтении. Этот бит сбрасывается путём чтения регистра SPSR	0
6	WCOL	Бит коллизии записи. Когда бит установлен, это указывает, что произошла коллизия записи. Этот бит сбрасывается путём чтения регистра SPSR и последующего обращения к регистру данных SPI	0
7	SPIF	Флаг окончания передачи через SPI. Когда флаг установлен, это указывает на окончание передачи данных через SPI. Когда устройство является ведущим, этот флаг устанавливается в конце последнего цикла передачи. Когда устройство является ведомым, этот флаг устанавливается по перепаду SCK, осуществляющего выборку последнего бита данных. Этот флаг сбрасывается путём первого чтения регистра SPSR и последующего обращения к регистру данных SPI*	0

*Этот флаг не является флагом прерывания от SPI, который находится в регистре SPINT.

Таблица 55. Биты регистра прерывания от SPI (SOSPINT – 0xE002001C, S1SPINT – 0xE003001C)

Биты регистра SPINT	Функция бита	Описание	Значение после сброса
0	Прерывание от SPI	Флаг прерывания от SPI. Этот флаг устанавливается аппаратно при генерации прерывания от SPI. Флаг сбрасывается путём записи в него 1*	0
7:1	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA

*Этот флаг будет установлен один раз, когда устанавливаются бит SPIE и хотя бы один из битов SPIF или WCOL. Однако только в том случае, когда бит прерывания от SPI установлен и прерывание от SPI разрешено в VIC, прерывание от SPI может быть обработано программным обработчиком.

Регистр данных SPI (SOSPDR – 0xE0020008, SISPDR – 0xE0030008). Этот доступный для чтения и записи 8-разрядный регистр обеспечивает передачу и приём данных SPI. Данные, подлежащие передаче через SPI, записываются в этот регистр. Данные, принятые через SPI, могут быть прочитаны из него. Когда устройство является ведущим, запись в этот регистр инициализирует передачу данных через SPI. Запись в этот регистр не приведёт к инициализации передачи в том случае, если бит SPI в регистре состояния был установлен и регистр состояния не был прочитан.

Регистр счётчика синхроимпульсов SPI (SOPCCR – 0xE002000C, SISPCCR – 0xE003000C). Этот регистр управляет значением частоты SCK ведущего устройства. Регистр

содержит количество циклов rclk , которое составляет один цикл синхросигнала SPI. Значение этого регистра всегда должно быть чётным, а также всегда должно быть больше или равно 8. Абсолютное значение задающей частоты SPI может быть рассчитано по формуле cclk/ab , где a – значение SPCCR, b – значение VPBDIV.

Регистр прерывания от SPI (SOSPINT – 0xE002001C, SISPINT – 0xE003001C). Этот регистр содержит флаг прерывания от интерфейса SPI. Битовая структура регистра SPINT приведена в табл. 55.

Продолжение следует

ЛИТЕРАТУРА

1. *Редькин П.П.* Микроконтроллеры ARM7. Семейство LPC2000 компании

Philips: полное руководство пользователя. М.: Додэка-XXI. 2006 (готовится к выпуску).

2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. Issued: August 1995. Copyright Advanced RISC Machines Ltd. (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).
7. 80C51 Family Derivatives 8XC552/562 Overview. Philips Semiconductors, 1996 Aug 06, (www.semiconductors.philips.com/acrobat/various/8XC552_562OVERVIEW_2.pdf).



Новости мира News of the World

Новости мира

Фирма Xilinx выпускает новое семейство ПЛИС

ПЛИС с архитектурой FPGA семейств Spartan-3, Spartan-3E, Spartan-3A фирмы Xilinx, изготовленные по 90-нм технологии, служат в качестве недорогой платформы для разработки цифровых устройств массового потребления. Новое семейство Spartan-3A оптимизировано для приложений, где количество вводов-выводов и производительность важнее логической ёмкости ПЛИС (системы передачи данных по дифференциальной паре, системы поддержки различных стандартов интерфейсов памяти или системы, использующие «бриджинг» как метод маршрутизации).

Семейство Spartan-3E оптимизировано для приложений, в которых логическая ёмкость важнее количества вводов-выводов применяемой ПЛИС. Например, сопроцессоры в системах цифровой обработки сигналов, встроенные системы управления.

Семейство Spartan-3 оптимизировано для приложений, в которых одинаково важны большая логическая ёмкость и большое количество вводов-выводов. Например, системы обработки данных высокой степени интеграции.

www.xilinx.com

Sharp анонсировала 8-Мп CCD-матрицы размером 10 мм

Компания Sharp объявила о начале отгрузки образцов CCD-матриц RJ23V3BA0BT формата 10 мм, – по заявлениям производителя, на сегодняшний

день единственных с таким размером, имеющих разрешение 8 мегапикселей. Достижение столь высокой плотности компоновки пикселей объясняется миниатюризацией их размера – 1,75 мкм, что, как утверждается, также является рекордным показателем. Размер чипа составляет 10 × 10 × 3,5 мм. Начало массового производства намечено на апрель 2007 г.

Рассказывая о своём новом продукте, Sharp отметила, что миниатюрные размеры и высокое разрешение соответствуют актуальным требованиям рынка ЦФК. Наряду с этим утверждается, что новая CCD-матрица позволит также снизить себестоимость цифровых фотоаппаратов с высоким разрешением. Кроме собственно сенсора, Sharp предлагает и комплекты, включающие необходимые для создания готовых устройств компоненты, такие как, например, сигнальные процессоры (DSP).

www.3dnews.ru

Microchip: однокристалльный радиочастотный трансивер MRF24J40

Компания Microchip анонсировала новый радиочастотный трансивер MRF24J40 для диапазона 2,4 ГГц с аппаратной поддержкой PHY- и MAC-уровней IEEE 802.15.4.

Основные особенности трансивера:

- полное соответствие спецификации IEEE 802.15.4;
- возможность реализации ZigBee™, MiWi™ и проприетарных протоколов;
- четырёхпроводный последовательный интерфейс SPI;



- ток потребления в спящем режиме 2 мкА;
- токи потребления в рабочих режимах: 22 мА при передаче, 19 мА при приёме;
- 40-выводной корпус QFN (6 × 6 мм).

www.microchip.com

Stratix II GX-FPGA от Altera

Фирма Altera поставляет Stratix II GX-FPGAs. Элементы содержат до 20 экономичных трансиверов со скоростью передачи данных от 600 бит/с до 6,375 Мбит/с для последовательных связей с общей скоростью передачи до 127 Гбит/с. EP2SGX30 и EP2SGX60 представляют собой всё семейство Stratix II GX. Altera поставляет для производства сертифицированные элементы, которые своими параметрами поддерживают все распространённые протоколы и скорости связи. Предоставляется среда разработки на базе Stratix II GX-чипов. Это системное решение включает программное обеспечение разработки Quartus II, инструментарий целостности сигналов и оценки питания, IP-Cores, модели систем Altera, Cadence Designs Systemes и Mentor Graphics, базовые разработки и документацию.

www.altera.com

Реализация интерфейса USB в микроконтроллерных устройствах

Дмитрий Тумайкин (Ярославская обл.)

В статье приводится обзор основных вариантов реализации интерфейса USB в микроконтроллерных устройствах – на микроконтроллерах, имеющих поддержку интерфейса на аппаратном уровне и с применением микросхем-драйверов интерфейса. Дано описание и приведены решения организации USB наиболее известных в России производителей микроконтроллеров и микросхем сопряжения с USB.

В настоящее время большинство измерительных устройств и устройств автоматики имеют интерфейс связи с ПК. Зачастую в качестве интерфейса связи выступает интерфейс RS-232. Это обусловлено, прежде всего, простотой реализации данного интерфейса как аппаратно, так и программно, – большинство современных микроконтроллеров имеют встроенный UART (универсальный асинхронный приёмопередатчик).

Однако в современных ноутбуках и материнских платах ПК производители либо устанавливают один COM-порт, либо вообще не устанавливают его как рудимент. В связи с этим сфера применения устройств с интерфейсом RS-232 сужается. На смену интерфейса RS-232 пришел интерфейс USB. Данный интерфейс отличается высокой скоростью передачи данных (до 480 Мбит/с для спецификации USB 2.0), возможностью подключения до 127 устройств и масштабируемостью с использованием хабов, высокой нагрузочной способностью порта (до 500 мА), возможностью горячего подключения/отключения.

USB является промышленным стандартом расширения архитектуры PC, ориентированным на интеграцию с телефонией и устройствами бытовой электроники. Версия 1.0 была опубликована в начале 1996 г., большинство устройств поддерживает версию 1.1, которая вышла осенью 1998 г., – в ней были устранены обнаруженные в первой редакции проблемы. Весной 2000 г. опубликована спецификация USB 2.0, в которой предусмотрено 40-кратное повышение пропускной способности шины.

Первоначально (в версиях 1.0 и 1.1) шина обеспечивала две скорости передачи информации: полная скорость FS (full speed) – 12 Мбит/с и низкая скорость LS (Low Speed) – 1,5 Мбит/с. В версии 2.0 добавлена ещё и высокая скорость обмена HS (High Speed) – 480 Мбит/с. USB 2.0 аппаратно совместим с USB 1.0.

Для обеспечения связи устройства с ПК по USB-интерфейсу можно воспользоваться HID-драйвером. При этом разрабатываемое устройство должно поддерживать протокол обмена и соответствовать спецификации HID-устройств. Основным ограничением данного подхода является скорость обмена до 64 Кбит/с. Если же стандартный драйвер не подходит, необходимо разрабатывать собственный драйвер поддержки. Программное обеспечение для реализации USB-соединения подразделяется на три группы:

- драйвер устройства – используется для связи с устройством на низком уровне;
- DLL-библиотека – используется для связи драйвера устройства с функциями устройства, что упрощает доступ к функциям устройства из программы пользователя;
- интерфейс пользователя – предназначен для удобства работы пользователя с устройством, вызывает функции только из DLL-библиотеки.

В данной статье приводится обзор основных вариантов реализации интерфейса USB в микроконтроллерных устройствах – на микроконтроллерах, имеющих поддержку интерфейса на аппаратном уровне и с при-

менением микросхем-драйверов интерфейса:

- с помощью микроконтроллера, у которого интерфейс USB реализован аппаратно. В этом случае необходимо написать программу для микроконтроллера, реализующую обмен по USB. Кроме того, если операционная система не поддерживает стандартные классы USB или они не удовлетворяют требованиям разработчика, то необходимо написать драйвер для компьютера;
- использование универсального преобразователя интерфейсов. В этом случае разработка специальной прошивки не потребуется, нет надобности разбираться в тонкостях работы интерфейса USB и нет необходимости написания драйвера, т.к. производитель преобразователя предлагает свой драйвер. Недостаток – более высокая стоимость системы, а также увеличенные габариты готового изделия. Основная проблема такого подхода заключается в сложности достижения высокой скорости обмена.

Для реализации интерфейса USB выпускается широкий ассортимент микросхем, различающихся скоростями обмена (LS, FS или HS), числом и возможностями конечных точек (тип передач, размер буфера).

Производители наиболее распространённых микроконтроллеров имеют в линейке своей продукции семейство микроконтроллеров с аппаратной поддержкой интерфейса USB.

ATMEL

С портом USB фирма Atmel выпускает микроконтроллеры на ядре MCS51, AVR и ARM. Они различаются объёмом памяти (оперативной и энергонезависимой), производительностью, напряжением питания, потреблением, наличием встроенных устройств АЦП/ЦАП и т.д. Таким образом, разработчик всегда может подобрать себе микроконтроллер, имеющий в своём составе все необходимые ему встроенные устройства. Микро-

контроллеры с интегрированным интерфейсом USB фирмы Atmel с архитектурой MCS51 приведены в табл. 1. Микроконтроллеры с интегрированным интерфейсом USB фирмы Atmel с ядром AVR приведены в табл. 2. Данные микроконтроллеры содержат интегрированный приёмопередатчик, соответствующий спецификации шины USB 2.0, FIFO – буфер, поддерживают одновременную работу с несколькими устройствами. Для работы интерфейса USB используется единый блок генерации тактового сигнала – один кварц для ядра микроконтроллера и USB. Также следует отметить малое число внешних компонентов для реализации интерфейса.

Данные микроконтроллеры наряду с поддержкой спецификации USB содержат большое количество разнообразных интегрированных периферийных устройств.

Микроконтроллеры поддерживаются полным набором программ и средствами для проектирования, в т.ч.: Си-компиляторы, макроассемблеры, программные отладчики/симуляторы, внутрисхемные эмуляторы и оценочные наборы. Для разработчиков на базе микроконтроллеров с интерфейсом USB разработана мезонинная плата STK525, снабжённая

Таблица 1. Микроконтроллеры с архитектурой MCS51

Тип	Характеристики							Функции
	интерфейс	ядро	Flash, Кб	EEPROM, Кб	RAM, байт	напряжение питания, В	количество оконечных устройств	
AT89C5130A-M	USB	C51	16	1	1280	2,7...5,5	7	TWI, SPI, UART, PCA
AT89C5131A-L	USB	C51	32	1	1280	3,0...3,6	7	TWI, SPI, UART, PCA
AT89C5131A-M	USB	C51	32	1	1280	2,7...5,5	7	TWI, SPI, UART, PCA
AT89C5132	USB	C51	64		2304		4	SPI, UART, IDE, TWI, MultiMediaCard, DataFlash, I2S, 10-разрядный АЦП

набором полезных программ и примеров в исходных кодах.

Микроконтроллеры с интегрированным интерфейсом USB фирмы Atmel AT91 с ядром ARM приведены в табл. 3. Данные высокопроизводительные микроконтроллеры с большим числом разнообразных интегрированных периферийных устройств (USB 2.0 Full Speed-порт, USARTs, SPI, SSC, TWI, АЦП, DMA-контроллер) являются идеальным решением для перехода с 8-разрядных микроконтроллеров для увеличения производительности, увеличения объёма интегрированной памяти и реализации USB 2.0 Full Speed.

MICROCHIP

Фирма Microchip Technology выпускает микроконтроллеры PIC16C745/765, которые имеют встроенный пе-

риферийный модуль USB, соответствующий спецификации USB v1.1. Модуль USB поддерживает передачи управления и прерывания для скорости 1,5 Мбит/с. PIC16C745 – микроконтроллер с архитектурой PIC. Имеет встроенную USB-функцию, работающую в LS-режиме, 256 байт ОЗУ, 14 336 байт ПЗУ, 22 программируемых вывода, последовательный интерфейс, 5-канальный 8-битный АЦП. PIC16C765 отличается тем, что имеет 33 программируемых вывода и 8-канальный 8-битный АЦП. Данные микроконтроллеры предназначены для реализации устройств, не требующих высоких скоростей передачи данных, – разнообразных устройств управления и автоматики, систем сбора данных с датчиков и т.п.

Микроконтроллеры с поддержкой USB High Speed представлены в таб-

Таблица 2. Микроконтроллеры с ядром AVR

Тип	Характеристики							
	USB	самопрограммируемая Flash-память программ, Кб	SRAM, Кб	EEPROM Кб	АЦП	MIPS	напряжение питания, В	JTAG для внутрисхемного программирования и отладки
AT90USB1286	Есть	128	8	4	8-канальный 10-разрядный	До 16 при 16 МГц	2,7...5,5	Есть
AT90USB1287	USB On-The-Go функция	128	8	4	8-канальный 10-разрядный	До 16 при 16 МГц	2,7...5,5	Есть
AT90USB646	Есть	64	4	2	8-канальный 10-разрядный	До 16 при 16 МГц	2,7...5,5	Есть
AT90USB647	USB On-The-Go функция	64	4	2	8-канальный 10-разрядный	До 16 при 16 МГц	2,7...5,5	Есть

Таблица 3. Микроконтроллеры AT91 с ядром ARM

Тип	Flash, Кб	SRAM, Кб	USB Host (Full Speed)	USB Device (Full Speed)	10-разрядный АЦП (каналов)	F _{max} , МГц	ШИМ, каналов	Число линий ввода/вывода	Число 16-разрядных таймеров	SPI	Ядро
AT91RM3400	–	96	–	1	–	66	–	63	6	1	ARM7TDMI
AT91RM9200	–	16	2	1	–	180	–	94	6	1	ARM920T
AT91SAM7A3	256	32	–	1	16	60	8	62	9	2	ARM7TDMI
AT91SAM7S128	128	32	–	1	8	55	4	32	3	1	ARM7TDMI
AT91SAM7S256	256	64	–	1	8	55	4	32	3	1	ARM7TDMI
AT91SAM7S321	32	8	–	1	8	55	4	32	3	1	ARM7TDMI
AT91SAM7S64	64	16	–	1	8	55	4	32	3	1	ARM7TDMI
AT91SAM7SE256	256	32	–	1	8	48	4	88	3	1	ARM7TDMI
AT91SAM7SE32	32	8	–	1	8	48	4	32	3	1	ARM7TDMI
AT91SAM7SE512	512	32	–	1	8	48	4	88	3	1	ARM7TDMI
AT91SAM7X128	128	32	–	1	8	55	4	60	3	2	ARM7TDMI
AT91SAM7X256	256	64	–	1	8	55	4	60	3	2	ARM7TDMI
AT91SAM7XC128	128	32	–	1	8	55	4	60	3	2	ARM7TDMI
AT91SAM7XC256	256	64	–	1	8	55	4	60	3	2	ARM7TDMI
AT91SAM9260	–	2 × 4	2	1	4	180	–	96	6	2	ARM926EJ-S
AT91SAM9261	–	160	2	1	–	180	–	96	3	2	ARM926EJ-S

Таблица 4. Микроконтроллеры с поддержкой USB High Speed

Тип	Память программ, Кб	Память данных, байт		Число линий ввода/вывода	АЦП	ШИМ (ССР/ЕСРР)	SPI	МПС	Компараторы	Таймеры 8/16 бит
		RAM	EEPROM							
PIC18F2455	24	2048	256	24	10	2/0	+	+	2	1/3
PIC18F2550	32	2048	256	24	10	2/0	+	+	2	1/3
PIC18F4455	24	2048	256	35	13	1/1	+	+	2	1/3
PIC18F4550	32	2048	256	35	13	1/1	+	+	2	1/3
PIC18F2450	16	768	-	24	10	1/0	-	-	-	1/2
PIC18F4450	16	768	-	35	13	1/0	-	-	-	1/2

лице 4. Данные микроконтроллеры сочетают в себе интегрированный USB-интерфейс и производительный контроллер PIC18F. Данное решение позволяет не вникая в тонкости работы USB-интерфейса перевести устройства с порта RS-232 на современный высокоскоростной USB.

Для помощи разработчикам в реализации проектов фирма Microchip Technology предоставляет набор библиотечных функций, поддерживающих USB-интерфейс. Эти библиотеки позволяют освободить основное программное обеспечение от необходимости обрабатывать сложный протокол USB. Выполнение большинства функций USB обеспечивается просто вызовом интерфейсных функций Put/Get (передать/принять). Библиотеки также обеспечивают приложения операциями при нумерации и конфигурировании.

Кроме того, компания Microchip предлагает разнообразные демонстрационные и отладочные средства для работы с интерфейсом USB.

FTDI

Компания FTDI (Future Technology Devices International) специализируется на производстве микросхем сопряжения микропроцессорных устройств с USB. Решения FTDI позволяют организовать обмен данными по USB простейшим образом благодаря

аппаратной реализации протокола и наличию бесплатных драйверов для Windows 98/2000/ME/XP, MAC OS – X, Linux.

Микросхемы FTDI являются мостом между USB и такими микропроцессорными интерфейсами, как UART, FIFO, JTAG, SPI, I²C и т.д. В режиме Bit Bang они могут использоваться для конфигурирования микросхем программируемой логики через USB или для ввода/вывода по USB цифровых логических сигналов без использования дополнительного микроконтроллера.

Использование микросхем FTDI является идеальным решением для быстрой замены интерфейса RS232 на современный USB в разработанных устройствах. Использование компонентов FTDI не требует от разработчика глубоких знаний интерфейса USB благодаря наличию на сайте производителя драйверов, богатого инструментария разработчика и примеров.

Продукция компании представлена рядом микросхем. Хост-контроллер Vinculum имеет два порта USB, один из которых может быть сконфигурирован как хост, другой – как периферийный (slave). Кроме того, микросхема имеет дополнительные порты ввода/вывода, которые могут работать в режимах SPI, UART или параллельного 8-разрядного интерфей-

са. Микросхема FT232R является преобразователем USB – UART с интегрированным внутренним тактовым генератором, который можно использовать в качестве задающего для внешних устройств, при этом значение выходной частоты может быть задано равным 6, 12, 24 или 48 МГц. Также FT232R имеет интегрированную энергонезависимую память EEPROM и пассивные компоненты, интегрированные в кристалл. Таким образом, для подключения данной микросхемы к микроконтроллеру практически не потребуются дополнительные элементы обвязки. Также следует отметить наличие уникального идентификационного номера (FTDIChip-IDT), который программируется производителем в процессе изготовления кристаллов и доступен для чтения по шине USB. Данный номер может быть использован при создании USB – ключа для защиты пользовательских приложений. Новые микросхемы FT232R выпускаются в двух типах корпусов – SSOP28 (FT 232RL) и QFN32 (FT 232RQ), выполненных по бессвинцовой технологии.

Также существуют микросхемы-преобразователи других интерфейсов – RS422, RS485, FIFO и др.

Существует несколько типов драйверов для преобразователей интерфейсов FTDI, разработанных непосредственно FTDI или другими компаниями. Это VCP-драйверы: при подключении к хосту устройств на базе FT2XX каждому из них может назначаться свой виртуальный COM-порт либо могут использоваться D2XX Direct Drivers. Архитектура D2XX-драйвера состоит из Windows WDM-драйвера, работающего с устройством посредством Windows USB-стека и DLL, который связывает приложение (написанное на Visual C++, C++ Builder, Delphi, VB и т.д.) с WDM-драйвером.

Особенностью драйверов является их максимальная простота при уста-

Таблица 5. Низкоскоростные (1,5 Мбит/с) USB-контроллеры фирмы Cypress

Тип	Оконечных устройств	Ядро	Объем памяти, Кб	Тип памяти	Число портов I/O
CY7C63001A	2	M8 (8-bit RISC)	4	EPROM	12
CY7C63101A	2	M8 (8-bit RISC)	4	EPROM	16
CY7C63221A	2	M8 (8-bit RISC)	3	EPROM	8+2
CY7C63231A	2	M8 (8-bit RISC)	3	EPROM	10+2
CY7C633xx	3	M8C (8-bit RISC)	3	Flash	13
CY7C63413	3	M8 (8-bit RISC)	8	EPROM	32
CY7C63513	3	M8 (8-bit RISC)	8	EPROM	40
CY7C63612	3	M8 (8-bit RISC)	6	EPROM	16
CY7C63613	3	M8 (8-bit RISC)	8	EPROM	16
CY7C63743	3	M8 (8-bit RISC)	8	EPROM	16+1
CY7C63723	3	M8 (8-bit RISC)	8	EPROM	10+1
CY7C638xx	3	M8C (8-bit RISC)	8	Flash	19
CY7C639xx	3	M8C (8-bit RISC)	8	Flash	36

Таблица 6. Полноскоростные USB-контроллеры фирмы Cypress

Тип	Передача данных	Ядро	Объем памяти, Кб	Тип памяти	Портов	Периферия
AN2720SC-01	Bulk, Interrupt	–	4	RAM	–	–
AN2136	Bulk, Interrupt	Расширенное 8051	8	RAM	8	8-bit Databus, GPIO, I ² C, Turbo Mode, UART
AN2135	Bulk, Interrupt, Isochronous	Расширенное 8051	8	RAM	8	8-bit Databus, GPIO, I ² C, Turbo Mode, UART
AN2131	Bulk, Interrupt, Isochronous	Расширенное 8051	8	RAM	18	GPIO, I ² C, UART
CY7C64603	Bulk, Interrupt	Расширенное 8051	8	RAM	16	8-bit Databus, DMA, GPIO, I ² C, UART
CY7C64613	Bulk, Interrupt, Isochronous	Расширенное 8051	8	RAM	40	16-bit Databus, DMA, GPIO, I ² C, Memory Expansion Port, UART
SL11R	Bulk, Interrupt, Isochronous	CY16 (16-bit RISC)	3	RAM	32	16-bit Databus, DMA, GPIO, I ² C, UART
CS5954AM	Bulk, Interrupt, Isochronous	CY16 (16-bit RISC)	3	RAM	32	16-bit Databus, DMA, GPIO, I ² C, UART
SL11R-IDE	Bulk, Interrupt, Isochronous	CY16 (16-bit RISC)	3	RAM	32	16-bit Databus, DMA, GPIO, I ² C, UART
SL811S	Bulk, Interrupt, Isochronous	–	0,25	SRAM	–	–
CY7C64113	Bulk, Interrupt, Isochronous	M8 (8-bit RISC)	8	EPROM	36	DAC Port, GPIO, HAPI, I ² C, Programmable Drive
CY7C64013	Bulk, Interrupt, Isochronous	M8 (8-bit RISC)	8	EPROM	19	GPIO, HAPI, I ² C, Programmable Drive
CY7C64713	Bulk, Interrupt, Isochronous	Расширенное 8051	16	EEPROM	–	–

новке и использовании, доступность (все они выложены на сайте компании) и широкое разнообразие, обеспечивающее возможность применения практически на любой операционной системе. Все драйверы сопровождаются руководствами и техническими описаниями.

Эти драйверы вместе с микросхемами преобразователей интерфейсов разработаны для тех случаев, когда необходимо быстро и без особых затрат сделать свою продукцию совместимой с USB, сохраняя при этом совместимость и с ранее разработанным программным обеспечением под COM-порт. При установке драйвера в операционной системе добавляется виртуальный COM-порт (дополнительно к существующим аппаратно), и программное обеспечение обращается к USB-устройству так же, как к стандартному COM-порту, используя стандартные вызовы VCOMM API или с использованием библиотек виртуального порта.

Для уменьшения экономических и временных затрат при разработке и внедрении компанией разработано более 10 комплектов разработки и готовых модулей.

CYPRESS SEMICONDUCTOR

Cypress Semiconductor является одним из основных мировых производителей специализированных микросхем USB. Линейка продуктов Cypress включает в себя полный спектр USB-микроконтроллеров, работающих со скоростями, которые соответствуют всем спецификациям USB: Low-speed – 1,5 Мбит/с; Full-speed – 12 Мбит/с; High-speed – 480 Мбит/с.

Помимо этого фирмой выпускаются микросхемы для преобразования

Таблица 7. Высокоскоростные USB 2.0 контроллеры фирмы Cypress

Тип	Оконечных устройств	Передача данных	Ядро	Объем памяти, Кб	Тип памяти
CY7C68000	N/A	Bulk, Interrupt, Isochronous	–	–	–
CY7C68001	5	Bulk, Interrupt, Isochronous	–	–	–
CY7C68013	7	Bulk, Interrupt, Isochronous	Расширенное 8051	8	RAM
CY7C68013A	7	Bulk, Interrupt, Isochronous	Расширенное 8051	16	RAM
CY7C68014A	7	Bulk, Interrupt, Isochronous	Расширенное 8051	16	RAM
CY7C68015A	7	Bulk, Interrupt, Isochronous	Расширенное 8051	16	RAM
CY7C68016A	7	Bulk, Interrupt, Isochronous	Расширенное 8051	16	RAM
CY7C68023		Bulk Only Transport	–	–	–
CY7C68024		Bulk Only Transport	–	–	–
CY7C68300A	4	Bulk Only Transport	–	2	Single-port RAM
CY7C68300B	4	Bulk Only Transport	–	2	Single-port RAM
CY7C68301B	4	Bulk Only Transport	–	2	Single-port RAM
CY7C68320	4	Bulk Only Transport	–	2	Single-port RAM
CY7C68321	4	Bulk Only Transport	–	2	Single-port RAM
ISD-300A1	4	Bulk Only Transport	–	8	Single-port RAM

USB в последовательные и параллельные интерфейсы, которые включают в себя высокоскоростные мосты USB 2.0 – ATA/ATAPI/UTMI.

Наибольшим интересом у разработчиков пользуется универсальный контроллер EZ-USB FX2LP – микросхема CY7C68013A. Рабочая конфигурация контроллера определяется программой, загруженной во внутреннюю оперативную память. Именно эта возможность делает контроллер универсальным: в зависимости от задачи либо его можно настроить для выполнения тех или иных функций, либо пользователь может обновлять программное обеспечение готовых приборов в процессе эксплуатации.

Использование микросхем Cypress является идеальным решением для быстрой замены интерфейса RS232 на современный USB в разработанных устройствах. Разработчику предлагается широкий набор программного обеспечения: драйверы Windows, утилиты для тестирования обмена данных, примеры приложений с исходными кодами. Низкоско-

ростные USB-контроллеры фирмы Cypress приведены в табл. 5, полноскоростные – в табл. 6, высокоскоростные – в табл. 7.

Представленные в статье производители решений для организации USB являются лишь наиболее распространенными в России, но далеко не единственными. Из вышеизложенного видно, что для перевода разработки на современный интерфейс связи существует несколько разнообразных подходов, различающихся по стоимости, сложности и скорости реализации и скорости обмена. Выбор же того или иного варианта индивидуален для каждой конкретной задачи.

ЛИТЕРАТУРА

1. <http://www.atmel.com>.
2. <http://www.microchip.com>.
3. <http://ftdi.com>.
4. <http://www.cypress.com>.
5. Universal Serial Bus Specification.
6. Азуров П.В. Интерфейсы USB. Практика использования и программирования. СПб.: БХВ-Петербург, 2004.



Измерение температуры р–п-переходом

Григорий Зеленов (Московская обл.)

В статье автор кратко рассматривает принцип измерения температуры, в котором в качестве датчика использован р–п-переход. Показана принципиальная возможность измерения температуры р–п-переходом в диапазоне температур $-196...+100^{\circ}\text{C}$ в токовом режиме. Приведена схема источника питания для обеспечения постоянного тока в р–п-переходе.

ВВЕДЕНИЕ

На практике часто возникает ситуация, когда необходимо измерить температуру электронных приборов простым способом. В настоящей статье рассмотрен метод измерения температуры р–п-переходом [1–3], который ранее был опробован в различных исследованиях [4, 5]. Принципы измерения температуры р–п-переходом известны давно [6–9]. В то же время в Интернете встречаются вопросы о том, как измерить температуру с помощью диодов. Кратко рассмотрим теоретические и схемотехнические решения измерения температуры р–п-переходом и сравним наши результаты с результатами измерения температуры, полученными другими методами [6, 7, 9]. В данной статье рассмотрены два режима

измерения температуры р–п-переходом: с использованием резистора (резистивный режим) и генератора тока (токовый режим).

ТЕОРЕТИЧЕСКИЕ ОСНОВЫ ИЗМЕРЕНИЯ ТЕМПЕРАТУРЫ Р–П-ПЕРЕХОДОМ

Из теории [8, 10] ток через р–п-переход определяется по формуле:

$$I_d = I_o(\exp(eV_d/bkT_d) - 1), \quad (1)$$

где I_d – ток через диод, I_o – обратный ток через диод (const), V_d – напряжение на р–п-переходе, e – заряд электрона, k – постоянная Больцмана, b – коэффициент идеальности р–п-перехода (const), T_d – температура р–п-перехода. Из (1) следует:

$$T_d = bk/eT_d \ln(I_d/I_o + 1). \quad (2)$$

Из (2) следует, что при $T_d = \text{const}$ и при независимости I_o от температуры, T_d будет линейно связана с напряжением на диоде V_d . Коэффициент пропорциональности этой зависимости обозначим K_T ($K_T = bk/e \ln(I_d/I_o + 1)$) и назовём его чувствительностью градуировочной кривой р–п-перехода. Тогда из (2): $T_d = K_T V_d$. Если I_d и I_o постоянны, то K_T также постоянен. Следовательно, T_d линейно зависит от напряжения на диоде (измеряемый параметр), т.е. должна выполняться зависимость:

$$T_d = AV_d + B, \quad (3)$$

где A и B – постоянные коэффициенты. Назовем (3) градуировочной прямой для р–п-перехода, а коэффициенты A и B – градуировочными коэф-

фициентами р–п-перехода (диода). Тогда при указанных выше предположениях для измерения температуры р–п-переходом достаточно определить коэффициенты A и B . Другие значения температуры T_d р–п-перехода можно будет определять с помощью градуировочной прямой по измеренным значениям напряжения на диоде V_d .

Чтобы определить коэффициенты A и B , достаточно измерить две пары параметров: T_1, V_1 и T_2, V_2 на диоде при постоянном токе через диод (V_1 измеряется при температуре T_1 , а V_2 – при температуре T_2). После этих измерений, решая линейную систему с двумя неизвестными, получаем экспериментальные градуировочные коэффициенты A и B и экспериментальную градуировочную прямую. Процесс получения экспериментальных градуировочных коэффициентов A и B назовём градуировкой р–п-перехода. После градуировки р–п-перехода (диода) его можно использовать в качестве измерителя температуры. Для этого измеряют напряжение на диоде V_d и по формуле (3) вычисляют значение температуры T_d .

РЕЗИСТИВНЫЙ И ТОКОВЫЙ РЕЖИМ ИЗМЕРЕНИЯ ТЕМПЕРАТУРЫ Р–П-ПЕРЕХОДОМ

Основная схема измерения температуры р–п-переходом, применяемая разными авторами, приведена на рис. 1а [6, 7]. Результаты данной статьи получены в токовом режиме, в схеме которого использован «идеальный» источник тока (рис. 1б). Величина тока I_d через диод постоянна, и этот ток не зависит ни от сопротивления диода, ни от температуры, т.е. выполняется соотношение (2). Если использовать схему измерения, приведённую на рис. 1а, то зависимость между параметрами V_d и T_d будет иметь более сложный вид:

$$T_d = bk/eV_d \ln((E - V_d/I_o R_{\text{ток}}) + 1), \quad (4)$$

что может уменьшить точность измерений.

Для реализации схемы с генератором тока (рис 1б) необходим «идеальный» источник тока. Схема такого источника тока показана на рис. 2. В этой схеме ток, протекающий через подключенный диод D , не зависит от напряжения на диоде V_d ($I_d = V_{\text{вх}}/R_{\text{ток}}$). Следовательно, соотноше-

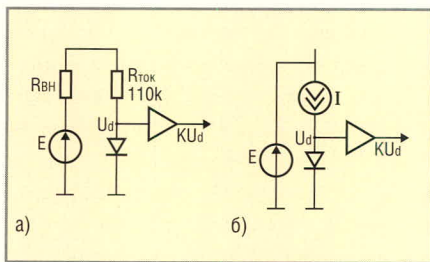


Рис. 1. Резистивный (а) и токовый (б) режимы измерения температуры р–п-переходом

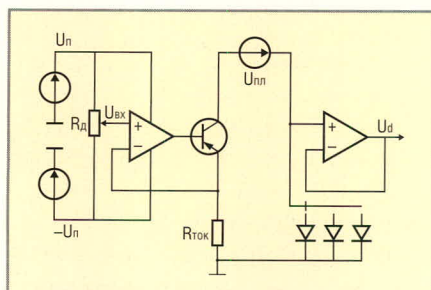


Рис. 2. Источник стабильного тока

Результаты и ошибки измерения температуры р–п-переходом в токовом и резистивном режимах для различных диодов

Режим	Токовый/резистивный режимы			
	Д220	КД522А	КД512А	ГД507А
Напряжение V_d при 273°K, В	0,601...0,603/0,601...0,602	0,596...0,604/0,602...0,603	0,702...0,705/0,699...0,700	0,323...0,329/–
Напряжение V_d при 373°K, В	0,382...0,386/0,249...253	0,385...0,391/0,236...0,237	0,515...0,518/0,389...0,390	0,141...0,146/–
Напряжение V_d при 77°K, В	1,027/1,003...1,027	1,040/1,007	1,120/1,025	0,707...0,708/–
Температуры, используемые для калибровки, °K	373 и 273	273 и 77	373 и 77	373 и 273
Абсолютная ошибка, макс., град.	5,5/81,14*	–3,57/78**	8,5/–44,7**	–18,53/169,2*
Относительная ошибка***, %	1,85/27,41	–1,2/26,3	2,8/–15	6,3/57,1

* При 77°K.

** При 273°K.

*** Получена делением максимальной ошибки на весь температурный диапазон.

ние (2) будет выполняться во всём температурном диапазоне.

Градуировка датчиков температуры, выполненных на р–п-переходах

Значениями температур, при которых обычно производится градуировка датчиков температуры, являются температура жидкого азота (77°K или –196°С), температура смеси воды и льда (273°K или 0°С) и температура кипящей воды (373°K или 100°С). Чтобы проградуировать р–п-переход диода, используемого в качестве датчика температуры, достаточно измерить V_d при любых двух значениях температуры.

Как было показано выше, значение тока I_d можно задать достаточно точно с помощью источника тока (рис. 2). При этом I_d при разных температурах меняться не будет, в отличие от обратного тока через диод (I_0), который будет зависеть от температуры. Эта зависимость I_0 от температуры будет определять погрешность измерения температуры (предполагалось $I_0 = \text{const}$). Измерение с использованием градуировочной прямой (3), заменяющей реальную градуировочную кривую, при которой температура измеряется с минимальной ошибкой, приведёт к

ошибкам при измерениях. Эти ошибки будут разными в случае резистивного и токового режимов измерения температуры р–п-переходом.

Для определения погрешности измерения температуры р–п-переходом выбраны диоды Д220, КД512А, КД522А и ГД507А. Для каждого из этих диодов были проведены измерения V_d (T_d) в трёх (или двух) вышеуказанных градуировочных точках и в двух режимах – токовом и резистивном. При $R_{\text{ток}} = 110$ кОм через диод протекал ток $I_d = 50$ мкА (для исключения процесса разогрева р–п-перехода ток I_d нужно выбирать как можно меньше, например, $I_d = 10$ мкА [5, 6]). Ток $I_d = 50$ мкА был выбран для сравнения результатов измерения, полученных в резистивном [7–9] и токовом режимах.

В данной работе была выбрана следующая методика эксперимента: для каждого диода и режима измерения сначала по измеренным при 373 и 273°K вычислялись градуировочные коэффициенты A и B , по ним строилась градуировочная кривая, которая продолжалась до 77°K, и вычислялась ошибка при 77°K. По аналогичной методике вычислялись ошибки при 273 и 373°K.

Результаты измерения температуры р–п-переходом в токовом и резистивном режимах приведены в таблице. Видно, что точность измерения температуры р–п-переходом при токовом режиме выше, чем при резистивном режиме, а германиевый диод ГД507 по сравнению с кремниевыми диодами при измерениях в токовом режиме даёт худшие результаты. Максимальная ошибка при использовании градуировочной прямой (максимальная разность между вычисленным значением по градуировочной прямой и измеренным значением температуры, которая не участвовала в градуировке), вычисляемая по трём измеренным точкам, тем меньше, чем

больше температурный интервал между двумя точками, по которым вычисляются градуировочные коэффициенты (т.е. для градуировки сначала желательно выбрать точки 77 и 373°K, затем 77 и 273°K и, наконец, 273 и 373°K. На рис. 3 показаны графики градуировочных прямых, полученных вышеописанным способом для диода Д220. На них качественно подтверждаются описанные выше особенности, которые получены из табличных данных.

ЛИТЕРАТУРА

1. Зеленов Г.Я. А.с. № 1817030 «Преобразователь электрического напряжения в ток». 11.10.1992 (заявка № 4785561 от 22.01.1990).
2. Зеленов Г.Я. Патент № 2010415 «Дифференциальное токовое устройство». 30.03.1994 (заявка № 4919386 от 15.03.1991).
3. Зеленов Г.Я. Применение преобразователей напряжения в ток. Радиотехника, 1994. № 11.
4. Зеленов Г.Я., Падалко А.Г., Трифионов В.И. Решётка из InSb как детектор излучения КВЧ-диапазона. Всесоюзный семинар «Новые применения миллиметровых волн в народном хозяйстве». Тезисы. 2–5 сентября, Саратовский филиал ИРЭ АН СССР. Москва. 1991.
5. Зеленов Г.Я., Трифионов В.И. Планарные антенны КВЧ с анизотропными термоэлементами. 1-й Украинский симп. «Физика и техника ММ и СУБММ радиоволн». Тезисы докладов. Ч. 1. Харьков, 15–18 октября 1991. С. 361.
6. Дмитриенко М.М., Лозвиненко С.П., Иванов Н.И., Калот З.М. Термометрические характеристики полупроводниковых диодов. ПТЭ, 1965. № 5.
7. Лозвиненко С.П., Бровкин Ю.Н. Датчик и терморегулятор для интервала 4,2...320 К. ПТЭ. 1968. № 1.
8. Смит Р. Полупроводники. М.: Мир. 1982.
9. Справочник по инфракрасной технике. Пер. с англ. под ред. У. Волф, Г. Цисис. М.: Мир. 1989. Том 3.

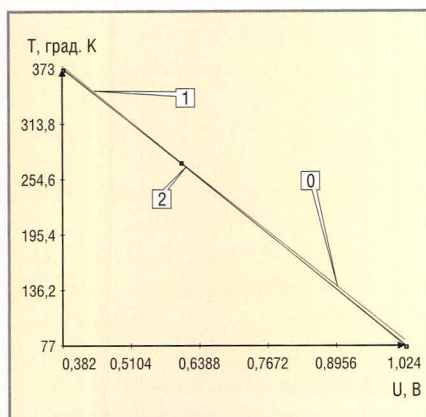


Рис. 3. Зависимость температуры от напряжения на диоде

Адаптеры SPI на основе микроконтроллера серии AVR

Олег Вальпа (Челябинская обл.)

В статье приводится описание разработанных автором адаптеров, предназначенных для отладки и конфигурирования различных устройств через стандартный интерфейс SPI.

В настоящее время множество компонентов и электронных устройств на основе этих компонентов имеют встроенный последовательный периферийный интерфейс SPI (Serial Peripheral Interface). Для отладки и конфигурирования таких устройств необходим удобный инструмент, который бы формировал интерфейс SPI и обеспечивал произвольный обмен данными по этому интерфейсу. В качестве такого инструмента автор предлагает использовать адаптеры SPI собственной разработки. Первый из этих адаптеров под названием COM-SPI преобразует стандартный COM-порт компьютера в интерфейс SPI. Второй адаптер называется USB-SPI и выполняет аналогичную функцию, но уже для USB-порта компьютера.

Адаптеры подключаются с одной стороны к интерфейсу COM или USB, а с другой – к тестируемому устройству через интерфейс SPI. С помощью тестовой программы, установленной на персональном компьютере, можно производить передачу произволь-

ных данных и осуществлять приём данных от устройства с последующим их отображением на мониторе компьютера для контроля. Такой подход позволяет отладить или сконфигурировать практически любое устройство с интерфейсом SPI.

Схема адаптера COM-SPI представлена на рис. 1. Перечень элементов адаптера приведён на сайте журнала.

Адаптер состоит из оптронного преобразователя сигналов COM-порта в сигналы TTL-логики и моста UART-SPI, выполненного на микроконтроллере ATtiny2313.

Основу оптронного преобразователя составляют элементы U1 и U2. Диоды VD1 и VD2 защищают оптроны от напряжения обратной полярности. Резисторы R3 и R4 определяют ток оптронов, резисторы R5 и R6 выполняют функцию нагрузки, а резисторы R7 и R8 обеспечивают смещение в базе оптронных транзисторов.

Оптическая развязка позволяет надёжно защитить COM-порт компьютера от выхода из строя за счёт устранения гальванической связи между

компьютером и подключенным к нему через адаптер устройством.

Узел оптической развязки не требует для своей работы отдельного источника питания, поскольку с одной стороны он питается от сигнальных цепей COM-порта самого компьютера, а с другой – от цепей питания адаптера. Простота, низкая стоимость и высокая надёжность такого узла оптической развязки COM-порта позволяют рекомендовать его применение и в других устройствах.

После оптронного преобразователя сигналы поступают на приёмопередатчик UART, входящий в состав микроконтроллера ATtiny2313, который принимает команды и данные от компьютера и транслирует их через интерфейс SPI к подключенному устройству. Интерфейс SPI также реализован в составе микроконтроллера. Данные от устройства через интерфейс SPI в обратном порядке принимаются микроконтроллером и передаются компьютеру через COM-порт. Программа микроконтроллера устанавливает для интерфейса SPI режим работы «мастер», и поэтому микроконтроллер выступает в качестве ведущего устройства.

Задающий генератор микроконтроллера состоит из кварцевого резонатора BQ1 и двух керамических конденсаторов C2 и C3. Тактовая частота резонатора, равная 11,0592 МГц, выбрана из условия обеспечения работы микроконтроллера UART на любой стандартной скорости с нулевой погрешностью, поскольку кратна этим скоростям.

Индикатор HL1 с токоограничивающим резистором R2 предназначен для индикации процесса передачи данных и управляется микроконтроллером с помощью рабочей программы через один из выводов микроконтроллера. Резистор R1 и конденсатор C4 формируют сигнал аппаратного сброса микроконтроллера в момент включения питания. Конденсаторы C1 и C5 служат для фильтрации питания адаптера.

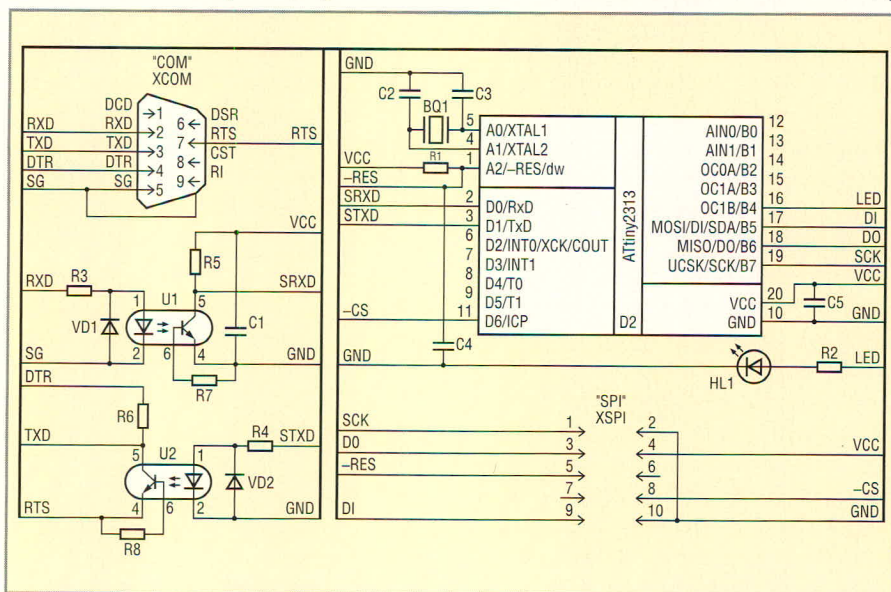


Рис. 1. Схема адаптера COM-SPI

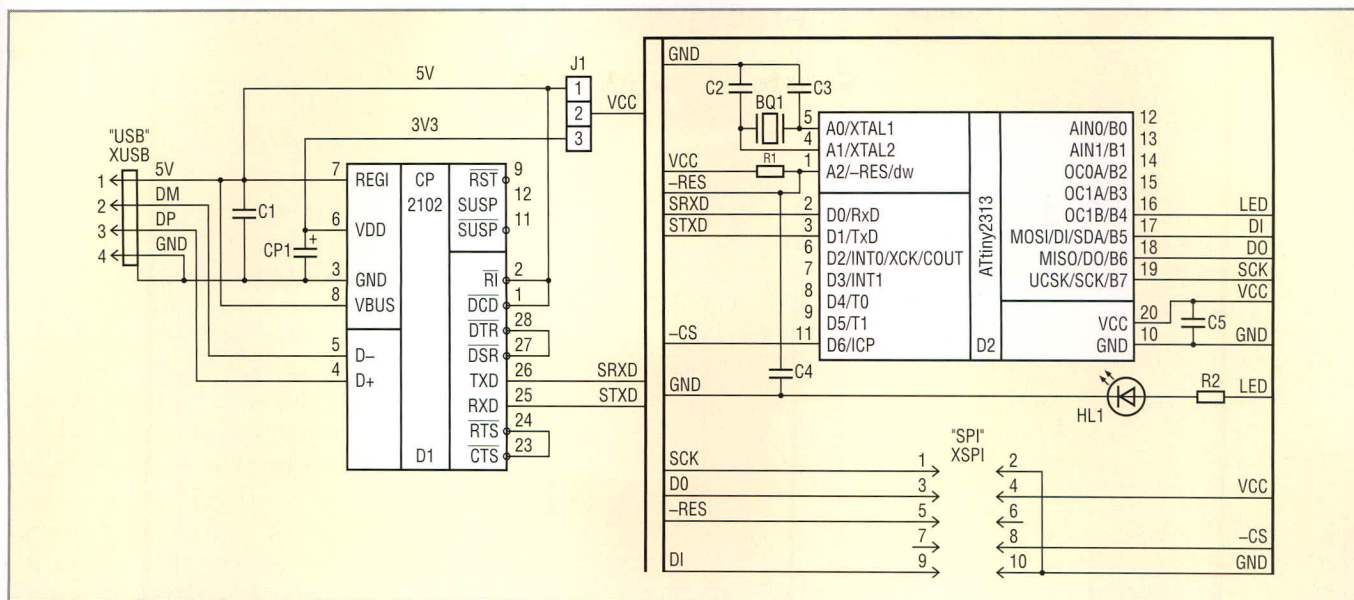


Рис. 2. Схема адаптера USB-SPI

Схема адаптера USB-SPI изображена на рис. 2, а перечень элементов, из которых он состоит, приведён на сайте журнала.

Вместо оптронного преобразователя этот адаптер содержит мост USB-UART, выполненный на микроконтроллере CP2102. Остальная часть схемы повторяет устройство первого адаптера. Микроконтроллер CP2102 преобразует интерфейс USB в интерфейс UART. После установки драйверов для этого микроконтроллера он доступен со стороны компьютера как стандартный COM-порт. Подробнее с микроконтроллером серии CP210x и его использованием можно познакомиться в статье [1].

Переключатель J1 позволяет выбрать источник питания адаптера. В положении 1-2 питание осуществляется непосредственно от интерфейса USB напряжением 5 В, а в положении 2-3 – от стабилизатора USB напряжением 3,3 В. Это позволяет сопрягать адаптер с устройствами, работающими от напряжения питания как 3,3 В, так и 5 В.

Чтобы адаптеры работали, необходимы специальные программы. Автором были разработаны программы для микроконтроллера и персонального компьютера, которые работают с любым из описанных адаптеров.

Программа для микроконтроллера написана на языке Си в среде разработки CodeVisionAVR. Внешний вид главного окна последней представлен на рис. 3.

Свободно распространяемая версия среды разработки CodeVisionAVR Evaluation находится по адресу

<http://www.hpinfothec.ro/cvavre.zip> и может быть загружена через Интернет. Эта версия позволяет компилировать программы с получением кода объёмом до 4 Кб, чего вполне достаточно для большинства решаемых задач. Текст программы для микроконтроллера адаптера приведён на сайте журнала.

Как видно из текста программы, вначале производится подключение внешних файлов и библиотек, определение имён констант и выводов, инициализация переменных и внутренних регистров микроконтроллера. Скорость работы UART задаётся максимально возможной – 115 200 бод. Это необходимо учитывать при наст-

ройке COM-порта при работе с программой testrs, для того чтобы скорости работы COM-порта и адаптера совпадали.

В программе используются два таймера, которые обслуживаются обработчиками прерываний. Таймер 0 используется для задержки гашения светодиода, а таймер 1 формирует прямоугольные импульсы на одном из выводов микроконтроллера. Эти импульсы являются тестовыми и их можно использовать для контроля работоспособности адаптера.

Приём и передача данных UART осуществляются с помощью соответствующих подпрограмм, в которые включена команда сброса стороже-

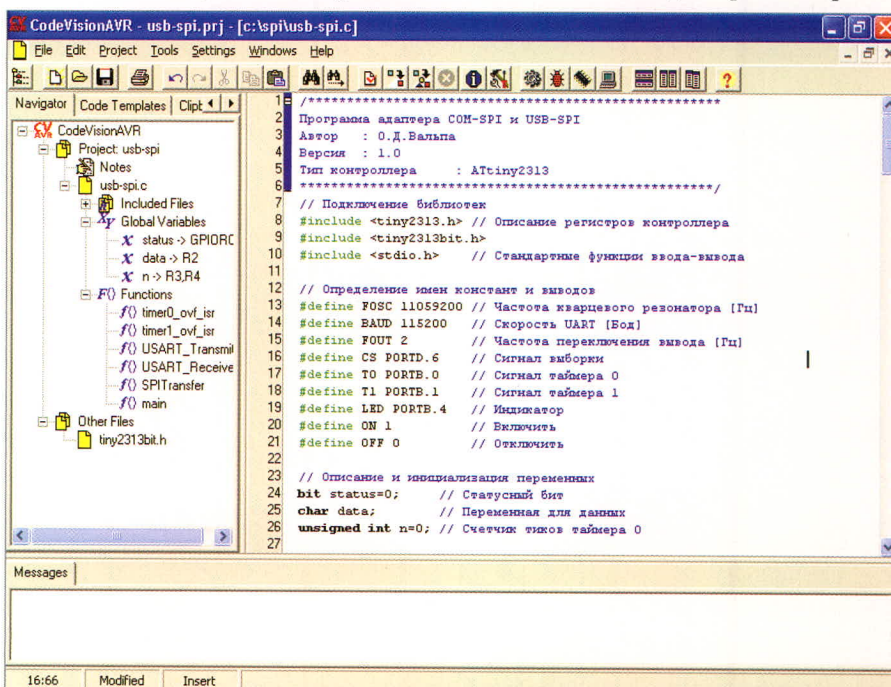


Рис. 3. Внешний вид главного окна среды разработки CodeVisionAVR

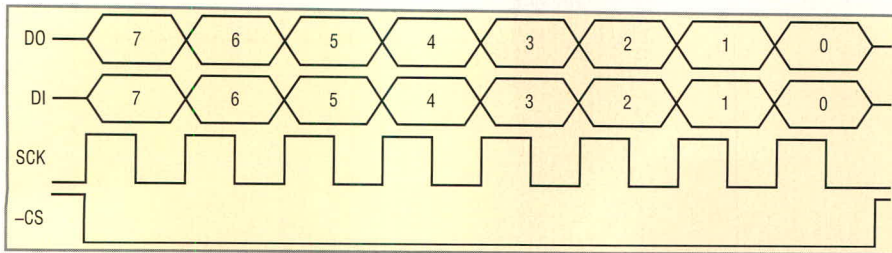


Рис. 4. Диаграмма работы адаптера для интерфейса SPI

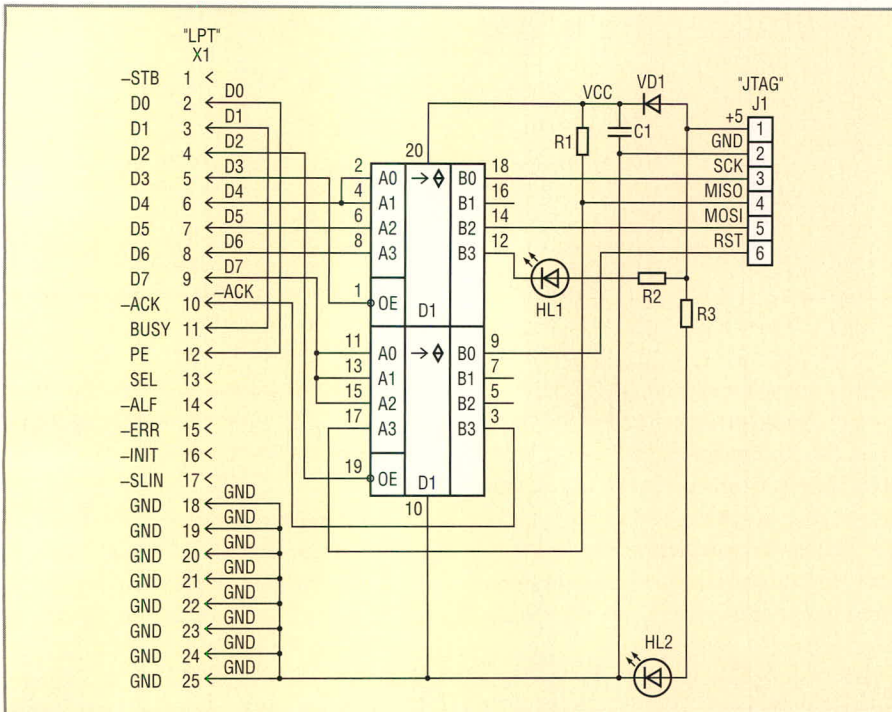


Рис. 5. Схема программатора STK200/300

вого таймера во время ожидания данных от приёмника или готовности передатчика. Подпрограмма приёмопередатчика SPI использует в своей работе регистры встроенного в микроконтроллер универсального последовательного порта USI, который аппаратно поддерживает режим работы интерфейса SPI.

В основном теле программы с именем main производятся операции

Цепи сигналов переходника

Адаптер SPI (IDT-10)		Программатор JTAG (PLS-6)	
вывод	сигнал	вывод	сигнал
1	SCK	3	SCK
2	GND	2	GND
3	DO(MISO)	4	MISO
4	VCC	1	+5 B
5	-RES	6	RST
6			
7			
8	-CS		
9	DI(MOSI)	5	MOSI
10	GND		

инициализации переменных и настройки портов микроконтроллера, после чего программа выполняет циклический опрос приёмника UART. При получении данных от UART они транслируются в SPI. Одновременно с передачей данных формируется активный низкий уровень сигнала - CS, предназначенный для осуществления выбора внешнего устройства.

На рис. 4 приведена диаграмма работы адаптера для интерфейса SPI. Данные от SPI принимаются синхронно с передачей. Принятые данные транслируются программой с помощью передатчика UART к компьютеру. Затем цикл повторяется. Код прошивки в формате HEX Intel, полученный в результате трансляции данной программы, приведён на сайте журнала.

Программу можно при необходимости модифицировать с целью изменения протокола общения с устройством или внесения дополнительных функций для микроконтроллера. Например, программу можно дополнить функциями управле-

ния через свободные выводы микроконтроллера или функциями сбора какой-либо информации с помощью этих выводов.

Полный проект программы, включающий в себя текст программы и вспомогательные файлы, можно скачать с сайта журнала.

После трансляции программы получается новый код для прошивки микроконтроллера. С помощью этой прошивки можно запрограммировать контроллер, используя внутрисхемный способ программирования, через предназначенные для этого выводы микроконтроллера. Эти выводы подключены к разъёму XSPI адаптера.

В качестве программатора удобнее использовать тот, который поддерживает среда разработки CodeVisionAVR, поскольку при этом можно будет осуществлять программирование непосредственно из среды разработки. К числу таких программаторов относятся STK500, AVRISP, AVRProg, STK200/300 и др. На рис. 5 приведена схема программатора STK200/300. Перечень элементов программатора представлен на сайте журнала.

Программатор подключается к адаптеру через простой переходник, который необходимо изготовить. Переходник нужен для совмещения одноименных сигналов программатора и адаптера. В таблице приведено название и тип соединителей, а также цепи сигналов переходника. Перед программированием необходимо подать на адаптер питание от источника постоянного напряжения +5 В.

Программа для компьютера написана автором также на языке программирования Си в среде разработки Visual Studio 6.0 и называется testrs.exe версии 2.1. Эту программу можно скачать с сайта журнала. Программа работает под управлением операционной системы Windows 9x/Me/2K/XP/2003. После запуска программа производит поиск доступных в компьютере COM-портов и выбирает для работы первый найденный по порядку порт. Если порты в компьютере не обнаружены, будет выдано соответствующее сообщение и программа завершит свою работу. В процессе работы программы можно выбрать любой доступный компьютеру порт для тестирования и изменить параметры настройки порта.

После запуска программы на экране монитора появится окно, приве-

дённое на рис. 6. В центре окна программы изображены разъёмы компьютера с назначением контактов и сигналов СОМ-порта. Для удобства тестирования приводятся два рисунка – для 9- и 25-контактного разъёма. Номера контактов разъёмов, их тип и назначение сигналов соответствуют стандартным и общепринятым для описываемых портов сигналам. В дальнейшем при работе программы контакты разъёмов будут окрашены в красный или зелёный цвет, что соответствует положительному или отрицательному потенциалу соответственно.

Ниже разъёмов нарисованы две кнопки для сигналов RTS и DTR. Щёлкая левой клавишей мышки по этим кнопкам, можно менять потенциал соответствующих выходных сигналов порта на противоположный. Эти операции будут сопровождаться автоматической сменой цветов контактов на разъёмах. Третья кнопка – TD – предназначена для начала передачи данных через порт. Содержимое передаваемых данных представлено в поле «Передано» и может быть

изменено после щелчка левой кнопкой мыши по этому полю или с помощью кнопок, расположенных в меню программы. Принимаемые по порту данные отображаются в поле «Принято».

Исполняемый код программы состоит из одного файла testrs.exe и не требует предварительной установки. С целью уменьшения размера этого файла программа транслировалась в режиме Shared DLL, т.е. стандартные библиотечные файлы DLL не были включены в тело программы. После запуска программы эти файлы берутся из доступного системного каталога C:\WINDOWS\SYSTEM. Программа testrs использует следующие стандартные библиотечные файлы: MFC42.DLL, KERNEL32.DLL, GDI32.DLL, USER32.DLL и MSVCRT.DLL. В случае, если программа выдаст сообщение об отсутствии некоторых из перечисленных библиотечных файлов DLL, необходимо поместить их в указанный выше каталог. Библиотеки являются стандартными и устанавливаются самой операционной системой Windows. Их можно также найти в Ин-

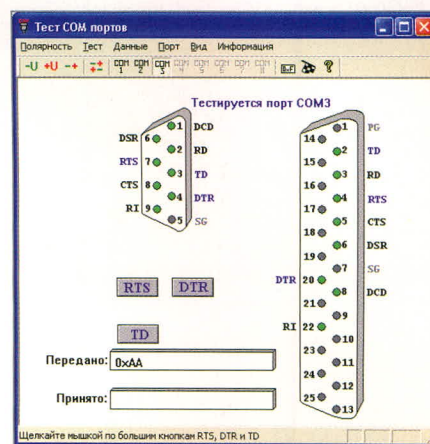


Рис. 6. Окно программы testrs.exe

тернете. В дальнейшем эти файлы ещё неоднократно пригодятся, поскольку большинство программ транслируется без включения библиотек.

Таким образом, с помощью компьютера и описанных здесь адаптеров можно получить удобный инструмент для работы с портом SPI.

ЛИТЕРАТУРА

1. Вальна О. Связь компьютеров через USB. Современная электроника. 2005. № 2. С. 50–53.



Новости мира News of the World Новости мира

Компании AMD и IBM осваивают 45-нм технологию

Компании IBM и AMD представили результаты использования иммерсионной литографии, изоляционных материалов со сверхнизкой проницаемостью и усовершенствованных технологий «напряжённого кремния» для производства микропроцессоров нового поколения на основе 45-нанометрового технологического процесса.

В современном технологическом процессе используется традиционная литография, имеющая существенные ограничения при переходе за пределы 65-нм проектной нормы. В иммерсионной литографии пространство между линзами литографической системы и кремниевой подложкой, содержащей сотни микропроцессоров, заполняется прозрачной жидкостью, что позволяет повысить разрешающую способность при переносе изображения шаблона схемного решения. В результате улучшается производительность микросхем и повышается эффективность их производства. Технология иммерсионной литографии даст AMD и IBM бесспорные преимущества по сравнению с конкурентами, которые не

имеют разработок по использованию этой технологии в производстве микропроцессоров по 45-нм процессу. Например, благодаря иммерсионной литографии эффективность ячейки памяти SRAM повышается на 15% без применения дорогостоящего метода двукратного экспонирования.

Совместная работа AMD и IBM над совершенствованием технологии «напряжённого кремния» позволила продолжить масштабирование производительности транзисторов и в то же время уменьшить геометрические размеры полупроводниковых компонентов при переходе на 45-нанометровый технологический процесс. Несмотря на повышение плотности компоновки транзисторов, изготавливаемых по 45-нм технологии, компании IBM и AMD добились увеличения на 80% управляющего тока в r-канальном транзисторе и на 25% – в n-канальном транзисторе по сравнению с транзисторами, не использующими технологию «напряжённого кремния». Это наилучший результат по производительности, достигнутый на сегодня для 45-нм CMOS-технологии.

www.amd.com
www.ibm.com

Toshiba Matsushita: дан старт производству 5" тонких ЖК-экранов

Toshiba Matsushita Display Technology (TMD) планирует занять серьёзные позиции на развивающемся рынке тонких дисплеев («электронная бумага»). TMD объявила о начале массового производства TFT LCD-экранов, которые пока монохромные (16 градаций серого), но имеют размер 5" и VGA-разрешение. «Электронная бумага»



TMD обладает высокой отражающей способностью. Всё это делает её пригодной для использования в электронных словарях, книгах и прочих приложениях. Остальные параметры: диагональ 12,7 см, разрешение 640 × 480, контраст 12:1, время отклика 20 мс, энергопотребление 4...20 мВт.

www.tmdisplay.com

Многоканальный цифровой регулятор температуры

Владимир Бартенев (Москва)

При создании многоканального цифрового регулятора температуры использован новый подход к построению распределённой архитектуры программируемых устройств на нескольких микроконтроллерах. В его основе лежит не столько обеспечение высокой общей производительности проектируемого устройства, сколько стремление к функциональной и конструктивной законченности отдельных его блоков, реализуемых на разных микроконтроллерах, которые наилучшим образом подобраны для решения той или иной задачи и объединены однопроводным интерфейсом.

Наличие на рынке широкого выбора микроконтроллеров, отличающихся своей производительностью, корпусами, функциональными возможностями, количеством портов ввода-вывода и, самое главное, ценой, предоставляет разработчику возможность разнообразить подходы к их использованию при проектировании программируемых устройств. Возросшие требования к программируемым устройствам в части их реконфигурации, возможности постоянного усовершенствования и модернизации только за счёт смены программного обеспечения заставляют разработчиков для минимизации затрат на программирование (а это теперь основные затраты) несколько изменить концепцию построения таких устройств. Сущность этой концепции заключается в том, что разрабатываемое устройство разбивается на функциональные блоки, которые реализуются на отдельных микроконтроллерах, выбираемых исходя из оптимального соответствия решаемой блоком задаче при обеспечении наилучших показателей по критерию эффективность – стоимость. Фактически создаётся распределённая многопроцессорная вычислительная среда. Однако она создается не из соображений повышения общей производительности устройства, а для минимизации затрат на разработку программного обеспечения отдельных функциональных блоков, что обеспечивает возможность быстрого изменения

характеристик устройства в соответствии с изменяющимися требованиями.

Поскольку время разработки нового продукта – ключевой момент в современных рыночных условиях, применение нескольких микроконтроллеров существенно сокращает период разработки новых моделей. Это связано с тем, что использование отлаженных и проверенных на практике функциональных блоков при модернизации устройства требует изменения программы лишь отдельных микроконтроллеров. Это снижает затраты на изготовление и проверку нового устройства. Более того, программируемое устройство может быть модернизировано уже на этапе испытаний для устранения непредвиденных проблем или улучшения его характеристик только заменой отдельных микроконтроллеров. Функциональные узлы могут быть размещены конструктивно в разных корпусах и даже удалены друг от друга на сравнительно большие расстояния. Ещё одним преимуществом рассматриваемого подхода является способность к глубокой самодиагностике как всего устройства, так и микроконтроллеров, что повышает надёжность изделия и требует минимальных затрат на ремонт.

Проиллюстрируем этот подход на примере построения многоканального энергосберегающего цифрового регулятора температуры (ЭЦРТ), предназначенного для автоматического регулирования темпе-

ратуры в нескольких помещениях. ЭЦРТ применяется совместно с цифровыми датчиками температуры [1] и исполнительными устройствами, образуя замкнутую многоканальную динамическую систему автоматического регулирования. Приведём основные характеристики ЭЦРТ:

- тип датчиков температуры: цифровой DS18S20;
- диапазон регулируемых температур: 0...99°C (задаётся пользователем);
- точность измерения температуры: $\pm 0,5^\circ\text{C}$;
- частота опроса датчиков температуры: 1 Гц;
- восемь независимых каналов измерения температуры и регулирования;
- привязка измеряемых температур ко времени суток и дням недели;
- четыре энергосберегающие программы регулирования температуры (постоянная, суточная, недельная и комбинированная);
- сохранение всех уставок в энерго-независимой памяти;
- индикация температуры, времени и всех температурных уставок на четырёхзначном светодиодном дисплее;
- коммутируемая нагрузка внешними оптронными симисторами;
- гальваническая развязка силовых цепей от цепей датчиков;
- последовательный однопроводный интерфейс с компьютером типа MicroLan.

Энергосберегающий регулятор температуры состоит из четырёх функциональных блоков: блока управления (основного блока), блока индикации, блока интерфейса и часов реального времени. Каждый такой функциональный блок выполнен на отдельном микроконтроллере. Электрическая схема регулятора приведена на рис. 1. В регуляторе использованы следующие компоненты: кварцы X1, X2, X4 (4 МГц), резисторы R1 – R4 (2,2 кОм), R5 – R12 (27 Ом),

R13 (1 кОм), R14 (47 Ом), R16 – R19 (330 Ом), конденсаторы C1 – C6 (27 пФ), транзисторы VT1 – VT4 (КТ3102), семисегментные индикаторы с общим анодом.

Блок управления регулятора реализован на микроконтроллере D2 (PIC16F648A). Микроконтроллер выполняет в ЭЦРТ функцию «мастера», управляя работой всех остальных микроконтроллеров. Причём в качестве интерфейса между управляющим микроконтроллером D2 и управляемыми микроконтроллерами D1 и D4 используется однопроводный интерфейс типа MicroLan [2], для чего задействован механизм работы по прерыванию. Это позволяет разместить блок индикации на удалении, в удобном для контроля за работой регулятора месте. Аналогично можно разместить микроконтроллер D4 в непосредственной близости к управляемым симисторам, передавая в силовой блок вместо восьми управляющих сигналов только один. В состав управляющего блока кроме микросхемы D2 также входят кнопки управления и светодиоды VD1 – VD4, сигнализирующие о состоянии терморегулятора. Четыре кнопки предназначены для установки и просмотра параметров регулирования и для управления работой терморегулятора. Нажатие на кнопку «С» приводит к полной инициализации терморегулятора, при этом устанавливается основная режим вывода информации – текущее время. Нажатие на кнопку «+» или «-» приводит к перебору номеров температурных каналов t1 – t8, часов и минут, разделённых точкой. В режиме установки параметров нажатие этих кнопок приводит к увеличению или уменьшению значения параметра. Длительное нажатие на одну из этих кнопок приводит к увеличению скорости опроса клавиатуры. При этом отпускание кнопки приводит к установке исходной скорости опроса. Нажатие на кнопку «*» в режиме перебора номеров каналов приводит к выводу значения уставки данного канала, а в режиме установки или просмотра уставки нажатие на эту кнопку приводит к выходу в режим перебора номеров каналов. Отсутствие нажатий на любую из кнопок в течение 10 с приводит к выходу терморегулятора в основной режим вывода информации: инди-

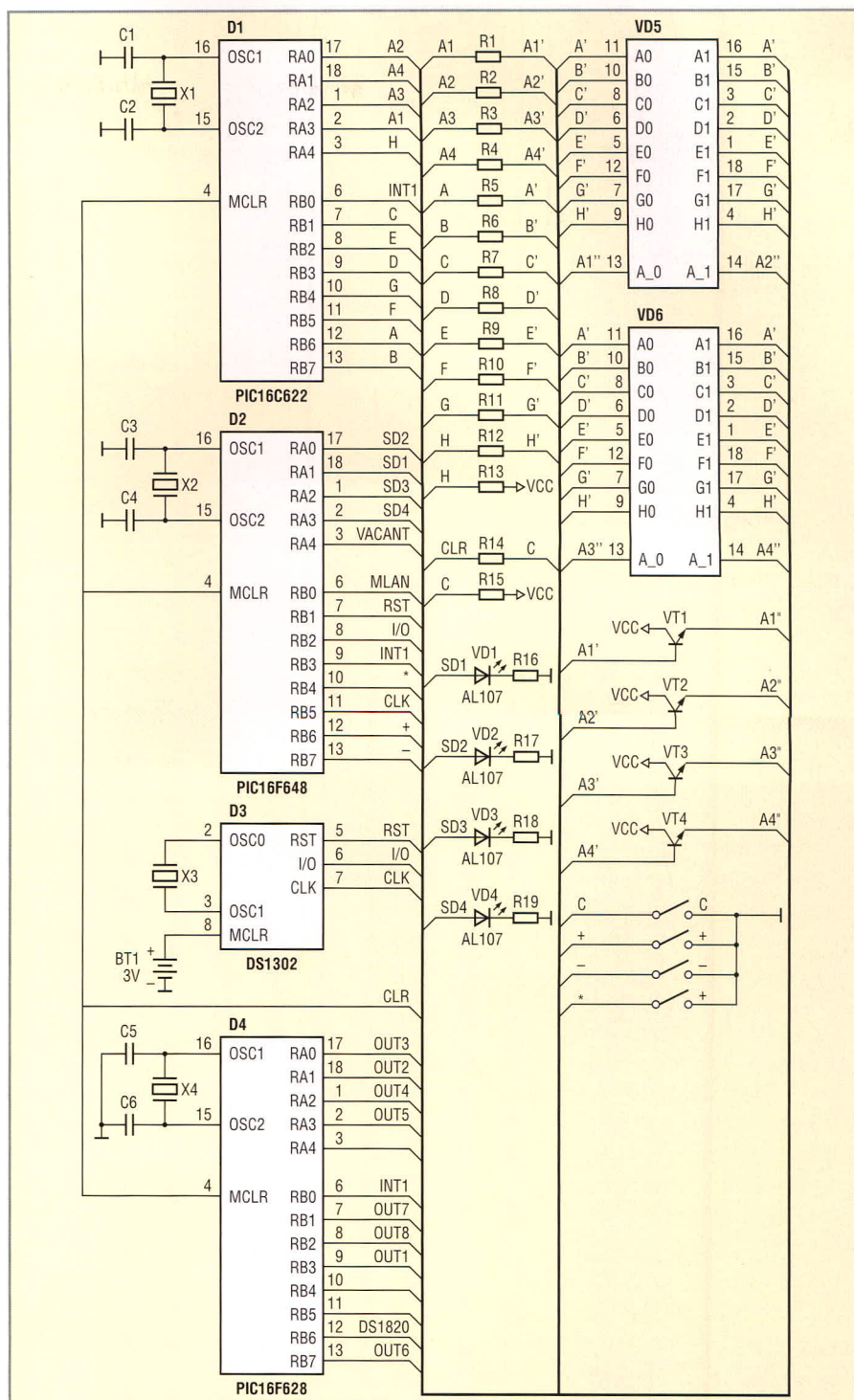


Рис. 1. Электрическая схема ЭЦРТ

кации текущего времени (часы, минуты). Четыре светодиода VD1 – VD4 информируют о включении нагрузки, об аварийной ситуации, о наличии питающего напряжения и о работе интерфейса с компьютером.

В следующем функциональном блоке индикации в качестве программируемого знакогенератора используется микросхема PIC16C622A, которая через резисторы подключена к выводам сегментов светодиодного дисплея на четыре знакоместа. Динамическая индикация осуществляется

коммутацией анодов дисплея с помощью транзисторов VT1 – VT4. На светодиодный дисплей выводится текущая информация о времени, температуре по каждому из каналов, а также уставки каждого из каналов в режиме установки или просмотра параметров. В случае аварийной ситуации выводятся сообщения «ErrX», где X – код ошибки. Код Err1 или Err2 означает отказ соответствующего датчика (обрыв или замыкание), Err0 – неисправность таймера. Отсутствие свечения индикатора или вывод ненормаль-

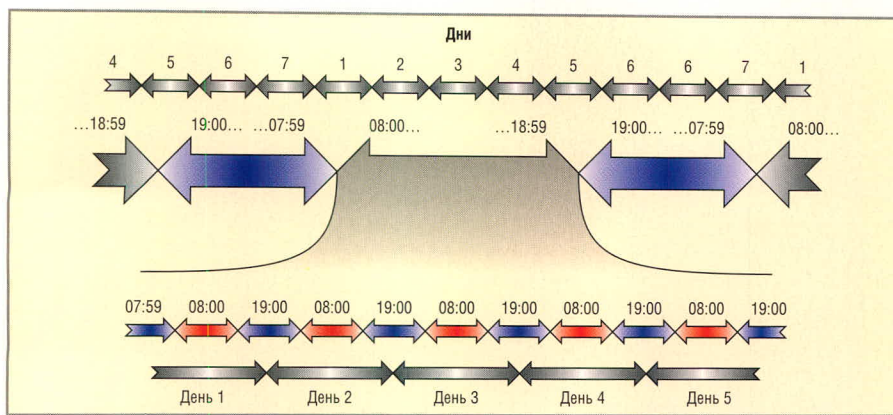


Рис. 2. Процесс регулирования температуры

ных кодов также является аварийной ситуацией. Микроконтроллер выводит на правую пару индикаторов параметры регулирования и данные. На левую пару выводится аббревиатура из двух стилизованных латинских букв (исключениями являются только текущие часы и минуты). В табл. 1 приводятся расшифровки этих аббревиатур от английских слов.

Третий функциональный блок выполнен на микросхеме PIC16F628A и предназначен для формирования выходных сигналов терморегулятора и для сопряжения терморегулятора с цифровыми датчиками температуры DS18S20 по однопроводному интерфейсу типа MicroLan. Все датчики подключены параллельно, и их идентификация производится с помощью уникальных номеров, занесённых в ПЗУ ещё на этапе производства.

И, наконец, четвёртый функциональный блок – часы реального времени DS1302 с резервным питанием на литиевой батарейке. Связь с управляющим микроконтроллером D2 осуществляется по интерфейсу I²C. Кварцевый резонатор X3 имеет частоту 32 768 Гц.

Поясним работу регулятора на примере использования программы недельно-суточного теплорегулиро-

вания. Чтобы запрограммировать регулятор на такое смешанное управление нагревателем по двум уставкам, необходимо:

- переключиться на нужный температурный канал кнопками «+» или «-»;
- нажать на кнопку «*», после чего будут мерцать индикаторы, отображающие основную уставку;
- выставить нужное значение основной уставки, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;
- нажать на кнопку «*», после чего будут мерцать индикаторы, отображающие дополнительную уставку;
- выставить нужное значение дополнительной уставки, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;
- нажать на кнопку «*», после чего будут мерцать индикаторы, отображающие номер текущей программы регулирования;
- выставить значение номера текущей программы регулирования равным 4, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;

Таблица 1. Расшифровки аббревиатур

Аббревиатура	Канал	Расшифровка
dC	Временной	Номер текущего дня (date Current)
dH	Временной	Номер дня начала работы регулятора по основной уставке H (date High)
dL	Временной	Номер дня начала работы регулятора по дополнительной уставке L (date Low)
hH	Временной	Час начала работы регулятора по основной уставке H (hour High)
hL	Временной	Час начала работы регулятора по дополнительной уставке L (hour Low)
F1-8	Температурный	Окно регулирования (Frame)
H1-8	Температурный	Основная уставка (High)
L1-8	Температурный	Дополнительная уставка (Low)
P1-8	Температурный	Номер программы регулирования (Program)
t1-8	Температурный	Температура датчиков (temperature)

- нажать два раза на кнопку «*», или нажать на кнопку «С», или подождать 10 с;
- переключиться на временной канал кнопками «+» или «-»;
- нажать три раза на кнопку «*», после чего начнут мерцать индикаторы, отображающие час начала работы регулятора по основной уставке;
- выставить нужное значение часа начала работы регулятора по основной уставке, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;
- нажать на кнопку «*», после чего будут мерцать индикаторы, отображающие час начала работы регулятора по дополнительной уставке;
- выставить нужное значение часа начала работы регулятора по дополнительной уставке, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;
- нажать два раза на кнопку «*», после чего будут мерцать индикаторы, отображающие номер дня начала работы регулятора по основной уставке;
- выставить нужное значение номера дня начала работы регулятора по основной уставке, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;
- нажать на кнопку «*», после чего начнут мерцать индикаторы, отображающие номер дня начала работы регулятора по дополнительной уставке;
- выставить нужное значение номера дня начала работы регулятора по дополнительной уставке, нажимая на кнопку «+» для увеличения текущего значения или на кнопку «-» для уменьшения текущего значения;

Таблица 2. Параметры регулирования, установленные для смешанного управления регулятором

Параметр	Значение
Основная уставка	15°C
Дополнительная уставка	22°C
Час начала работы регулятора по основной уставке	19
Час начала работы регулятора по дополнительной уставке	8
Номер дня начала работы регулятора по основной уставке	5
Номер дня начала работы регулятора по дополнительной уставке	1

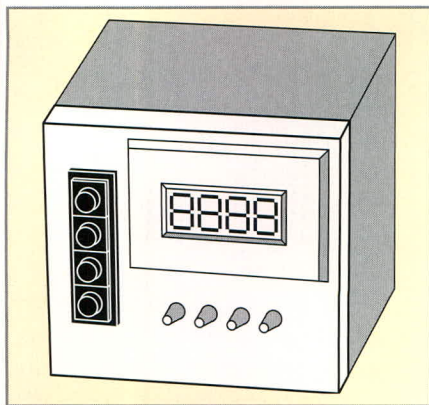


Рис. 3. Внешний вид ЭЦРТ

- нажать на кнопку «*», или нажать на кнопку «С», или подождать 10 с.

Пусть после перечисленных манипуляций параметры регулирования в одном из восьми каналов были установлены такими, как в табл. 2. Тогда в дни с номерами 6, 7 круглосуточное регулирование температуры будет вестись по основной уставке (т.е. если температура на датчике упадет ниже 15°C, то будет включен нагреватель, который выключится только тогда,

когда температура на датчике станет равной 15°C). В дни же с номерами 1 – 5 ежедневно с 00:00 до 07:59 и с 19:00 до 23:59 регулирование температуры будет вестись по основной уставке, а с 08:00 до 18:59 – по дополнительной уставке (т.е. если температура на датчике упадет ниже 22°C, то будет включен нагреватель, который выключится только тогда, когда температура на датчике станет равной 22°C).

Этот процесс проиллюстрирован на рис. 2.

Таким образом, с помощью ЭЦРТ может быть реализован энергосберегающий режим отопления производственных помещений, когда в субботу и воскресенье круглосуточная температура будет поддерживаться на уровне 15°C и только в рабочие дни и часы будет обеспечиваться более комфортная температура 22°C. Конструктивно ЭЦРТ оформлен в корпусе, укрепляемом на дин-рейку (см. рис. 3) [3].

Применение в ЭЦРТ трёх микроконтроллеров позволило выделить функциональные блоки (индикации

и интерфейса) с устойчивым и хорошо отлаженным программным обеспечением, которое не требует дальнейших изменений. Все доработки и усовершенствования касаются только одного функционального блока, что и ускоряет разработку программного обеспечения для новых моделей программируемых устройств с более совершенными алгоритмами. Такой же подход был заложен в основу построения энергосберегающего регулятора температуры с дистанционным управлением по GSM-каналу [4].

ЛИТЕРАТУРА

1. *Бартенев В.* Цифровые датчики температуры и их применение. Датчики и системы. 2004. № 12.
2. MicroLAN – новая концепция построения однопроводной сети. Перспективные изделия, сб. Москва: Додэка, 1996. Вып. 2.
3. Энергосбережение – концепция и технологии ОАО ВНИИРТ (www.digiterm.ru).
4. *Бартенев В.* Регулятор температуры с дистанционным управлением по GSM-каналу. Современная электроника. 2006. № 9. ©

Новости мира News of the World Новости мира

IBM объявляет о разработке оптического устройства, которое позволит повысить производительность компьютеров

Корпорация IBM объявила о разработке устройства, способного замедлять поток света в кремниевой микросхеме. Это изобретение позволит в будущем использовать в компьютерах оптические коммуникационные компоненты для достижения более высокой производительности.

Исследователи понимали, что использование оптических сигналов вместо электрических для передачи данных в компьютерной микросхеме могло бы обеспечить значительное повышение производительности, поскольку световые сигналы могут быстрее передавать большие объёмы информации. Однако важнейшим условием управления потоком информации является «буферизация», или временное удержание данных в микросхеме.

Длительного удержания данных можно добиться, пропуская свет через оптические волокна. Однако существующие сегодня «линии задержки» являются слишком большими для использования в микрочипах, в которых пространство является дефицитным и дорогостоящим. Для практической интеграции таких ли-

ний задержки в микросхеме их площадь должна быть значительно меньше одного квадратного миллиметра, а их конструкция должна быть совместима с существующими технологиями производства микросхем.

Учёные IBM смогли уложиться в данные размеры и обеспечить необходимый уровень контроля светового сигнала, пропустив его через кремниевую оптическую линию задержки нового типа, состоящую из 100 последовательных «микрорезонаторов», которые созданы с использованием CMOS-технологии. Если оптический волновод изогнут в кольцо, то, пропуская свет по кругу много раз, можно обеспечить его задержку. Оптическое буферное устройство на основе этой простой концепции позволяет кратковременно хранить 10 бит оптической информации на площади размером 0,03 квадратных миллиметра. Это 10% плотности размещения информации на флоппи-диске и значительное усовершенствование в сравнении с предыдущими результатами. Подобное усовершенствование позволит интегрировать в компьютерный чип сотни таких устройств и является важным шагом в направлении реализации в микросхемах оптических коммуникаций.

<http://www.research.ibm.com>.

Официально опубликована спецификация PCI Express 2.0 – максимальная скорость удвоена

Группа PCI-SIG, ответственная за стандартизацию PCI Express, объявила о выходе новой версии спецификаций PCI Express Base 2.0. Новая версия стала результатом 60-дневного рассмотрения предварительной версии, включающей предложения участников организации. Наиболее заметным усовершенствованием новой спецификации является удвоение скорости потока. Кстати, для её обозначения используется величина GT/s (GigaTransfers per second – миллиардов пересылок в секунду), а не Гбит/с, встречающаяся в некоторых материалах. В новой версии PCI Express максимальная скорость возросла с 2,5 до 5 GT/s. Более скоростная схема передачи сигналов позволила увеличить суммарную пропускную способность 16-линейного соединения (x16) примерно до 16 Гбайт/с. Кроме того, в спецификации PCI Express Base 2.0 есть и другие улучшения, которые позволят разработчикам создавать более интеллектуальные устройства, оптимизировать их энергопотребление и сохранить совместимость с имеющимся оборудованием.

<http://www.pcisig.com>

Медицинский ультразвуковой детектор воздуха

Сергей Шишкин (Нижегородская обл.)

В статье приведено подробное описание ультразвукового микроконтроллерного детектора воздуха, который может найти применение в медицинской технике. Дано теоретическое обоснование выбора ультразвукового метода для реализации данного устройства.

Принцип работы ультразвукового детектора воздуха основывается на фиксации изменения энергии ультразвуковой волны, проходящей через жидкость или газ, вследствие резких различий значений акустических сопротивлений этих сред. В преобразователях электрических колебаний высокой частоты в ультразвуковые, распространяющиеся в контролируемой среде между излучателем и приёмником, обычно используется пьезокерамика на основе цирконата-титаната свинца. Преобразователи выполняются в виде круглых пластин диаметром 6...30 мм, толщиной 1...2 мм, с резонансной частотой 0,5...2 МГц. Возбуждение и приём колебаний производится в непрерывном или импульсном режиме.

Ультразвуковые детекторы универсальны и работают с любыми жидкостями: оптически прозрачными и непрозрачными, вязкими и суспензиями взвешенных частиц, пожаро- и взрывоопасными; агрессивными; электропроводными и неэлектропроводными. Кроме того, у них отсутствуют механически движущиеся элементы и детали, что обеспечивает их надёжность и долговечность в процессе эксплуатации.

При работе ультразвуковых детекторов в импульсном режиме используется временная селекция сигналов от жидкости и возможных сигналов помех, например, от газа или металла. Это разделение возможно из-за различных скоростей распространения звука в этих средах: в жидкости – 1500 м/с; газе – 340 м/с, металле – 6000 м/с. Область анализа (расстояние между

излучающим и приёмным преобразователем устройства) обычно составляет 4...40 мм. Время распространения между излучателем и приёмником определяется областью анализа и средой, в которой сигнал распространяется. Если взять область анализа 20 мм, то для воды время распространения колебаний между излучателем и приёмником в детекторе будет равно 13 мкс. Поскольку сигнал помехи от газа распространяется до приёмного преобразователя в 5 раз дольше, легко можно разделить во времени сигнал от газа и сигнал от жидкости. Разделить во времени полезный сигнал и сигнал помехи от металла намного сложнее. При одинаковых путях распространения сигналов в жидкости и в металле последний придёт в четыре раза быстрее. Но так как длительность сигнала, распространяющегося в металле, гораздо больше длительности сигнала, распространяющегося в жидкости, для разделения сигналов целесообразно сделать путь распространения сигнала в металле в 6...10 раз большим области анализа. Например, если путь распространения в металле 180 мм, то время распространения 30 мкс. Возбуждение излучателя осуществляется короткими периодическими видеопульсами прямоугольной формы длительностью порядка 0,5...1 мкс с периодом 3...10 мс. Резонансная частота излучателя около 1 МГц.

Таким образом, ультразвуковой детектор должен состоять из двух частей: передающей и приёмной. Передающая часть включает в себя задающий генератор, который формирует периодические импуль-

сы с указанными выше параметрами, и выходной усилитель, нагрузкой которого является излучатель. Приёмная часть включает в себя входной усилитель, на вход которого поступают сигналы с приёмного акустического датчика, временной селектор и триггер. Временной селектор принимает сигнал с входного усилителя только в момент возможного прихода сигнала от жидкости; то есть открываются временные «ворота» (строб) на время, равное длительности прохождения сигнала от жидкости. Отсчёт времени в цикле обработки идёт по фронту импульса с задающего генератора. В начале цикла временной селектор сбрасывает триггер и при наличии полезного сигнала взводит его. При наличии жидкости между излучателем и приёмником выходной сигнал триггера имеет уровень «лог. 1», а при наличии воздуха – «лог. 0».

Применение микроконтроллера значительно упрощает построение ультразвукового детектора, существенно сокращая количество комплектующих в нём. Приёмная и передающая часть при этом размещаются на одной плате минимальных размеров.

Рассмотрим конкретный пример практической реализации ультразвукового детектора воздуха в приборах и аппаратах, предназначенных для проведения инфузий различных лекарственных препаратов (инфузатов), использующих кровопроводящие и инфузионные магистрали. При перемещении крови или инфузата возникает проблема контроля воздушных включений в крови или инфузате. Конструктивно в применяемых в медицине отечественных и зарубежных кровопроводящих и инфузионных магистралях предусмотрена ловушка воздуха. Контроль воздушных включений должен осуществляться посредством контроля крови или инфузата в вертикально расположенной ло-

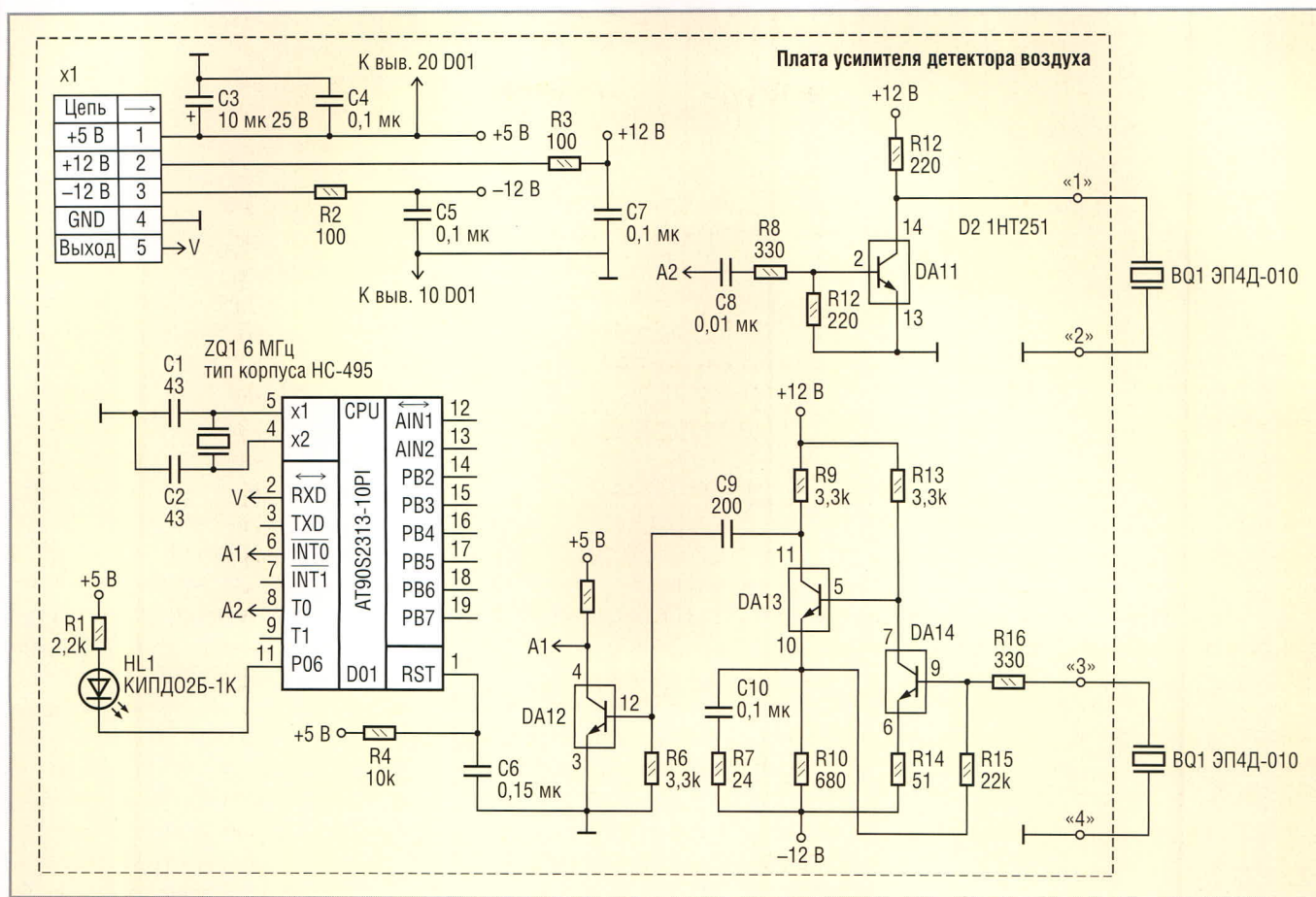


Рис. 1. Принципиальная схема детектора

вухе воздуха. Именно для этого в ловушке воздуха необходим детектор воздуха.

К медицинской технике предъявляются особые требования по электробезопасности. Необходимо учесть вероятность попадания на прибор жидкостей и обеспечить устойчивость его корпуса к многократной дезинфекции. Необходимо обеспечить быстрое действие, высокую вероятность обнаружения воздуха в жидкости и низкий уровень радиопомех. Кроме того, работа датчика не должна зависеть от прозрачности жидкости. При перемещении крови в ловушке воздуха в некоторых случаях происходит активное пенообразование, но датчик должен исключить любые ложные срабатывания.

Область анализа определяется диаметром ловушки воздуха. Разработанный детектор работает с одноразовыми полимерными магистральями, у которых внешний диаметр ловушки воздуха составляет 18...20 мм, толщина стенки до 1,5 мм. Основные технические характеристики ультразвукового детектора воздуха:

- Питающие напряжения.....+5, +12, -12 В
- Допустимые отклонения каждого питающего напряжения.....±5 %
- Размеры, не более.....91 × 70 × 47 мм
- Масса, не более.....250 г
- Выходной сигнал уровня ТТЛ.....
- жидкость – «лог. 1»; воздух – «лог. 0»
- Нагрузочная способность выхода.....20 мА
- Допустимое отклонение жидкости от контролируемого уровня, не более.....10 мм
- Диапазон рабочих температур.....-10...+50°С
- Частота запускающих импульсов.....5 кГц
- Время непрерывной работы детектора.....не менее 12 ч

Принципиальная схема детектора приведена на рис. 1. Осциллограммы, поясняющие работу детектора, приведены на рис. 2. Детектор разработан на базе микроконтроллера семейства AVR AT90S2313-10PI фирмы Atmel. Микроконтроллер DD1 вырабатывает импульс длительностью 1 мкс, который с вывода 8 в виде «лог. 1» подаётся на вход усилителя, собранного на DA1.1 (см. рис. 2а). Этот импульс через цепь C8, R8 поступает на базу транзистора DA1.1. Усиленный сиг-

нал подаётся на излучатель BQ1 (рис. 2б).

Сигнал через время t2 (отсчёт времени идёт по фронту запускающего импульса) поступает на приёмник детектора BQ2 (см. рис. 2в). Время распространения между излучателем и приёмником t2, как уже вычислялось выше, составляет около 13 мкс.

С приёмника BQ2 сигнал поступает на вход двухкаскадного усилителя, собранного на DA1.3 и DA1.4. Положительные полуволны сигнала через фильтр C9, R6 поступают на базу DA1.2, а с его коллектора сигналы «лог. 0» поступают на вывод 6 микроконтроллера DD1 (рис. 2г). В микроконтроллере временной селектор организован программно следующим образом. В момент времени t2 микроконтроллер начинает анализировать состояние вывода 6 и при наличии уровня «лог. 0» устанавливает на выводе 2 сигнал уровня «лог. 1». Время t2 = 20 мкс задаётся программно. Отсчёт времени (начало каждого цикла) идёт по фронту запускающего импульса с вывода 8 микроконтроллера DD1. С момента времени t2

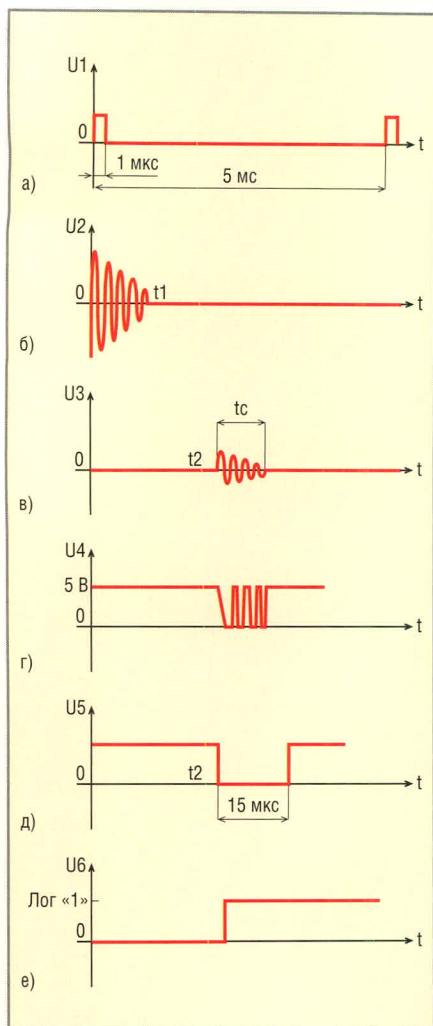


Рис. 2. Осциллограммы, поясняющие работу детектора

микроконтроллер анализирует состояние вывода 6 (ждёт «лог. 0») только 15 мкс. Именно микроконтроллер управляет временным стробом. Задержка $t_2 = 20$ мкс (рис. 2д) подобрана экспериментально с учётом сред, с которыми будет работать детектор. Длительность строба определяется длительностью принимаемого сигнала, приходящего с излучателя через рабочую среду на приёмник. Длительность принимаемого сигнала t_c (рис. 2в) может составлять 10...60 мкс и определяется рядом факторов: пьезоэлементами ВQ1, ВQ2, качеством склейки данных пьезоэлементов в стаканах приёмника и излучателя, центровкой, коэффициентом усиления транзисторов в транзисторной матрице, акустическим контактом стакана с корпусом ловушки воздуха и т.д.

В момент времени t_2 , перед тем как открыть строб, микроконтроллер устанавливает вывод 2 в «лог. 0». Таким образом, временные ворота

настроены только на полезный сигнал от жидкости. Если между излучателем и приёмником в области анализа есть жидкость, то в интервале времени $t_2..t_3$ на входе запроса прерывания INT0 (вывод 6 микроконтроллера) будет присутствовать уровень «лог. 0», тогда на выводе 2 микроконтроллера – «лог. 1» (рис. 2е) и индикатор HL1 будет включен. В противном случае индикатор HL1 детектора выключен. Время каждого цикла 35 мкс. Период следования запускающих импульсов (время между циклами) составляет 5 мс.

В детекторе использованы резисторы типа С2-33Н, но подойдут любые с допуском $\pm 5\%$. Конденсатор С3 типа К50-35 УСЛ, остальные типа К10-176-Н90, С9 типа К10-17а-М47. Кварцевый резонатор ZQ1 имеет рабочую частоту 6 МГц, тип корпуса НС-49S. Индикатор HL1 типа КИПД02Б-1К красного цвета. Тип пьезоэлемента ЭПЧД-010. Чертёж детектора приведён в дополнительных материалах к статье на сайте журнала.

Правильно собранный детектор начинает работать сразу. В детекторе нет никаких настроек и регулировок. Проверку работоспособности детектора нужно проводить в следующей очередности:

- подать на детектор питающие напряжения;
- проконтролировать на контакте 5 соединителя X1 (сигнал «выход») детектора воздуха сигнал уровня «лог. 0», индикатор HL1 должен быть выключен;
- установить вертикально ловушку воздуха перфузионной магистрали в держатель ловушки воздуха детектора (метка на корпусе держателя ловушки воздуха должна быть на нижней поверхности), проконтролировать на контакте 5 соединителя X1 детектора воздуха сигнал уровня «лог. 0», индикатор HL1 должен быть выключен;
- заполнить ловушку воздуха водой до уровня риски на корпусе держателя ловушки воздуха, проконтролировать включение индикатора HL1, проконтролировать на контакте 5 соединителя X1 детектора воздуха сигнал уровня «лог. 1»;
- слить воду из ловушки так, чтобы уровень воды был на 10 мм ниже

уровня риски, проконтролировать выключение индикатора HL1, проконтролировать на контакте 5 соединителя X1 детектора воздуха сигнал уровня «лог. 0»;

- проверить реакцию детектора на пену (мыльный раствор). Для этого необходимо заполнить магистраль и ловушку воздуха пеной, индикатор HL1 должен быть выключен, проконтролировать на контакте 5 соединителя X1 детектора воздуха сигнал уровня «лог. 0».

Коды программы в формате Intel HEX для микроконтроллера DD1 приведены на сайте журнала. Программа состоит из четырёх основных частей: процедуры инициализации, основной программы, работающей в замкнутом цикле, подпрограммы обработки прерывания от таймера T/C0, подпрограммы обработки прерывания по входу INT0 микроконтроллера DD1 (вывод 6), а также подпрограмм, реализующих временные задержки. Запрос прерывания по входу INT0 имеет приоритет по отношению к прерыванию от таймера T/C0. Период следования запускающих импульсов с вывода 8 микроконтроллера, длительностью 5 мс, реализован на таймере T/C1. Временная задержка 20 мкс и строб длительностью 15 мкс формируются регистром R20. В этот промежуток времени разрешается прерывание по входу INT0 микроконтроллера, и при наличии «лог. 0» на данном входе микроконтроллер выставляет на выводе 2 (сигнал «выход») и выводе 9 (включение индикатора HL1) «лог. 1». Следует отметить, что все временные интервалы и задержки, реализованные в программе, соответствуют частоте кварцевого резонатора 6 МГц.

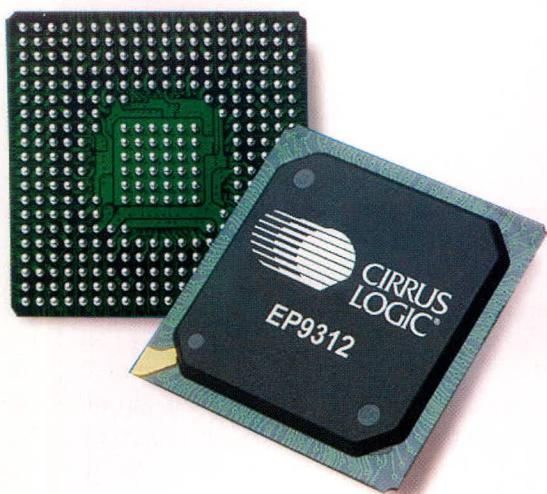
ЛИТЕРАТУРА

1. Бабиков О.И. Ультразвуковые приборы контроля. Л.: Машиностроение, Ленингр. отд., 1985.
2. Бродин В.Б., Шагурин И.И. Микроконтроллеры. Архитектура, программирование, интерфейс. М.: ЭКОМ, 1999.
3. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. М.: Радио и связь, 1990.
4. Донской А.В., Келлер О.К., Кратыш Г.С. Ультразвуковые технологические установки. Л.: Энергия, 1982.



Процессоры с архитектурой ARM:

Мобильные системы на кристалле



Процессор EP9312

Основные достоинства

- Высокая производительность
- Система на кристалле, требующая минимум внешних компонентов
- Большое количество интегрированных интерфейсов:
 - Ethernet интерфейс
 - интегрированный графический контроллер с поддержкой сенсорного экрана (до 1024×768 точек)
 - Контроллер IDE
 - Контроллер USB
 - Поддержка PCMCIA
- Минимальный ток потребления: идеальное решение для портативных устройств

ARM процессоры седьмой серии

Наименование	Ядро	Скорость (МГц)	Кэш	MMU	Контроллер DRAM	Встроенная SRAM (КБ)	LCD контроллер	DAI	Ethernet MAC	Температурный диапазон	Корпус
EP7309	ARM720T	74	8 КБ	+	-	48	+	+	-	Комм. / Индустр.	208 LQFP 256 PBGA 204 TFBGA
EP7311	ARM720T	90 и 74	8 КБ	+	SDRAM	48	+	-	-	Комм. / Индустр.	208 LQFP 256 PBGA 204 TFBGA
EP7312	ARM720T	90 и 74	8 КБ	+	SDRAM	48	+	+	-	Комм. / Индустр.	208 LQFP 256 PBGA 204 TFBGA

ARM процессоры девятой серии

Наименование	Скорость (МГц)	Ethernet MAC	Поддержка PCMCIA	Контроллер IDE	Портов USB	Контроллер дисплея	Графический контроллер	Сенсор. экр / АЦП	Корпус
EP9310	166	+	-	-	2	-	-	5 АЦП	208 TQFP
EP9302	200	+	-	-	2	-	-	5 АЦП	208 LQFP
EP9307	200	+	-	-	3	+	+	8-пров.	272 TFBGA
EP9312	200	+	-	2 канала	3	+	-	8-пров.	352 PBGA
EP9315	200	+	+	2 канала	3	+	+	8-пров.	352 PBGA

Реклама

PROSOFT®

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

Разработка модуля беспроводной передачи телеметрических данных в диапазоне частот 2,4 ГГц

(часть 3)

Александр Алый (Москва)

Универсальный модуль предполагает многообразие применений, но создание эффективного коммуникационного протокола – задача очень трудная. На помощь приходят спецификации, воплощающие коллективный труд сообщества разработчиков. ZigBee – лучший пример такой спецификации, и в этой статье автор анализирует возможности спецификации ZigBee для реализации программного обеспечения радиомодуля. В статье также приведён пример разработки недорогого многофункционального радиомодуля, встраиваемого в распределённые системы управления бытовыми приборами.

ZigBee как спецификация конкурирует на рынке с большим количеством так называемых «проприетарных», иначе говоря, частных или фирменных спецификаций, описывающих организацию взаимодействия радиомодулей в локальных сетях. Многие производители радиомодулей снабжают их собственным программным обеспечением, реализующим несложные протоколы взаимодействия. Характерные примеры: фирма Micrel бесплатно предоставляет в исходных текстах сетевой протокол для своих радиомодулей; фирма Microchip предлагает в исходных текстах протокол MiWi для той же аппаратной платформы, что и ZigBee; фирма Nokia намерена скоро опубликовать спецификацию Wibree для новой аппаратной платформы; существует амбициозный проект Zensys Z-Wave, прямо противопоставляющий себя ZigBee, и рабочая группа, работающая над переносом стека TCP/IP на беспроводную платформу, аналогичную ZigBee.

Существует мнение, что использовать ZigBee следует только для того, чтобы обеспечить совместимость с ZigBee-устройствами сторонних фирм. Однако критики ZigBee из лагеря конкурентов утверждают, что именно совместимость является одной из слабых сторон этой спецификации. В ZigBee так много различных параметров, возможностей реализации и уровней криптографической защиты, что, по их словам, беспрепятственное выпол-

нение единой задачи модулями разных производителей в одной сети маловероятно. И действительно, на январь 2007 г. из четырёх сертифицированных альянсом ZigBee продуктов не существует ни одного законченного устройства для потребительского рынка; к сожалению, не сертифицированные потребительские продукты не снабжены даже элементарными сведениями о поддерживаемых профилях.

С другой стороны, разрабатывать и производить устройства с поддержкой ZigBee могут только члены альянса ZigBee. Стать неполноправным членом альянса (Adopter member) можно уплатив минимальный членский взнос в размере 3,5 тыс. долл. за год пребывания в альянсе, при этом сертификация каждого продукта потребует ещё 1 тыс. долл. К счастью, разрешено использовать спецификацию в некоммерческих целях, поэтому ниже мы проанализируем технические детали и способы адаптации ZigBee для нашего проекта.

Преимущества ZigBee

В спецификации ZigBee воплощён опыт передовых коллективов разработчиков, работающих в сфере локальных, низкоскоростных и экономичных беспроводных сетей. Она интегрировала лучшие решения, реализованные при построении и эксплуатации локальных распределённых систем управления. Учтено практически все:

- пространственная масштабируемость – количество узлов сети можно увеличивать до тысячи и более;
 - функциональная масштабируемость – одна сеть может использоваться во многих системах управления одновременно, и их количество и разнообразие можно наращивать без изменения программного обеспечения и перенастройки маршрутизаторов и координатора сети;
 - лёгкость установки и наладки – конечные устройства сети сами объявляют о предоставляемых ими сервисах и возможностях и через координатора находят устройства, с которыми они должны взаимодействовать для выполнения целевых задач управления;
 - лёгкость наблюдения за сетью и оптимизация её структуры с помощью специальных методов администрирования;
 - решение проблем живучести сети – при потере связи с узлами сеть перестраивается, изменяя структуру и маршрутизацию. Можно предусмотреть и дублирование координатора при потере связи с основным координатором;
 - решение проблем качества связи – при недостаточном качестве связи можно устанавливать дополнительные маршрутизаторы;
 - высокая защищённость информации – криптографическая защита на трёх уровнях стека. Аутентификация узлов сети;
 - открытость для реализации интеграторами собственных протоколов и технологий на базе сервисов, предоставляемых ZigBee.
- Спецификация ZigBee уделяет большое внимание энергосберегающим режимам работы сети. Например, конечные устройства сети большую часть времени остаются в «спящем» состоянии. Чтобы работа сети не прерывалась, каждое устройство ассоци-

ировано с выделенным маршрутизатором, который не переходит в спящий режим и берёт на себя обязанность откликаться на запросы к устройству, пока оно спит. Маршрутизатор накапливает все пакеты, предназначенные для устройства, и передаёт их при первой возможности.

СПЕЦИФИКАЦИЯ ZigBEE

Спецификация постоянно совершенствуется. Недавно на сайте www.zigbee.org появилась публикация спецификации ZigBee 2006 с дополненными схемами адресации и маршрутизации; далее планируется ввести в ZigBee технологию динамической смены частоты (сейчас смена частотного канала – процедура исключительная, инициируемая самим пользователем) и т.д. Поэтому мы рассмотрим особенности версии спецификации от 2004 г., для которой существуют открытые исходные коды.

Спецификация ZigBee весьма формализована, и это облегчает программную реализацию и тестирование, но объём документа становится чрезвычайно большим. Число страниц спецификации ZigBee вместе с сопутствующим стандартом IEEE 802.15.4 составляет более 1000.

Необычна терминология спецификации: она выдержана в абстрактном стиле, независимом от какого-либо языка программирования. Поскольку в статье подразумевается разработка на языке Си, автор оставляет за собой право переводить термины спецификации на язык Си, а нумерацию битов приводить так, как принято при программировании (справа налево).

Следует обратить внимание на термины «кластер» (cluster), «атрибут» (attribute) и «примитив» (primitive). Термин «кластер» можно встретить в двух значениях: первое – это название характерного скопления узлов сети, второе значение – группа атрибутов. Атрибут, в программной реализации, – некая переменная, значение, параметр и т.п., отражающий внутреннее состояние программы или сигналов на внешней периферии. Причём кластеры могут быть входные, т.е. содержащие переменные только для записи, либо выходные, т.е. содержащие переменные для чтения.

Термин «примитив» перешёл в спецификацию ZigBee из стандарта IEEE 802.15.4 и означает некую структуру данных, передаваемую вместе с иден-

тификатором команды от одного уровня стека ZigBee другому. В реализации на языке Си это может быть глобально объявленная структура, заполняемая вызывающей функцией одного уровня и передаваемая по указателю вызываемой функции другого уровня.

АРХИТЕКТУРА ZigBEE

Итак, спецификация определяет архитектуру ZigBee стека. Стек – это конструкция из слоёв (см. рис. 1), приведённая в соответствие с требованиями семиуровневой модели OSI.

Каждый слой содержит набор специфических функций (сервисов), вызываемых из верхних слоёв. На языке Си, чаще всего, – это отдельные программные модули. Вместо набора публичных функций, в модуле обычно реализованы только одна-две публичные функции, способные принимать в качестве аргументов разнообразные структуры данных вместе с идентификаторами команды, по которым функции определяют, что делать с данными. Такие же структуры функции выдают в качестве результата. Спецификация ZigBee написана в расчёте на такую реализацию стека. Публичные функции в каждом слое названы точками доступа к сервису – Service Access Point (SAP) и существуют парами: одна функция получает команды передачи данных, другая – команды управления. Передаваемые в виде структур данных аргументы называются примитивами и подробно описываются спецификацией, включая типы данных и назначение членов структур. SAP можно реализовать и в виде одной публичной функции.

Уровни MAC и PHY не описаны в спецификации ZigBee, но приведены в стандарте IEEE 802.15.4 (2003 г.). В спецификации имеются комментарии к реализации MAC-уровня, которые следует учитывать. Следует отметить, что стандарт IEEE 802.15.4 был создан для поддержки сетей малого радиуса – Personal Area Network (PAN) со структурой «точка-точка» или «звезда», т.е. изначально не предназначался для сетей типа ZigBee.

В спецификации ZigBee предусмотрено шифрование на трёх уровнях: MAC, NWK и APS. Соответственно, содержимое пакетов этих уровней может быть зашифровано независимо друг от друга. Кроме шифрования, спецификация определяет процедуры ау-

тентификации, которые не позволяют неопознанным узлам подключаться к сети. Также определены процедуры обмена ключами шифрования и порядок управления ключами в сети.

АДРЕСАЦИЯ В ZigBEE

Чтобы пояснить состав и назначение сервисов стека, на рис. 2 представлена структура адресации в ZigBee.

Поскольку предусматривается совместное сосуществование нескольких сетей ZigBee на одном частотном канале, для их разделения введён 16-битный идентификатор сети (Personal area network ID, PAN ID). Все ZigBee-модули снабжены уникальным 64-битным идентификатором. Но передача такого длинного идентификатора требует больших накладных расходов, и предоставляемый им диапазон адресов явно избыточен. Поэтому в ZigBee был введён короткий 16-битный сетевой адрес устройства, назначаемый координатором сети при её организации.

Спецификация допускает решение одной сетью множества прикладных задач, не связанных друг с другом. Для различения пакетов по приложениям, для которых они предназначены, используются 8-битные номера конечных точек. Приложения надо понимать в широком смысле – это может быть управление освещением, или канал передачи данных во внешний шлюз сети другого типа, или контур управления отоплением и т.д.

Чтобы обеспечить полную совместимость устройств разных производителей и их способность взаимодействовать в рамках единого распределённого приложения, было введено понятие профилей, которые различаются в пакетах с помощью 16-битного идентификатора. Профиль описывает ряд технических параметров, соглашений о структурах данных и форматах сообщений, которых должны придерживаться изготовители, чтобы их изделия были совместимы. К сожалению, альянс ZigBee пока имеет только один стандартный профиль – управления бытовым освещением. Но частные, не стандартизированные профили также должны иметь уникальные идентификаторы, поэтому их выдачей занимается сам альянс ZigBee.

Кластеры представляют собой контейнеры для атрибутов и были введены для администрирования групп родственных атрибутов. Чтобы каж-

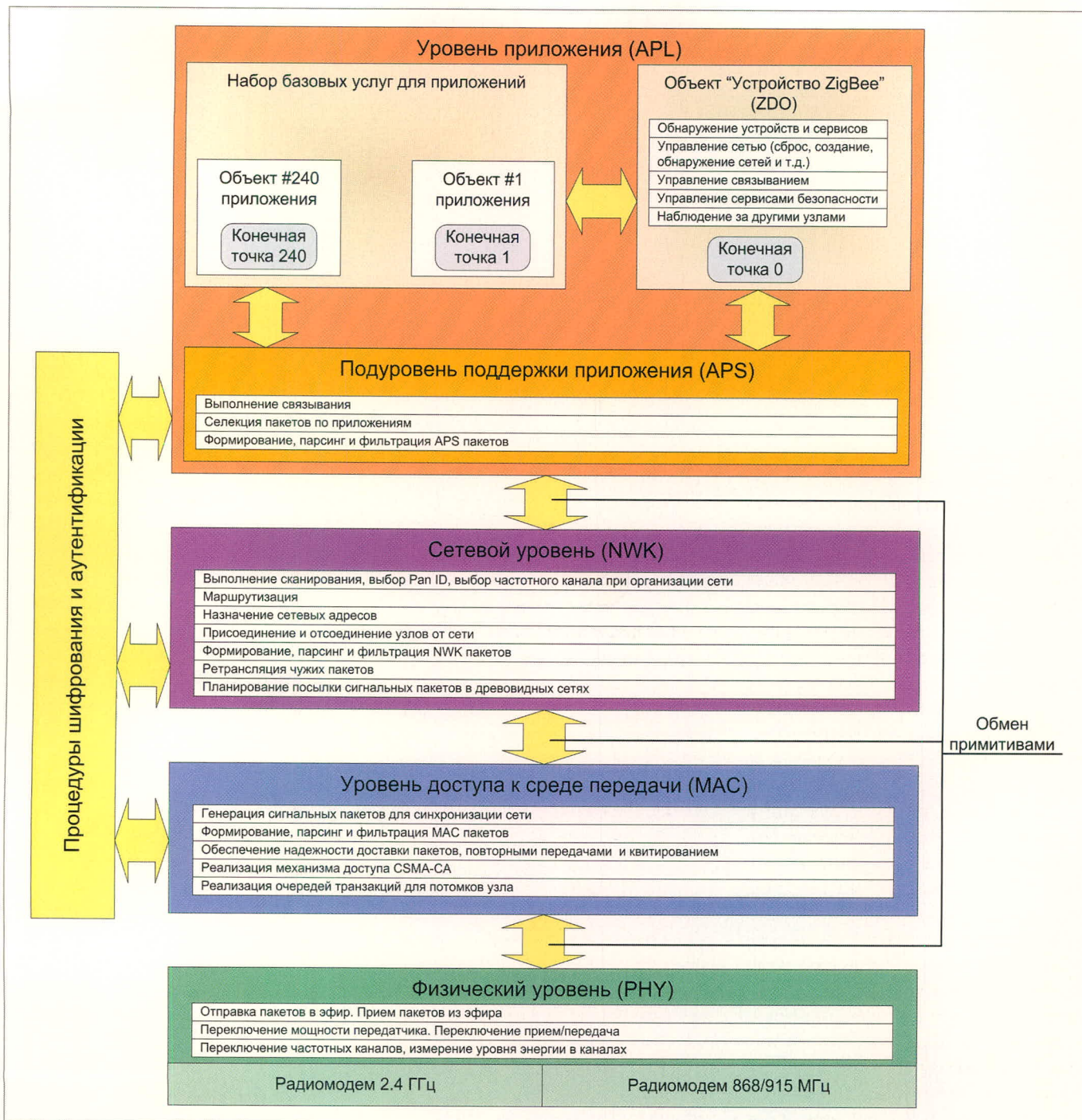


Рис. 1. Стек ZigBee

дый раз не перечислять атрибуты, можно сослаться на них, используя номер кластера. Кластеры применяются в технологии связывания и косвенной адресации, которая будет описана ниже. Идентификатор кластера имеет длину 8 бит. Смысл атрибута поясняется на рис. 2.

Топология сети

С точки зрения администратора, топология сети ZigBee всегда представляет собой иерархическое дерево, как показано на рис. 3 (дерево, как принято, изображено перевернутым). В основании находится координатор.

Маршрутизаторы (роутеры) добавляют ветви в структуру сети и увеличивают её глубину. При их отсутствии топология сети вырождается в звезду.

К маршрутизаторам и координатору могут подключаться конечные устройства или устройства с ограниченными функциями (Reduced function device, RFD). Маршрутизаторы и координатор являются полнофункциональными устройствами (Full function device, FFD). Конечное устройство может быть необъявленным маршрутизатором, чтобы иметь возможность присоединиться к сети. Такой вариант упоминается ниже.

ПРОЦЕСС ФОРМИРОВАНИЯ СЕТИ

Даже если все устройства ZigBee включены и могут вести общение друг с другом, сеть не возникнет, пока не появится устройство, взявшее на себя функции координатора. Координатор – единственное устройство, которое может инициировать начало формирования сети. Координатор начинает с определения уровня помех на всех доступных частотных каналах, выбирает канал с наименьшим уровнем помех и определяет наличие в нём других работающих сетей ZigBee, запрашивая их идентификаторы. Затем координа-

тор случайным образом выбирает идентификатор для своей сети из диапазона 0x0000 – 0x3FFE, чтобы он не совпадал с идентификаторами других сетей в том же частотном диапазоне. Сетевой 16-битный адрес координатора всегда равен 0x0000. После этого координатор разрешает присоединяться к своей сети другим устройствам.

Другие устройства, до этого момента сканировавшие эфир на предмет доступных сетей, получают разрешение от координатора на присоединение к его сети по принципу ветвления. Присоединив некоторое количество конечных устройств и маршрутизаторов, координатор отказывается присоединять непосредственно к себе остальных, вынуждая их искать уже присоединившиеся маршрутизаторы (конечные устройства не могут никого присоединять). Таким образом продолжается ветвление соединений. Из кандидатов в родительские узлы предпочтение отдаётся устройствам с наименьшим числом шагов ретрансляции до координатора.

Реальные профили приложений жёстко ограничивают максимальное количество уровней в создаваемой древовидной структуре. Может возникнуть ситуация, когда очередному маршрутизатору соседи отказывают в присоединении. В таких случаях маршрутизаторы могут понизить свой статус до конечных устройств, поскольку на их присоединение ограничения менее жёсткие. На практике может сложиться ситуация, когда останутся устройства, которым соседи отказали в присоединении, но эта проблема должна решаться вне рамок спецификации, поскольку динамическая балансировка древовидной структуры в ZigBee не поддерживается.

В спецификации также предусмотрен способ предварительно запрограммированного подключения устройств к маршрутизаторам и координатору.

Во время присоединения к сети устройство получает уникальный в пределах данной сети 16-разрядный адрес. В спецификации описаны два способа назначения адресов: распределённый механизм назначения адресов (см. рис. 3) и назначение адресов с уровнем приложения. По умолчанию применяется первый способ.

Профиль приложения, которому подчиняется сеть, среди прочего, определяет три константы:

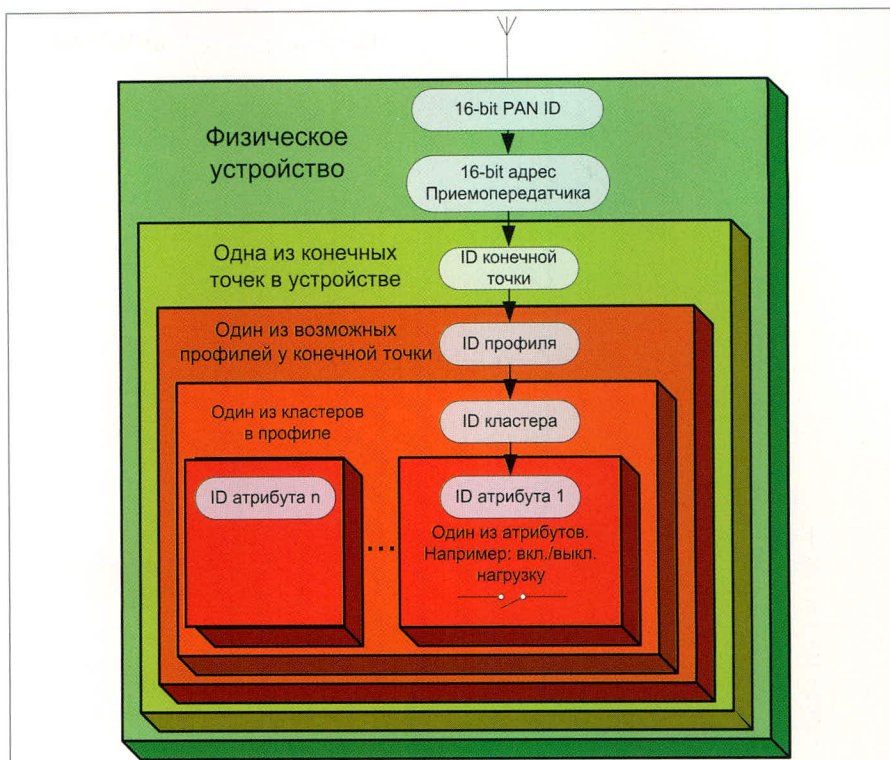


Рис. 2. Структура адресации в ZigBee

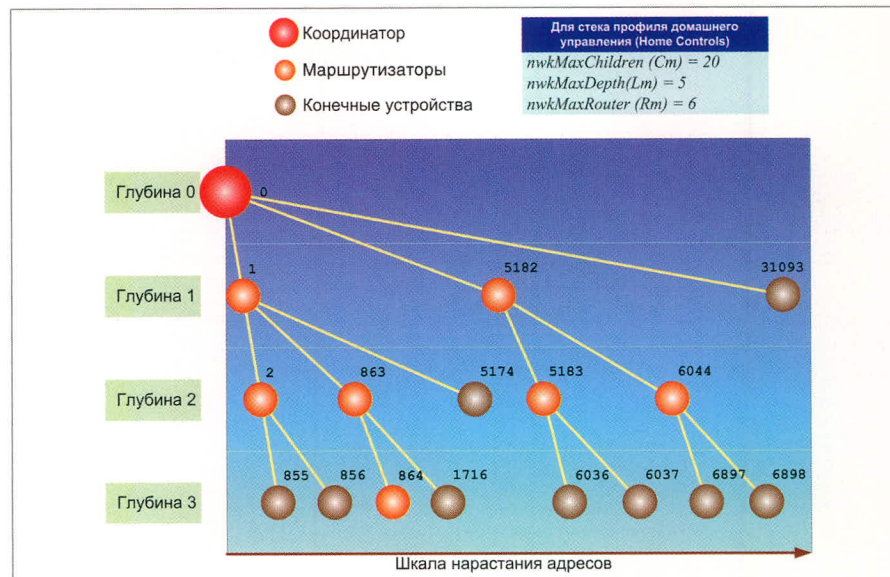


Рис. 3. Структура и пример адресации в сети ZigBee

- $nwkMaxChildren (C_m)$ – максимальное число наследников у каждого узла;
- $nwkMaxDepth (L_m)$ – максимальная глубина сети;
- $nwkMaxRouter (R_m)$ – максимальное число маршрутизаторов среди наследников каждого узла.

На основе этих констант по приведённой ниже формуле (при $R_m > 1$) рассчитывается параметр C_{skip} для каждого уровня глубины d :

$$C_{skip}(d) = \frac{1 + C_m - R_m - C_m R_m^{L_m - d - 1}}{1 - R_m}$$

Параметр C_{skip} равен интервалу адресов, которым на данной глубине

может распоряжаться маршрутизатор для присвоения адресов своим наследникам.

Вычислив параметр C_{skip} , маршрутизатор или координатор, получивший собственный адрес, начинают распределять адреса.

Для наследников типа «маршрутизатор» адреса вычисляются по формуле:

$$A_n = A_{parent} + C_{skip}(d)(n - 1) + 1,$$

где A_{parent} – собственный адрес, A_n – адрес n -го маршрутизатора-наследника, n – порядковый номер наследника от 1 до R_m , d – текущая глубина.

Для координатора глубина всегда равна 0.

Для наследников типа «конечное устройство» адреса вычисляются по формуле:

$$A_n = A_{parent} + C_{skip}(d)R_m + n,$$

где n – порядковый номер наследника от 1 до $(C_m - R_m)$.

Такая схема назначения адресов приводит к очень простому критерию выбора направления маршрутизации по древовидной структуре. Когда маршрутизатор решает, куда послать ретранслируемое сообщение, он проверяет адрес назначения сообщения DestAddr на соответствие диапазону:

$$LocalAddr < DestAddr < LocalAddr + C_{skip}(d - 1),$$

где LocalAddr – собственный адрес маршрутизатора, d – его глубина в древовидной структуре. Если адрес находится в указанном диапазоне, то сообщение надо передавать вниз по древовидной структуре, если нет – то вверх.

МАРШРУТИЗАЦИЯ В СЕТИ

Первый и очевидный способ маршрутизации в ZigBee-сетях – иерархическая маршрутизация по ветвям древовидной структуры. Как было отмечено

выше, существует простое правило, с помощью которого маршрутизатор может определить направление передачи сообщения. Если сообщение надо передавать вверх, маршрутизатор находит в предварительно созданной таблице соседей (см. табл. 1) адрес родительского узла и передаёт ему сообщение. Если сообщение надо передать вниз (для прямого потомка), его адрес будет равен адресу назначения. Если сообщение надо передать вниз по цепочке, адрес следующего маршрутизатора вычисляется по формуле:

$$NextAddr = LocalAddr + 1 + \text{trunc}[(DestAddr - (LocalAddr + 1)) / C_{skip}(d)] C_{skip}(d),$$

где NextAddr – адрес следующего узла, куда надо переслать сообщение, DestAddr – адрес назначения, LocalAddr – собственный адрес маршрутизатора, trunc – функция взятия целого от деления.

По умолчанию иерархической маршрутизацией пользуются все маршрутизаторы и координатор, если у них закончились ресурсы для поддержки других типов маршрутизации.

Другим видом маршрутизации является сеточная (mesh) маршрутизация. Она поддерживается только пол-

нофункциональными устройствами. Конечные устройства передают пакеты данных только своим родительским узлам, поскольку они не имеют таблиц маршрутизации. Полнофункциональные устройства, получив пакет данных, не предназначенный для узла-потомка или узла-родителя, и не имея соответствующей записи в таблице маршрутизации (см. табл. 2 и 3), инициируют процедуру обнаружения маршрута.

Обнаружение маршрута начинается с широковещательной рассылки команд всем маршрутизаторам (в пределах радиовидимости). Маршрутизаторы, принявшие команду, создают у себя временные записи о принятом запросе (см. табл. 4) и со случайно выбранной задержкой ретранслируют команду. Чтобы широковещательная ретрансляция не превратилась в «радиосторм», пакеты снабжены счётчиком ретрансляций, который уменьшается на единицу при передаче пакета через маршрутизатор. Как показано на рис. 4, возможно существование нескольких маршрутов прохождения пакетов до узла назначения, но каждый маршрутизатор отбрасывает пакеты с командами обнаружения маршрута, которые имеют большую стоимость пути, чем зафиксированная у предыдущих пакете-

Таблица 1. Таблица соседей

Имя поля таблицы	Длина поля (платформенно-зависимая)	Описание
Расширенный адрес (Extended address)	8 байт	Уникальный 64-битный идентификатор устройства или IEEE-адрес. Это поле заполняется, если сосед является наследником или родителем данного узла
Сетевой адрес (Network address)	2 байта	16-битный сетевой адрес соседа
Тип устройства, к которому относится сосед (Device type)	Тип	0 – координатор 1 – маршрутизатор 2 – конечное устройство
RxOnWhenIdle	Boolean	TRUE – если у устройства всегда включен приёмник
Отношение с соседом (Relationship)	Integer	0 – сосед является родителем 1 – сосед является потомком 2 – сосед является потомком общего родителя 3 – сосед не является ни одним из вышеперечисленных
Ошибки передачи (Transmit Failures)	Integer	Принимает значение от 0 до 255 и отражает количество неудачных передач соседу
Оценка качества связи (LQI)	Integer	Значение выдаётся сервисом уровня РНУ
Время прихода последнего сигнального пакета (Incoming beacon timestamp)	Integer	Время измеряется в интервалах, равных времени передачи одного символа в терминологии уровня РНУ. Поле не обязательное
Смещение по времени передачи сигнального пакета (Beacon transmission time offset)	Integer	Смещение по времени выдачи сигнального пакета соседом по отношению ко времени выдачи сигнального пакета его родителем. Поле не обязательное

Таблица 2. Дополнительные поля таблицы соседей, используемые в течение обнаружения и присоединения к сети

Имя поля таблицы	Длина поля (платформенно-зависимая)	Описание
Расширенный идентификатор сети (Extended PAN ID)	Integer	Уникальный 64-битный идентификатор сети соседа. Обычно по умолчанию равен 64-битному идентификатору координатора сети
Логический канал (Logical channel)	Integer	Логический канал, на котором работает сеть
Глубина (Depth)	Integer	Глубина, на которой в древовидной структуре сети находится сосед
Параметр, отражающий частоту передачи сигнальных пакетов (Beacon order)	Integer	Может находиться в диапазоне от 0 до 15. Если равен 15, то сигнальные пакеты не передаются
Сосед допускает присоединение (Permit joining)	Boolean	TRUE – если сосед допускает присоединение
Потенциальный родитель (Potential parent)	Integer	0 – сосед не может быть родителем 1 – сосед может быть родителем

тов. Если пакет имеет ту же стоимость пути, данные в таблице обнаружения маршрута обновляются. Стоимость пути содержится в самом пакете и обновляется всякий раз, когда он ретранслируется маршрутизатором.

Спецификация предлагает несколько вариантов расчёта стоимости пути. Самый простой – подсчёт ретрансляций по маршруту, и этот способ был принят в примере на рис. 4. Более сложный способ – вычисление стоимости пути по сумме параметров качества связи между узлами по маршруту LQI (см. таблицу 1). И, наконец, самый правильный и трудно реализуемый способ – суммирование функций вероятности прохождения пакетов между узлами, которая, в свою очередь, вычисляется путём накопления статистических данных.

Маршрутизатор, являющийся пунктом назначения для пакетов команды обнаружения пути или родительским узлом пункта назначения типа RFD, при получении пакета отвечает другим пакетом, который со-

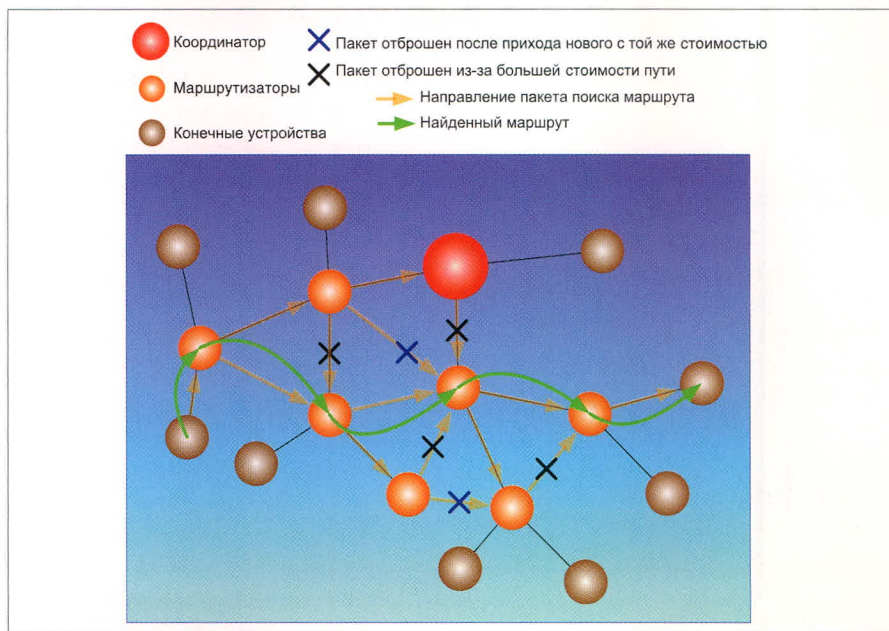


Рис. 4. Пример сеточной маршрутизации в сети ZigBee

держит команду подтверждения. Этот пакет отправляется адресно и проходит уже проложенным путём в обратном направлении. К этому моменту по пути его следования во всех

промежуточных маршрутизаторах будут созданы правильные записи маршрутизации, и проходящий пакет подтверждения будет устанавливать их статус как активный. Дойдя до инициатора обнаружения маршрута, пакет подтверждения завершает процесс формирования маршрута. После этого уничтожаются все временные записи в таблицах обнаружения маршрута во всех промежуточных узлах, а записи таблиц маршрутизации в узлах сохраняются в долговременной памяти.

Описанный выше алгоритм сеточной маршрутизации создаёт односторонний путь. Если в стеке ZigBee константа nwkSymLink установлена как TRUE, этот же путь будет использоваться и для передачи в обратном направлении, иначе для обнаружения обратного пути потребуется запустить алгоритм маршрутизации заново. Очевидно, что обратный путь может не совпадать с прямым даже при расчёте цены по методу простого счётчика переходов, поскольку ветвления по маршруту выбираются на основе генератора случайных задержек.

В спецификации 2006 г. введены ещё два способа маршрутизации. Это групповая маршрутизация и маршрутизация типа «многие к одному». Необходимость в них была вызвана обнаруженной при некоторых условиях нестабильностью больших сетей с сеточной маршрутизацией. ©

Продолжение следует

Таблица 3. Содержание таблицы маршрутизации

Имя поля таблицы	Длина поля	Описание
Адрес назначения (Destination address)	2 байта	Содержит 16-битный сетевой адрес или идентификатор группы. Если устройство назначения является маршрутизатором или координатором, поле содержит действительный адрес устройства. Если устройство назначения является конечным устройством, поле содержит адрес предка этого устройства
Статус (Status)	3 бита	0 – активный 1 – идёт поиск маршрута 2 – ошибка поиска маршрута 3 – не активный 4 – идёт процесс подтверждения 5 – зарезервировано
Многие к одному (Many-to-one)	1 бит	Флаг, указывающий на то, что устройство назначения – концентратор, выдающий сообщения «многие к одному»
Требуется запись маршрута (Route record required)	1 бит	Флаг, указывающий на то, что перед посылкой следующего пакета данных в устройство назначения надо передать команду записи маршрута
Флаг идентификатора группы (GroupID flag)	1 бит	Флаг, указывающий на то, что поле адреса назначения содержит идентификатор группы
Следующий адрес перехода (Next-hop address)	2 байта	16-битный сетевой адрес следующего устройства по пути к адресу назначения

Таблица 4. Содержание таблицы обнаружения маршрута

Имя поля таблицы	Длина поля	Описание
Идентификатор запроса обнаружения маршрута (Route reqeues ID)	1 байт	Каждый запрос от какого-либо узла на обнаружение маршрута имеет идентификатор. Каждый следующий запрос имеет другой идентификатор
Сетевой адрес инициатора запроса (Source address)	2 байта	16-битный сетевой адрес узла инициатора запроса на обнаружение маршрута
Адрес узла отправителя (Sender address)	2 байта	16-битный сетевой адрес узла, от которого пришёл пакет с запросом на обнаружение маршрута с наименьшей стоимостью пути. При этом пакет имеет те же идентификатор запроса и адрес инициатора
Цена пройденного пути (Forward Cost)	1 байт	Суммарная стоимость пути от инициатора запроса до текущего узла
Цена оставшегося пути (Residual Cost)	1 байт	Суммарная стоимость пути от текущего узла до узла, к которому прокладывается маршрут
Время до истечения срока существования данной записи (Expiration time)	2 байта	Таймер, отсчитывающий время в миллисекундах до того, как запись будет удалена, если она к тому времени ещё не будет удалена после обнаружения маршрута. По умолчанию выделено 10 с

JTAG-тестирование

(часть 1)

Иосиф Каршенбойм (Санкт-Петербург)

В статье представлен обзор материалов, посвящённых тестированию плат и устройств по интерфейсу JTAG. В обзоре приводятся описания обучающих программ, программ-симуляторов, рабочих инструментов, рассматриваются принцип работы интерфейса и методы тестирования плат.

ВВЕДЕНИЕ

Ещё не так давно казалось, что DSP-микропроцессор с тактовой частотой 133 МГц имеет предел производительности, а для микроконтроллеров частота 20 МГц была достаточно большой. Сегодня производительность микропроцессоров и микроконтроллеров рванулась к невиданным доселе высотам. Невероятная прежде тактовая частота – 750 МГц – для микроконтроллера уже не кажется слишком высокой, при том что цена на такой микроконтроллер теперь уже не превышает двадцати долларов. Из эксклюзивных подобных продукт уже попадает в категорию стандартных. Этот факт, как ни странно, становится источником проблемы. И дело здесь, конечно, не в самом изделии, а в отношении потребителей данного продукта – разработчиков – к самому продукту и к технологии проектирования. Разработчики, которые изначально занимались обработкой высокоскоростных сигналов, имеют необходимый опыт и знают методики отладки своих проектов. Они уже овладели «Курсом черной магии» (известное название книги) и знают, как производить трассировку линий связи и измерять сигналы. А вот на тех, кто ещё вчера использовал в своих проектах обычные 8-битовые «однокристалки», при переходе на новые микросхемы обрушиваются горы проблем. Мало того что с повышением тактовых частот приходится применять специальные меры при конструировании печатных плат, так поменялись ещё и сами корпуса микросхем. Возникли новые требования: хотите иметь высокие частоты – используйте короткие линии связи; хотите иметь короткие линии связи – применяйте многослойные печатные платы и BGA-корпуса. Но эта проблема имеет, скажем так, физическую приро-

ду. Есть ещё одна проблема, которую можно назвать человеческим фактором. Когда-то в 1981 г. автор наблюдал следующую картину взаимоотношений разработчика и программиста. «Стандартный» разработчик приносил свой модуль, который он отлаживал на обычном для того времени кнопочном стенде, и заявлял программисту буквально следующее: «Я проверил запись и чтение из регистров, а то, что у вас это не делается программно, – уже не мое дело»... «Стандартный» программист на это заявлял: «Протокол обмена написан, я его выполняю, – значит, всё должно работать»... В конце концов, через некоторое время появился «универсальный солдат» – программирование стандартных микроконтроллеров стало обычным для «стандартных» разработчиков.

А вот картина сегодняшнего дня. «Стандартный» разработчик оценил производительность и ресурсы новой микросхемы, заложил её в проект. Да вот беда – изучать её программирование ему было некогда, да и сил на такой курс часто не хватает. И дело не в том, что в программировании новых микроконтроллеров есть что-то необычайно сложное, просто разработчику необходимо осваивать много нового материала. Поэтому программирование поручили «стандартному» программисту, и он быстро освоил стартовый набор инструментов. Примеры, драйверы Linux, визуальный отладчик, загрузчик – чего ещё можно пожелать для нормальной работы!? Наконец, плата смонтирована, программы на стартовом наборе отлажены. И тут возникает та же ситуация, что и 25 лет назад... «Стандартный» разработчик приносит свой модуль и просит «стандартного» программиста «просто помигать светодиодами».

Разработчику это нужно для того, чтобы понять, правильно ли припаяны микросхемы. «Стандартный» программист отвечает: «Не могу, потому что у меня там Linux! Дайте мне полностью исправную плату, интерфейс с памятью, сетевой стык для отладки, загрузчик, и вот тогда я напишу программу – приложение к операционной системе, которая будет вам мигать светодиодом, и вы точно узнаете, что процессор припаян правильно!» Знакомая картина? Те из читателей, кто узнал себя в данной зарисовке, уже понимают, что проблема действительно есть, и эта статья предназначена в первую очередь для них. Те же, кто ещё не прошел через аналогичную ситуацию, скорее всего, столкнутся с ней в своём следующем проекте.

Ниже речь пойдёт об одном из способов проверки «железа», причём без программирования микроконтроллера или загрузки тестового проекта в FPGA. В качестве «вводной» представим, что мы хотим сделать: например, систему теленаблюдения или портативный измерительный прибор. А в качестве «подопытного кролика» выберем микроконтроллер BlackFin. Почему именно BlackFin, а не FPGA или ARM? Принципиальной разницы для тестирования здесь нет. Просто если выбрать для проекта планарный корпус, то, возможно, его удастся выполнить, используя старые наработки по тестированию. А вот в случае с микроконтроллером BlackFin новые методики тестирования изделия будут актуальны уже с текущего проекта. Что же касается FPGA, то здесь отличие от микроконтроллера в том, что сама микросхема FPGA по своей сути имеет регулярную структуру, а микроконтроллер имеет множество шин и выводов разного типа. Вот поэтому выбранный микроконтроллер является более наглядным примером, нежели FPGA. Но вместе с тем, учитывая большой интерес читателей к FPGA, некоторые моменты описания будут приводиться и на примере микросхем FPGA.

ОПИСАНИЕ ЯДРА МИКРОКОНТРОЛЛЕРА BlackFin

Внешний вид микроконтроллера BlackFin показан на рис. 1.

«Сердцем» микроконтроллера BlackFin является 16-разрядное ядро, выполненное по передовой техно-

логии фирмы Analog Devices. Это ядро, созданное совместными усилиями фирм ADI и Intel, имеет три выдающиеся особенности: высокую производительность, динамическое управление питанием, простоту применения.

Высокая производительность

Процессоры BlackFin имеют ядро, способное выполнять одновременно две операции умножения с накоплением (MAC), а также обладают функциями микроконтроллера с эффективными RISC-командами и средствами обработки мультимедийной информации. Все эти свойства объединены в одной простой архитектуре с оптимизированным набором команд.

Динамическое управление питанием

Микроконтроллер BlackFin обладает схемой тактирования с несколькими режимами пониженного потребления (powerdown). Гибкое программное управление даёт возможность ограничиться достаточной в данный момент производительностью процессора посредством динамического изменения напряжения питания и частоты тактовых импульсов.

Простота применения

Для микроконтроллера BlackFin имеется оптимизированный компилятор в сочетании с архитектурой, рассчитанной на применение языков высокого уровня для разработки ПО. Этим обеспечивается плотность кода, сравнимая с плотностью кода для традиционных микроконтроллеров. Кроме того, у архитектуры есть ряд особенностей, направленных на поддержку эффективного использования операционных систем реального времени. Ядро процессора имеет параллельную конвейерную архитектуру, которая позволяет выполнить максимум операций за один цикл, например:

- по одной команде в каждом из двух арифметико-логических устройств;
- две 32-битные пересылки (две операции чтения или одна операция чтение/запись);
- два обновления счётчика;
- операцию обновления аппаратного цикла.

Блок-схема микроконтроллера приведена на рис. 2.

В настоящее время фирмой-производителем выпущено несколько микропроцессоров семейства BlackFin, которое и далее будет развиваться, так что разработчики смогут выбрать для применения как малобюджетный микроконтроллер, так и более функциональный вариант. Что касается процессорной части микроконтроллера – это тема для отдельных статей. В настоящее время имеется множество информационных ресурсов с описаниями микроконтроллера, примерами применений, образцами проектов. Эту информацию можно найти на сайтах фирм-изготовителей [1], а также на сайтах компаний-дилеров [2]. Как видно из рисунка, микроконтроллер имеет развитую периферию, в состав которой входят практически все типовые микропроцессорные узлы – таймеры, часы реального времени, последовательные и параллельные порты. Следствием развитой периферии и высоких скоростей обработки информации как раз и является корпус BGA с числом выводов 182. Этот корпус mBGA-182 соответствует одному представителю семейства BlackFin.

О РСВ И НЕ ТОЛЬКО

Печатные платы тоже претерпели изменения. Термин «разводка печатных плат» постепенно перерос в «дизайн РСВ». Кроме трассировки линий связи, конструктор РСВ выполняет теперь ещё и тепловой расчёт платы, расчёты импедансов линий связи. Платы становятся многослойными,



Рис. 1. Внешний вид микроконтроллера BlackFin

монтаж – поверхностным. Как только дело доходит до того, чтобы установить на плате компонент, запаиваемый в отверстия, у конструктора начинаются новые проблемы. Ряды отверстий «дырявят» плату сразу во всех слоях, и это приводит к уменьшению быстродействия работы такой платы. А на поверхности платы – свои проблемы. Многорядные разъёмы переграживают пути для линий связи. Переход линии связи из слоя в слой через переходные отверстия увеличивает ёмкость и ухудшает высокочастотные свойства платы. Всё это, вместе взятое, заставляет разработчика отказываться от технологических контактов, контрольных точек и аналогичных ухищрений в пользу технологичности конструирования платы и повышения быстродействия разрабатываемого устройства. Ну а как же проверять такую плату? Как, например, проверить, если сигнал от одной микросхемы под её корпусом тут же «ныряет» в 3-й слой, а к другой микросхеме этот сигнал приходит в

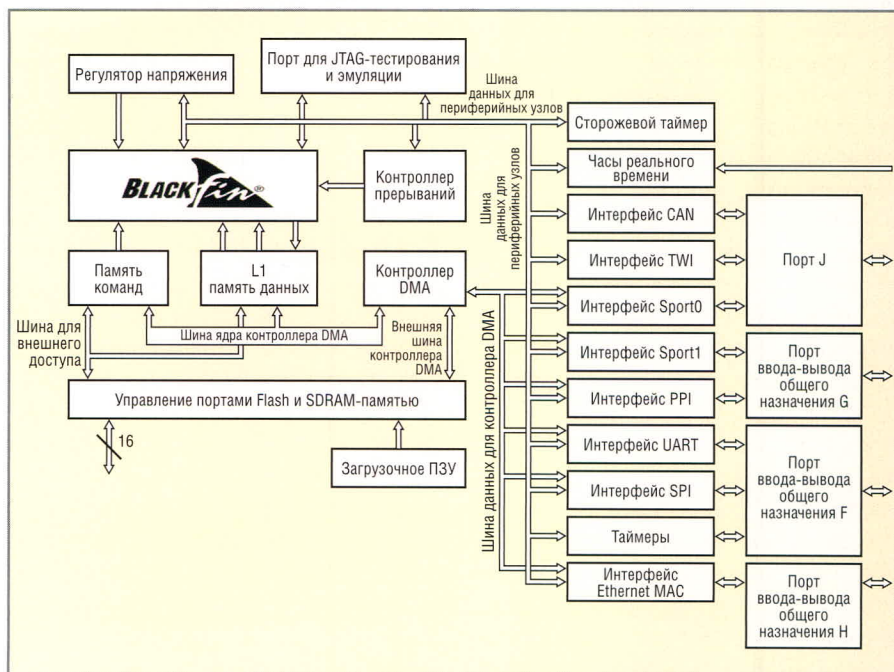


Рис. 2. Блок-схема микроконтроллера BlackFin

6-ом слое. Из 6-го слоя сигнал также выходит под корпусом микросхемы. Если отверстия при переходе из слоя в слой сделаны не сквозные, то сигнал, о котором шла речь, вообще не появляется на поверхность платы. Как убедиться, что связь между микросхемами есть и эта связь выполнена качественно? Поголовный рентгеновский контроль? Это дело дорогое, да и не всем доступное. Что же предлагается? Предлагается технология Boundary Scan (Граничное Сканирование).

Эта технология известна уже давно, но у нас в стране она применяется пока довольно редко, потому что использование высокотехнологичных корпусов BGA ещё не достигло массовости, ведь основное производство в России мелкосерийное или штучное.

ПРОВЕРКА, ПРОВЕРКА И ЕЩЁ РАЗ ПРОВЕРКА

Чем сложнее проверяемое изделие, тем менее достоверны результаты испытаний. Принципы тестирования сложных устройств известны уже очень давно. Сложное изделие или процесс при проверке заменяются на более простые. Сравнение работы сложного и простого процессов или устройств определяет результаты тестирования. Сложный процесс – выполняемая процессором программа – сравнивается при проверке с образцовым процессом, который выполняется в таймере. А точнее, время, затрачиваемое процессором на обработку программы, сравнивается со временем работы таймера. И поскольку таймер гораздо надёжнее и проще, чем процессор, память команд, память данных, выполняемая программа и пр., то и результат получается более достоверный.

Что же необходимо добавить в микросхему, если мы хотим её тестировать, используя описанный принцип? Ответ очевиден – надо добавить то, что будет наиболее простым, а следовательно, наиболее надёжным – простой сдвиговый регистр [13] и блок, управляющий функциями тестирования. Далее под объектом тестирования мы будем понимать микросхему, так как это тот «атом», из которого состоят все устройства. Что касается проверки плат или устройств в целом, то по отношению к JTAG-порту они ведут себя точно так же, как и отдельная микросхема.

О ТЕХНОЛОГИИ BOUNDARY SCAN. ЧТО ТАКОЕ «ПОРТ JTAG»?

Многие разработчики знакомы с термином «порт JTAG», но нужно признать, что знакомство это часто поверхностное. В большинстве случаев разработчику достаточно было знать, что этот порт используется для загрузки программ или для «прошивки» микросхем. Что касается микроконтроллеров, то с ними порт JTAG используется как порт, к которому подключается отладочное средство. Известно, что по умолчанию сигнал TDO должен быть «лог. 1», во время работы на выводах сигналов TDO, TDI и TMS должны проскакивать «импульсики», а на выводе TCK должна присутствовать тактовая частота. Всё остальное «знали» и выполняли программы, которые работали с портом.

Теперь настало время подробно рассмотреть описание и работу порта JTAG. основополагающий документ [13] представляет собой стандарт и описывает всё то, что относится к реализации и к работе этого порта. Термины «стандарт IEEE 1149.1» и «JTAG» являются синонимами, и именно так они будут использоваться в этой статье.

Далее будут изложены принципы работы с частью команд, выполняемых портом, а именно тех команд, которые необходимы для тестирования изделий и отладки проекта пользователя. Но сначала необходимо сделать небольшое отступление, чтобы дать читателю общие представления о том, что даёт применение технологии использования порта JTAG.

И «ВНУТРИ», И «СНАРУЖИ». ЧТО JTAG-ТЕСТИРОВАНИЕ ДАЁТ ПОЛЬЗОВАТЕЛЮ И ЗАЧЕМ ОНО НУЖНО

Для того чтобы организовать массовое производство продукции и иметь при этом минимальные затраты, были выработаны специальные критерии, называемые «тестопригодное проектирование» – DFT (Design For Test). Эти методы и средства проектирования сегодня активно используются многими компаниями, что даёт им возможность снизить стоимость изделия как на этапах разработки и производства, так и на этапах испытаний и эксплуатационного обслуживания. Стандарт IEEE 1149.1 – это стандарт на последовательный

интерфейс с четырьмя проводами, который позволяет производить испытания микросхем, плат и устройств.

В основу работы интерфейса положен синхронный последовательный способ передачи данных и команд. Для записи команд применён метод косвенной адресации. Стандарт определяет адресацию и способ работы устройств, подключённых к порту JTAG. Стандарт используется как при работе с корпусированными микросхемами, припаянными к плате, так и для целей внутрисхемного программирования и отладки программ. Эта же технология применяется для проверки на качество припайки микросхем к плате. Стандарт также применяется при проверках межплатного и внутристоечного монтажа плат и блоков. Если же говорить о времени жизни изделия, то использование интерфейса JTAG начинается с момента разработки изделия и продолжается при серийном выпуске. Даже при обслуживании на этапах эксплуатации этот интерфейс используется для тестирования и для изменения конфигурации изделия.

Применение устройств, работающих с этим интерфейсом, началось со стандарта IEEE 1149.1, который применялся главным образом для граничного сканирования. Но при использовании технологии граничного сканирования выяснилось, что стандарт легко приспосабливается и для более широких задач. Поэтому несколько позже был введён стандарт IEEE 1149.4. Принятие этой редакции стандарта было вызвано потребностями внутрисхемного программирования и отладки. Дальнейшее развитие технологии граничного сканирования получила в связи с потребностью сканирования аналоговых цепей.

Так как же работает механизм граничного сканирования и как осуществляется тестирование? Вся «хитрость» здесь заключена в том, что между ядром микросхемы и её выводами помещается мультиплексор, который может вместо ядра подключать к выводам сдвиговый регистр, называемый регистром граничного сканирования (Boundary Scan). Каждому конкретному выводу соответствуют так называемые «ячейки». В состав ячейки входит один из тригге-

ров регистра граничного сканирования, мультиплексор данных и буфер, связывающий вывод микросхемы с мультиплексором и триггером. Ячейки бывают нескольких типов в зависимости от вывода микросхемы и команд интерфейса, для которых этот вывод предназначен.

При передаче по JTAG в микросхему поступают данные от мастера интерфейса. А какие же данные получает пользователь? Сигналы на регистр микросхемы подаются через мультиплексор, который может считывать как состояние выводов ядра микросхемы (режим INTEST), так и данные, поступающие на сдвиговый регистр «извне» (режим EXTEST). Обычно для граничного сканирования используют несколько режимов, обеспечивающих следующие возможности:

- в режиме работы EXTEST обеспечивается возможность установки логических значений на рабочих контактах электронных компонентов, что позволяет частично или полностью проверить внешние цепи, имеющие непосредственное отношение к тестируемому компоненту;
- в режиме работы INTEST обеспечивается возможность установки логических значений внутри микросхемы, то есть на входах её ядра, что позволяет частично или полностью проверить ядро микросхемы;
- режим работы SAMPLE/PRELOAD позволяет тестировать ядро электронного элемента в статическом режиме, устанавливая значения логических уровней на границе его выходных буферов;
- BYPASS – команда обхода, при которой вся цепочка внутри микросхемы «вырождается» только в один триггер. При этом данные со входа передаются на выход с задержкой в один такт частоты синхронизации интерфейса. Такой режим позволяет эффективно использовать возможности последовательного интерфейса при организации длинных последовательно объединённых цепочек.

Существуют и другие режимы работы микросхемы, оговоренные в стандарте. Все эти режимы по возможности будут рассмотрены далее при более подробном описании работы порта JTAG.

ПРИМЕНЕНИЕ РЕЖИМА ГРАНИЧНОГО СКАНИРОВАНИЯ НА УРОВНЕ МИКРОСХЕМЫ

При помощи граничного сканирования можно, например, при отладке проекта в FPGA, получать на входах ядра микросхемы те сигналы, которые в реальной ситуации получить трудно. Примером может послужить какой-нибудь сигнал аварии или сбоя при приёме информации. Для того чтобы воспроизвести такой сигнал при реальной работе, необходимо в поток данных вносить специальную «неисправность». Представьте, что мы хотим увидеть то, как будет реагировать наш проект в FPGA на поступающий к нему извне сигнал рассинхронизации цифрового потока данных, называемого в телефонии E1. Аппаратура, воспроизводящая «неисправный» цифровой поток, может оказаться дороже и «дефицитней», чем та, которую мы разрабатываем. Так как же проверить, что FPGA получает сигнал и его обрабатывает? По технологии JTAG, применяя граничное сканирование, надо только подать пару команд и сдвинуть соответствующую последовательность данных в регистр сканирования, и сигнал, который мы хотели увидеть, появится. Конечно, он будет иметь другие временные характеристики, но ведь, как говорится, это «почти даром». Ещё одним важным достоинством технологии граничного сканирования является то, что она позволяет вместо множества пробников использовать только единственный интерфейс с четырьмя проводами – JTAG.

ПРИМЕНЕНИЕ РЕЖИМА ГРАНИЧНОГО СКАНИРОВАНИЯ НА УРОВНЕ ПЛАТЫ

Для того чтобы проводить проверку на уровне платы, компоненты, имеющие интерфейс граничного сканирования, должны быть соединены в последовательную цепочку, начинающуюся от вывода TDI и заканчивающуюся на выводе TDO. Платы, составленные из компонентов, которые на 100% соответствуют 1149.1, могут быть проверены векторным тестовым набором, сгенерированным программно. Такой класс программ называется ATPG (Automatic Test Program Generation). В случае применения микросхем, имеющих порт

DC/DC-преобразователи для жёстких условий эксплуатации

Диапазон рабочих температур от -40 до +100°C (основание корпуса)

Высокий показатель надёжности

Стойкость к внешним факторам

Стандартный набор сервисных функций



JTA серия

10/15/20 Вт

- Небольшие габариты
- КПД до 84%
- Широкий диапазон входных напряжений: 9...36 и 18...75 В
- Одноканальные и двухканальные модели
- MTBF: 1 000 000 час (MIL-HDBK-217F)



ICH серия

50/75/100/150/200 Вт

- Гальваническая развязка вход-выход 1500 В (постоянное напряжение)
- КПД до 85%
- Диапазоны входных напряжений: 9...36, 18...75, 18...36 и 36...75 В
- Одноканальные и двухканальные модели
- Защита от короткого замыкания нагрузки длительного действия
- Экранированный с пяти сторон корпус
- MTBF: >1 000 000 час (MIL-HDBK-217F, при 25°C)



THE XPERTS IN POWER

ProSOFT®

Тел./факс: (495) 234-0636/0640
info@prosoft.ru • www.prosoft.ru

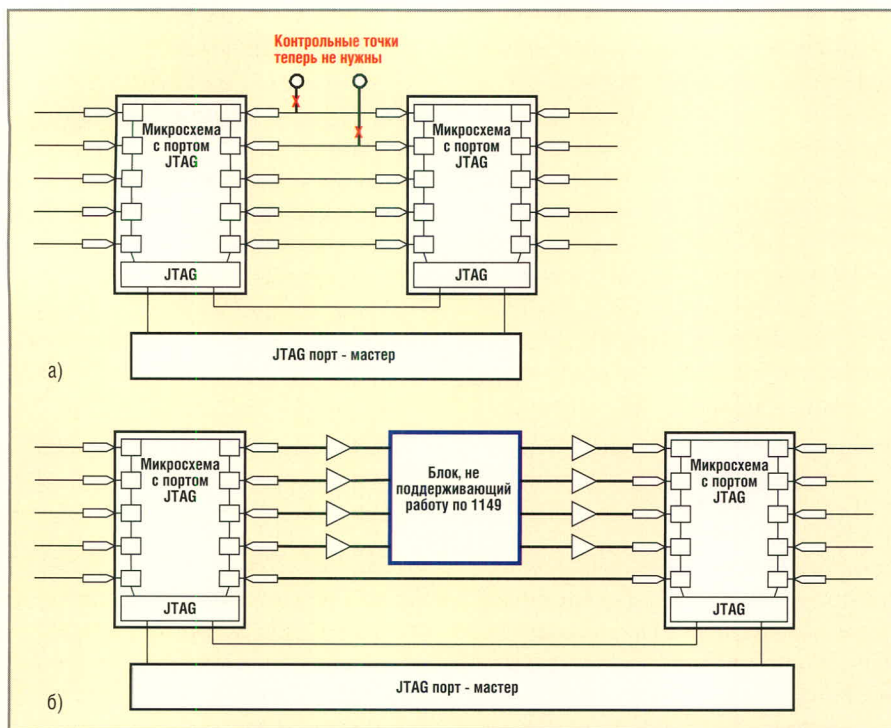


Рис. 3. Подключение в цепочку сканирования микросхем, имеющих порт JTAG (а); подключение в цепочку сканирования кластера из микросхем, не имеющих порта JTAG (б)

JTAG, ATPG обеспечивает 100-% охват тестируемого изделия при поиске ошибок, и при этом отпадает необходимость в применении контрольных гнезд для проверки наличия сигналов (см. рис. 3а). Многочисленные аппаратные тестеры, проверяющие платы по интерфейсу JTAG, обладают разной производительностью и, соответственно, разной ценой. Разработчик устройств всегда может выбрать то тестирующее оборудование, которое при его условиях производства даст наибольшую экономию усилий и устранит необходимость проведения дорогих испытаний, проводимых вручную. Если часть микросхем на плате не имеет портов JTAG, такие микросхемы при тестировании могут быть выделены в отдельные кластеры, на которые подаются тестовые воздействия и с которых через микросхемы, имеющие порты JTAG, получают результаты тестирования (см. рис. 3б). В последнем случае тестовые воздействия составляются таким образом, чтобы учесть характеристики кластера, не охваченного цепочкой граничного сканирования и считающегося «чёрным ящиком».

Фактически даже один компонент, находящийся на плате и имеющий интерфейс граничного сканирования, значительно упростит проведение испытаний, особенно если он

представляет собой сложную микросхему, например, микропроцессор, FPGA или специализированную интегральную схему. Положительный эффект становится наиболее заметным в случае применения микросхем в корпусах BGA с большим количеством входов и выходов.

Как было сказано выше, для разработки тестов обычно используют программные инструменты. Поскольку программы проверяют только связи между компонентами, им не надо «знать» начинку микросхем. То есть вся внутренняя логика микросхемы не участвует в создании тестовых наборов. Для таких программ совершенно нет различий в том, что за выводы имеет микропроцессор. Важно только, может ли конкретный выход быть входом, выходом, входом-выходом и можно ли его переключать из состояния «приём» в состояние «передача». Далее состояние такого вывода приписывается к его граничной ячейке. Таким образом, сигнал с каждого входа устройства может быть прочитан его граничной ячейкой, и, соответственно, сигнал на каждый выход устройства может быть выдан из его граничной ячейки.

Для проведения испытаний применяются специальные языки описания. Стандарт IEEE 1149.1 определяет синтаксис языка описания гра-

ничного сканирования – BSDL. Язык описывает выводы ИС и порядок работы встроенной в неё испытательной схемы, например, граничный регистр, дополнительные регистры, набор команд и коды операций. Файлы BSDL поставляются изготовителями устройств, соответствующих IEEE 1149.1.

Таким образом, на уровне платы производство испытаний на граничное сканирование может быть полностью автоматизировано. Для ATPG требуется только список цепей платы (NET-лист) и модели BSDL для каждого из находящихся на плате устройств, соответствующих IEEE 1149.1.

ПРИМЕНЕНИЕ ГРАНИЧНОГО СКАНИРОВАНИЯ НА УРОВНЕ МНОГОПЛАТНОЙ СИСТЕМЫ

На уровне многоплатной системы также могут быть организованы одна или несколько цепочек граничного сканирования. Цепочки граничного сканирования, входящие в систему плат, желательно подключать к основной плате так, чтобы каждая плата проверялась по отдельной цепи граничного сканирования. В этом случае ошибки в цепи граничного сканирования одной платы не будут влиять на проверку других плат и всей системы в целом.

То же самое можно сказать и о самотестировании для встроенных систем. Если у проверяемой системы нет встроенного порта для проведения граничного сканирования, изготовителю оборудования необходимо выполнять трудоёмкие испытания на функционирование. Для этого надо разрабатывать специальные тесты для каждого режима испытаний. Преимущество проекта, поддерживающего режим граничного сканирования, состоит в возможности применить те же самые тесты, которые уже использовались для испытаний плат и узлов, составляющих данное изделие.

ГРАНИЧНОЕ СКАНИРОВАНИЕ НА РАЗНЫХ ЭТАПАХ ЖИЗНИ ИЗДЕЛИЯ

Использование технологии граничного сканирования в микросхеме, на плате или в устройстве добавляет стоимость и увеличивает время разработки проекта. Однако эти затраты легко окупаются при проведе-

нии автоматического тестирования, которое обеспечивается на каждой стадии цикла жизни изделия. То, что было первоначально разработано как производственный испытательный инструмент, используется до начала производства, во время серийного производства и после производства, то есть на этапе эксплуатации.

Кроме непосредственно граничного тестирования, проектировщики используют технологию JTAG для того, чтобы производить само-тестирование (BIST) (в тех компонентах, где оно реализовано) и/или загружать внутренние значения в регистры устройства или программировать микросхемы ПЗУ. Тесты, которые были разработаны и использованы на этапе проектирования, могут быть переданы производству, для того чтобы обеспечить дополнительное снижение стоимости и времени на проверку изделий при выходном контроле.

Основные положительные эффекты от применения технологии JTAG в производственной фазе – экономия времени при разработке испытательных тестов, улучшенный «охват» тестируемого изделия при поиске ошибки и диагностировании и улучшенная производительность испытаний при одновременном уменьшении времени испытания.

Применение граничного сканирования при эксплуатации изделия также даёт определённый положительный эффект. Отказы при эксплуатации часто происходят из-за структурных отказов, которые вызваны повышенной температурой, влажностью, вибрацией. Используя граничное сканирование, техники имеют возможность быстро проверить изделие на структурные ошибки вплоть до уровня компонентов без трудоёмкого исследования или возвращения платы изготовителю на завод. Устранение трудоёмких тестов позволяет производить более эф-

фективную диагностику и ремонт, что уменьшает стоимость и время простоя.

Несколько слов о программах тестирования изделий

В качестве примера программы тестирования можно привести пакет программ фирмы Corelis [14]. Эти программы позволяют автоматически сформировать файл тестовых воздействий, проанализировать, насколько полно «покрывается» тестированием проверяемое изделие, выполнить тестовую программу и сообщить пользователю о результатах тестирования. Кроме автоматического режима тестирования существует ручной интерактивный режим. Результаты тестирования могут быть представлены как в виде таблиц с сообщениями об ошибках, так и более наглядно – в виде фрагмента PCB, с указанием возможной точки проявления неисправности. Существует режим, когда тестовые воздействия визуализируются, как на экране логического анализатора.

Тесты для отдельных плат могут быть объединены в тесты для всего проверяемого изделия. Кроме программ тестирования в пакет входят программы In-System Programming. Они позволяют программировать Flash-микросхемы непосредственно в устройстве.

Интерфейс JTAG – это очень просто!

Что же такое интерфейс с портом JTAG?

Интерфейс – это совокупность названий сигналов, их логических и электрических взаимосвязей и конструкторская реализация устройства для этих сигналов.

Что касается интерфейса с портом JTAG, то для двух последних составляющих интерфейса в приведённом выше определении всё представляется довольно просто. Поскольку

сам JTAG не является основным интерфейсом аппаратуры, то производители не придерживаются жёстких правил при его реализации, как это, например, имеет место для интерфейсов PCI. Электрические характеристики сигналов обычно выбираются так, чтобы соответствовать стандартам TTL, LVTTTL, CMOS, LVC-MOS и др. Что же касается конструкции разъёмов, то тут царит полный хаос. Каждый из производителей микросхем предлагает свой вариант разъёма для связи с портом. На сайте фирмы Amontec можно найти документ, в котором приведено расположение сигналов порта JTAG для некоторых наиболее распространённых абонентов порта и различные варианты конструкции разъёмов [16]. Таким образом, остаётся описать только названия и логические соотношения сигналов при работе порта. Автор заранее просит прощения у тех читателей, которые знакомы с данным интерфейсом. Они могут смело пропустить последующую главу.

Весь набор сигналов интерфейса JTAG представлен в табл. 1. К сигналам интерфейса относятся:

- сигнал данных на передачу – TDO;
- сигнал данных на приём – TDI;
- тактовая частота – TCK;
- сигнал управления – TMS.

Есть только один мастер интерфейса, который полностью контролирует работу всех абонентов, подключённых к цепочке. И так как интерфейс JTAG – это интерфейс с косвенной адресацией, то все тестовые воздействия выдаются двумя циклами – сначала записывается адрес и только потом данные. Причём можно выдавать несколько команд сканирования данных по одному адресу.

Как указывалось выше, интерфейс JTAG – синхронный. Сигналы данных и управления принимаются по переднему фронту сигнала TCK. Данные передаются младшим значащим битом «вперед» и только в течение со-

Таблица 1. Основные сигналы интерфейса

Название сигнала	Описание
TDO (Test Data Output)	Выход последовательных данных. Этот сигнал используется для передачи данных. Этот выход должен находиться в третьем состоянии, когда данные не передаются на этот выход
TDI (Test Data Input)	Вход последовательных данных. Этот сигнал используется для приёма данных. По умолчанию на этом порте должна присутствовать 1
TCK (Test Clock Input)	Вход синхроимпульсов, формируемых внешним хостом
TMS (Test Mode Select Input)	Вход выбора режима. Этот сигнал управляет режимом работы TAP. По умолчанию на этом порте должна присутствовать 1
Test Reset (TRST*)	Дополнительный сигнал порта, предназначенный для асинхронного сброса TAP-контроллера. По умолчанию равен 1. Активный уровень – 0

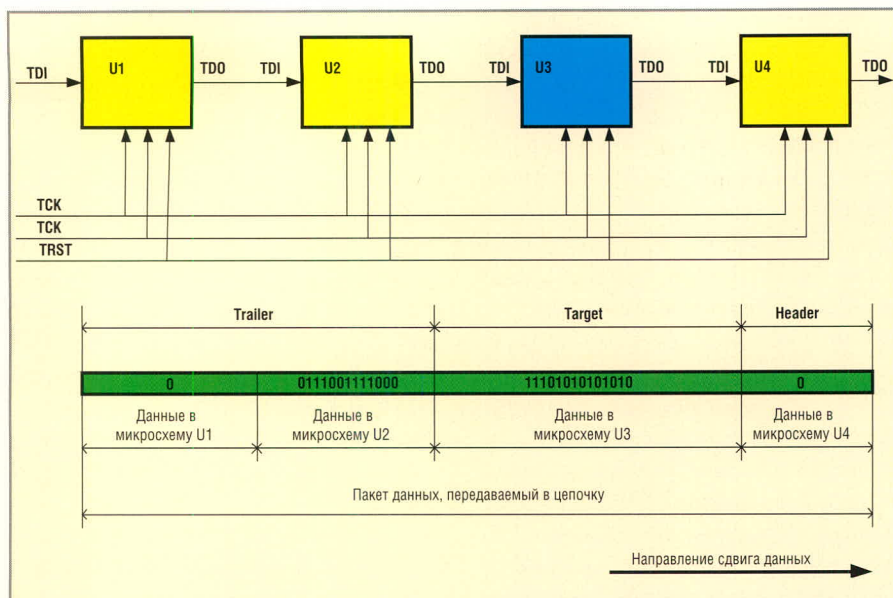


Рис. 4. Соединение четырёх абонентов интерфейса в цепочку, подключенную к одному порту мастера

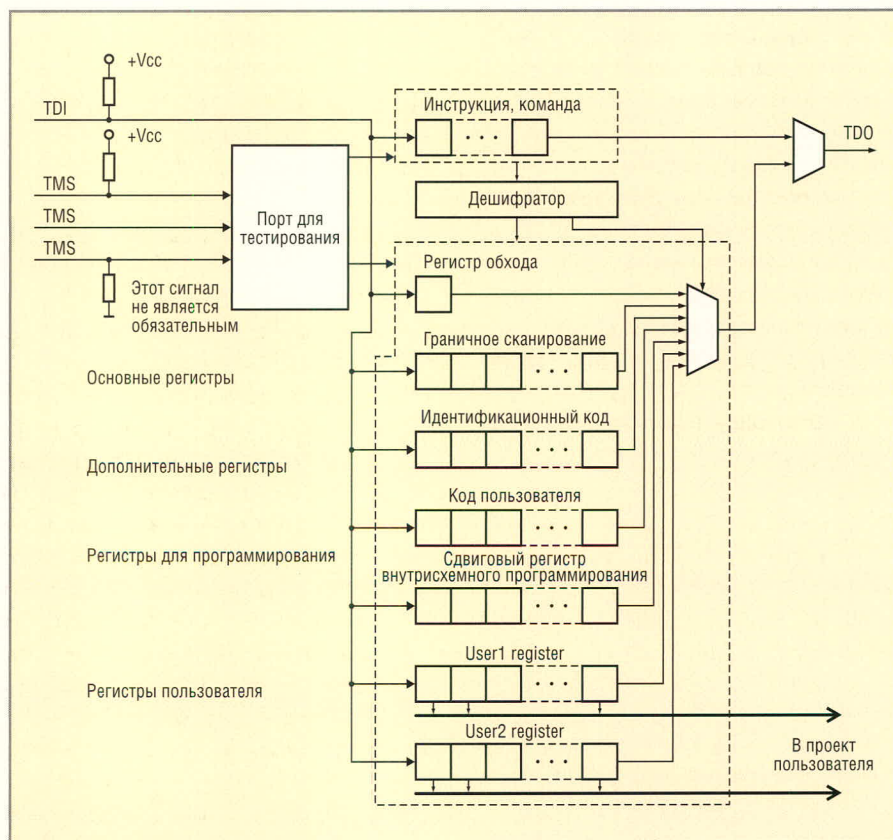


Рис. 5. Блок-схема TAP

стояний автомата управления TAP (см. диаграммы работы TAP контроллера) – Shift-IR или Shift-DR. Выходные данные выставляются под задний фронт сигнала TCK.

Как мы теперь уже знаем, JTAG применяется как универсальный интерфейс, который можно использовать для тестирования не только отдельных микросхем, но и плат, и даже целых устройств, состоящих из нескольких плат. На рис. 4 показано

соединение четырёх абонентов интерфейса в цепочку, подключенную к одному порту мастера. Абоненты интерфейса включаются следующим образом:

- сигналы управления интерфейсом TMS, TCK и опциональные сигналы TRST и STRST включаются ко всем абонентам параллельно;
- сигналы данных передаются последовательно от порта к первому абоненту, от него к следующему, и т.д.

Последний абонент возвращает данные в порт.

Поскольку сигналы управления подаются параллельно, у нас есть возможность управлять микросхемами, но только всеми одновременно! Чтобы к нужной микросхеме в нужный момент пришли данные, необходимо учитывать её место в цепочке. Для этого в специализированном языке SVF, применяющемся для описания процедур работы с портом, имеются следующие термины – Header (заголовок), Target (цель), Trailer (хвостовик). Представим, что мы хотим изменить режим работы микросхемы Target. Для этого сначала в испытываемую цепь «проталкиваются» данные, относящиеся к Header, затем к Target и, наконец, к Trailer (см. рис. 4).

Действительно, все микросхемы в цепочке одновременно выполняют команду, например, «принять код команды». Но вот сами коды команды передаются по последовательной цепочке, и эти коды могут быть разными для разных абонентов. На рис. 4 зелёным цветом показан пакет данных, передаваемых в JTAG-цепочку. На этапе передачи команды в такой кадр выстраиваются команды, которые будут выполнять микросхемы. Соответственно, получив разные команды, абоненты выполняют разные действия. После этого на этапе передачи данных в такой же кадр собираются данные, передаваемые в цепочку.

ПОРА «ЗАГЛЯНУТЬ ВНУТРИ» МИКРОСХЕМЫ

Вот теперь настал момент «заглянуть внутрь» микросхемы. Как работает интерфейс? Как обрабатываются данные? Чем данные отличаются от команды? Как принятая команда поступает на исполнение?

Поскольку используется интерфейс с последовательной передачей данных, то, без сомнения, в микросхеме должны присутствовать входной и выходной сдвиговые регистры. Также должен быть автомат, который управляет режимом работы TAP, и выходной мультиплексор, коммутирующий на выход данные с регистра, выбранного для текущего режима работы. Структура интерфейса представлена на рис. 5.

На рис. 6 приведён фрагмент программы Boundary Scan Coach, а

именно типовая структура узлов JTAG-сканирования, встроенных в микросхему. На этом и на других рисунках, представляющих окна программы Boundary Scan Coach, различные функциональные узлы выделены:

- функциональная часть микросхемы Core Logic – коричневым цветом;
- JTAG-регистры – зелёным цветом;
- выводы микросхемы – серым цветом;
- контроллер JTAG-порта – голубым цветом;
- путь прохождения данных по регистру граничного сканирования – красным цветом.

Переходы, выполняемые при работе с командами

Последовательный интерфейс JTAG предназначен для записи и чтения данных и команд управления от хост-процессора. Команды управления интерфейсом записываются в регистр косвенного адреса. Данные записываются или считываются из того регистра, на который указывает регистр косвенного адреса. Итак, существуют отдельные циклы записи адреса и чтения-записи данных.

Рассмотрим режимы работы управляющего автомата. Автомат имеет 16 состояний. Управление интерфейсом осуществляется пу-

тём воздействия на автомат контроллера JTAG-порта. Сигналы управления от хоста приходят на контроллер JTAG-порта и поступают на вход TMS. Переходы автомата выполняются под управлением сигнала TMS по переднему фронту сигнала TCK. Чтение и запись данных производится одновременно. Данные в микросхему выдаются на вывод TDI, а принимаются из микросхемы с вывода TDO.

Наилучшим образом управляющий автомат JTAG-сканирования представлен в описании работы микросхем фирмы Altera [10]. Диаграмма переходов автомата приведена на рис. 7, где рядом со стрелками указано значение сигнала TMS, при котором происходит соответствующий переход.

Ниже описание работы автомата будет сделано только для тех переходов, которые необходимы для понимания работы интерфейса. Кроме этих переходов, автомат может выполнять и другие переходы, но приведённых здесь сведений будет достаточно для того, чтобы читатель смог сам проанализировать действия управляющего автомата.

Состояния диаграммы переходов:

- Test-Logic-Reset – исходное состояние;
- Run-Test/Idle – переходное состояние контроллера при выполнении

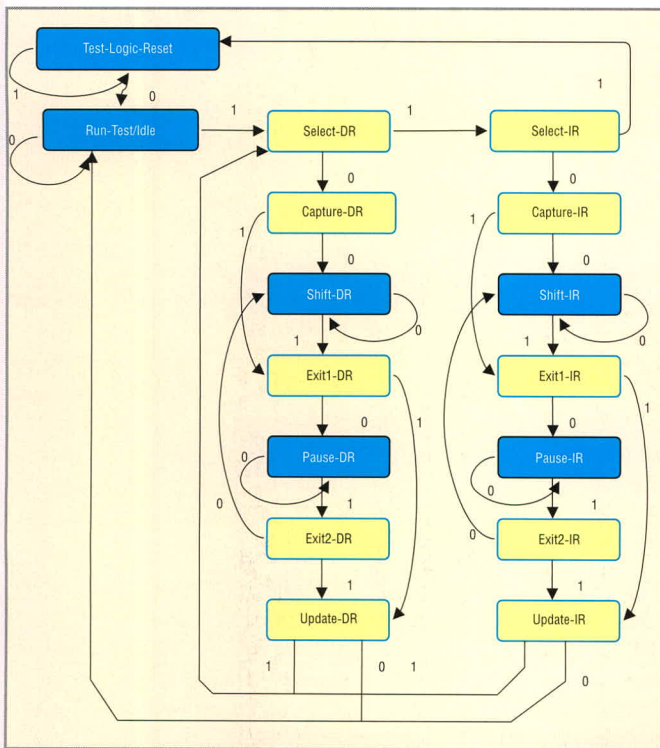


Рис. 7. Диаграмма переходов статического автомата, управляющего режимами работы TAP

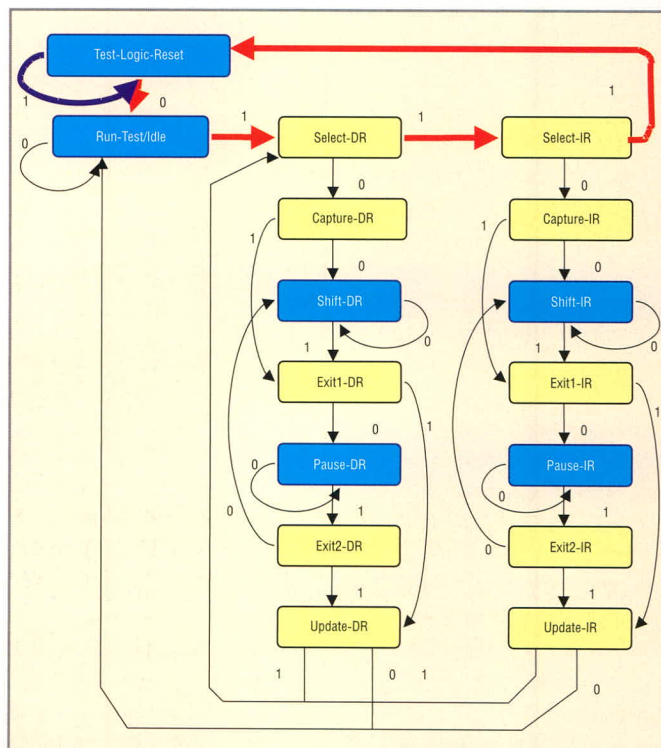


Рис. 8. Диаграмма переходов при подаче на вход TMS сигнала «лог. 1»

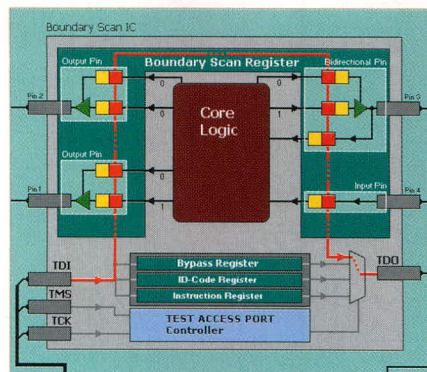


Рис. 6. Структура узлов JTAG-сканирования

тестов или ожидании следующей команды;

- Select-IR, Select-DR – состояние, после которого будет производиться тестирование команд, данных;
- Capture-IR, Capture-DR – состояние приёма команд, данных;
- Shift-IR, Shift-DR – состояние сдвига команд, данных;
- Exit1-IR, Exit2-IR – выход из режима работы с командами;
- Exit1-DR, Exit2-DR – выход из режима работы с данными;
- Pause-IR, Pause-DR – состояние паузы;
- Update-IR, Update-DR – состояние перезаписи данных в выходные регистры.

ДИАГРАММА ПЕРЕХОДОВ по IEEE STD 1149.1

Контроллер TAP сразу после включения находится в состоянии

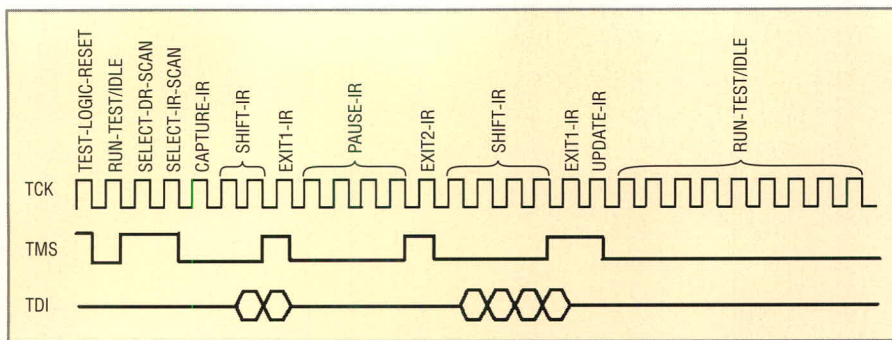


Рис. 9. Диаграмма сигналов при выполнении переходов для загрузки команды

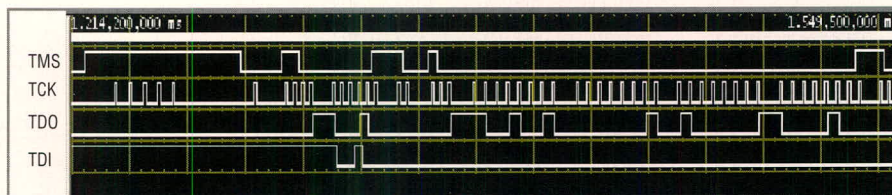


Рис.10. Диаграмма «JTAG-ребус»

Test_Logic_Reset (исходное состояние). До тех пор, пока сигнал TMS имеет значение «лог. 1» (по умолчанию), состояние автомата остаётся неизменным. Обычно в этом случае по умолчанию выбран регистр «Идентификация устройства» или «Регистр обхода». Сигнал сброса TRST не является обязательным, потому для сброса автомата в исходное состояние применяют следующую процедуру. Необходимо подать на вход TMS сигнал высокого уровня и удерживать его не менее 5 тактов частоты TCK. Именно поэтому на входе TMS устанавливают опорный резистор. Если сигнал TMS будет установлен хостом в низкий уровень, то автомат перейдёт к состоянию Run_Test/Idle (активное состояние, в котором ничего не происходит). Обычно из этого состояния можно перейти в состояние Select_IR_Scan, для того чтобы загрузить в контроллер новую инструкцию. Но если на вход сигнала TMS подействует не сигнал, подаваемый от хоста, а помеха низкого уровня, то, как и в предыдущем случае, автомат перейдёт в состояние Run_Test/Idle. Если же кратковременная помеха (длительностью не более одного периода синхросигнала) прекратится, то автомат через три такта снова вернётся в исходное состояние – Test-Logic-Reset. Диаграмма переходов при подаче на вход TMS сигнала «лог. 1», соответствующих устойчивому состоянию сброса – Test-Logic-Reset, представлена на рис. 8. Переход выделен синим цветом. Красным цветом выделены переходы при кратков-

ременной помехе на входе. Исходя из этого, разработчик может определить максимальную рабочую частоту работы порта. Что же касается предельной тактовой частоты, то она также может быть указана в BSDL-файле.

Чтобы загрузить в контроллер новую команду, надо из состояния Run_Test/Idle перевести автомат в состояние Select_IR, Capture_IR, Shift_IR. Затем необходимо «продвинуть» в цепочку данных новую команду, а потом перевести автомат через состояния Exit1_IR, Update_IR и снова в Run_Test/Idle. Диаграмма переходов для этого показана на рис. 8 и выделена красным цветом.

Необходимо обратить внимание, что команда передаётся в состоянии автомата Shift_IR и при этом на входе TMS присутствует сигнал низкого уровня. Для того чтобы выйти из этого состояния и перейти к следующему, необходимо на входе TMS установить сигнал высокого уровня. Сигнал высокого уровня должен быть выдан с последним битом команды, передаваемым от TDI к TDO. То же самое условие необходимо будет соблюдать во всех операциях с портом JTAG при работе автомата в состояниях Shift_IR и Shift_DR. На рис. 9 показана диаграмма сигналов при выполнении переходов для загрузки команды. На экране логического анализатора это выглядит так, как представлено на рис. 10. Без программных средств расшифровывать такие диаграммы довольно затруднительно, но при определённых зна-

ниях возможно. Назовём нашу диаграмму «JTAG-ребус». Забегая вперед, дадим подсказку. Для того чтобы успешно «расшифровать» эту диаграмму, нужно посмотреть на те моменты времени, где присутствует сигнал TMS = 1. Это означает изменение режимов. Ответ на «JTAG-ребус» будет предоставлен читателям в дальнейшем.

Продолжение следует

ЛИТЕРАТУРА

1. <http://www.analog.com>.
2. www.eltech.spb.ru.
3. Boundary Scan Coach. GOEPEL Electronic. <http://www.goepel.com>.
4. <http://www.pld.ttu.ee/applets>.
5. <http://www.universalscan.com>.
6. Платунов А.Е., Постников Н.П., Чистяков А.Г. Механизмы граничного сканирования в неоднородных микропроцессорных системах. Chip News. http://lmt.cs.ifmo.ru/article_chip_news.html.
7. Рустин В., Городецкий А. Разделяй и властвуй – принцип граничного сканирования. Chip News. http://chip-news.gaw.ru/html.cgi/архив/01_06/stat-3.htm.
8. Каршенбойм И. Виртуальные кнопки и светодиоды, или Неизвестное обо всём известном JTAG сканировании. Компоненты и технологии. 2005. № 6.
9. <http://www.national.com/appinfo/scan/index.html>.
10. IEEE 1149.1 (JTAG) Boundary-Scan Testing for Stratix II Devices. Altera. Chapter 9. www.altera.com.
11. Kuznetsov D. JTAG Boundary-Scan Test – introduction. http://www.orc.ru/~dkuzn/j_intro.htm.
12. <http://jtagtools.sourceforge.net/download.html>.
13. IEEE Standard Test Access Port and Boundary-Scan Architecture. IEEE Std 1149.1-2001.
14. Boundary-Scan Test and In-System Programming Software. Corelis. http://www.corelis.com/products/Test_Software.htm.
15. Serial Vector Format Specification. ASSET InterTech. Texas Instruments. www.asset-intertech.com/support/svf.pdf.
16. www.amontec.com. JTAG Interface: Common Pinouts amt_ann003 (v1.1). Application Note.
17. EIA/JEP106, JEDEC Publication 106, Standard Manufacturer's Identification Code.
18. Каршенбойм И. Микропроцессор своими руками/4. Как отладить встроенный в FPGA микроконтроллер? Компоненты и технологии. 2006. № 11.

У Matsushita готова батарея значительно более ёмкая, чем нынешние аналоги

Компания Matsushita объявила о том, что ею разработан прототип литиево-ионной аккумуляторной батареи, которая имеет существенно более высокую ёмкость, нежели аналогичные решения, присутствующие на рынке. Прототип батареи использует для отрицательного электрода металлический сплав вместо традиционного графита. Благодаря этой инновации ёмкость аккумулятора стандартного размера удалось довести с 2,9 до 3,6 Ач.

Кроме увеличившейся ёмкости новая разработка Matsushita имеет и ещё одно преимущество перед другими решениями – в такие батареи интегрирован слой защиты от тепла HRL (heat resistance layer), что позволит защитить продукт от перегрева, являвшегося в недавнем прошлом причиной многих коротких замыканий. HRL будет использоваться и в батареях Matsushita ёмкостью 2,9 Ач.

<http://techon.nikkeibp.co.jp>

NME запатентовала Versatile Multilayer Disc

Компания NME сообщает о получении соответствующего патента на свою технологию Versatile Multilayer Disc (VMD). Если ранее для VMD упоминалась возможность работы с дисками, имеющими до 20 слоёв (5 Гб на каждом слое), то сейчас источник сообщает лишь о восьми несущих слоях для VMD. Особенностью технологии является то, что она одинаково хорошо подходит для создания дисков как на синем лазере, так и на красном. VMD также рассчитана на одно- и двухсторонние диски, а также на мультимедийную запись, включая Blu-ray и HD-DVD. Патент NME описывает основные принципы технологии для создания недорогих многослойных оптических носителей. Описаны принципы модифицированного процесса 2P, который нужен для создания более чем двух слоёв на одностороннем диске, а также позволяет создавать копии многослойных дисков.

www.cdrinfo.com

В США запатентована технология ExtremeUSB для USB 2.0

Корпорация Icron Technologies, создавшая технологию ExtremeUSB, объявила о получении американского патента на свою разработку. Теперь патент распро-

страняется и на вариант ExtremeUSB для высокоскоростного соединения USB 2.0.

Патент, озаглавленный «Метод и оборудование для расширения радиуса действия протокола универсальной последовательной шины», строится на базе ранее полученного патента, относящегося к увеличению дальности действия USB 1.1. Изобретение, описанное в патенте, обеспечивает связь на большом расстоянии или с увеличенными задержками между высокоскоростным (480 Мбит/с) контроллером и обычными (12 Мбит/с) периферийными устройствами. Кроме того, он включает поддержку периферийных устройств, соответствующих спецификациям USB 2.0.

Технология ExtremeUSB 2.0 позволяет разработчикам и производителям ПК, периферийных устройств и потребительской электроники увеличить дальность связи устройств с интерфейсом USB 2.0 по витой паре, оптоволоконной линии, сети электропитания или беспроводному каналу без каких-либо изменений в существующей «экосистеме» USB. Другими словами, технология рассчитана на работу без установки драйверов, обновления встроенного программного обеспечения или изменения параметров конфигурации. Декларируется поддержка операционных систем Windows, MAC OS, Linux, Unix и Solaris.

www.icron.com

HD DVD: 10-слойные диски объёмом 150 Гб – на горизонте

Базовая спецификация формата HD DVD предусматривает выпуск таких носителей, имеющих до 10 рабочих слоёв и, как следствие, рабочий объём до 150 Гб. Группа создателей формата намерена в ближайшем времени представить трёхслойные носители, имеющие ёмкость до 51 Гб (17 Гб на один слой). Первой из компаний, у которой готов рабочий прототип такого носителя, стала, что неудивительно, Toshiba. Производитель заверяет, что затраты на добавление третьего рабочего слоя минимальны и диск имеет ту же физическую структуру, что и более ранние решения того же формата. Утверждение новых носителей организацией DVD Forum ожидается в текущем году.

В то время как Toshiba представляла свои достижения публично, Ritek делала это за закрытыми дверями. Как говорилось на презентации Ritek, этот производитель шагнул ещё дальше. Он также имеет уже в своём активе трёхслойные

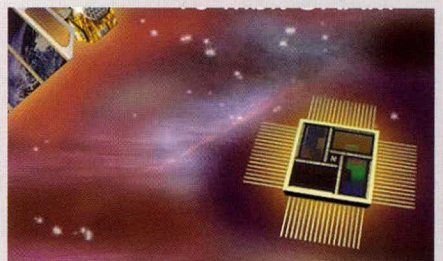
накопители HD DVD, но, кроме того, уже разработал дизайн для производства десятикратных носителей этого формата. Последняя разработка также может быть применена Ritek и в производстве дисков Blu-ray, что даст объём в 250 Гб на одном оптическом носителе. Основной проблемой, мешающей коммерческому внедрению разработок Ritek, является отсутствие в текущий момент лазерных диодов с мощностью, достаточной для чтения и записи дополнительных слоёв.

<http://www.dailytech.com/>

Atmel выпускает память для космических аппаратов, которая не боится радиации

Технология упаковки нескольких чипов в одном модуле (Multi-Chip Module, MCM) имеет несколько преимуществ. Во-первых, уменьшается место, занимаемое микросхемой на печатной плате, во-вторых, сокращается количество компонентов, в-третьих, повышается общая эффективность конструкции. Технология MCM была выбрана компанией Atmel для новых приборов памяти – AT68166.

Новинка представляет собой 16-мегабитную статическую память с произвольным доступом (SRAM), предназначенную для космических аппаратов. Её применение позволяет уменьшить площадь печатной платы на 50%, а вес конструкции – на 75% по сравнению с применением четырёх 4-Мбит микросхем.



Внутри многочипового модуля AT68166 находится четыре кристалла AT60142, выпускаемых по технологии CMOS. Для достижения высокой степени защиты от радиации используется технологический процесс с нормами 0,25 мкм и вентили с повышенным порогом переключения.

Логически модуль может быть организован в один банк 512 Кб × 32, два банка 512 Кб × 16 или четыре банка 512 Кб × 8. Память рассчитана на питание от источника напряжением 3,3 В. Доступны две модификации, различающиеся входными цепями и быстродействием: 25 и 20 нс.

www.atmel.com

Реализация упрощенного веб-сервера на базе ПЛИС FPGA Virtex-4, использующего встроенные аппаратные ядра микропроцессора PowerPC и трехрежимные ядра Ethernet MAC

Печатается с разрешения фирмы Xilinx (www.xilinx.com)

Джу Сан, Питер Райзер (США)
Перевод Игоря Метина

Статья посвящена реализации на базе ПЛИС Virtex-4 системы на кристалле, содержащей аппаратные ядра микропроцессора PowerPC и Ethernet-контроллера TEMAC. Рассмотрен вариант микропроцессорной системы, обеспечивающей поддержку протокола TCP/IP, причём все необходимые аппаратные и программные ресурсы размещены на одном кристалле ПЛИС

Модуль Ultra Controller-II (UCM) трёхрежимного (Tri-mode) управления доступом к среде передачи данных Ethernet (TEMAC) представляет собой встроенный сетевой обрабатывающий блок минимального размера, выполненный на процессорном ядре PowerPC™ 405 (PPC/405) и ядре TEMAC в составе платформы ПЛИС FX Virtex™-4 компании Xilinx. Модуль позволяет взаимодействовать с системой, основанной на Virtex-4, через соединение Ethernet и при помощи протокола TCP/IP управлять системой на расстоянии нескольких миль. Проект использует минимальные ресурсы и гарантирует достаточное количество логических элементов для реализации приложения.

В данной статье рассматривается реализация системы на базе отладочной платы ML403, а также представ-

лено несколько приложений, которые можно выполнять в реализованной системе.

ВОПЛОЩЕНИЕ

Модуль TEMAC UCM использует важные новшества платформы ПЛИС серии Virtex-4 для реализации приложений TCP/IP с привлечением минимальных ресурсов, как показано на рисунке 1. Вся схема содержит одно встроенное ядро PPC405, один интегрированный TEMAC, два буферных FIFO от Virtex-4, двадцать разрядных секций триггеров и 18 таблиц преобразования (LUT).

На плате ML403 модуль UCM TEMAC соединён с физическим уровнем (PHY) через гигабитный интерфейс независимой среды (GMII) и интерфейс ввода-вывода управляющих данных (MDIO) и автоматически со-

гласуется с тремя скоростными режимами Ethernet (10/100/1000 Мбит/с). Другие возможные физические интерфейсы, например, RGMII и SGMII, требуют минимальных изменений в эталонном проекте, который предоставляется в качестве исходного кода.

Программное обеспечение (ПО) перенесено из стека с открытым исходным кодом µIP TCP/IP и полностью выполняется в пределах 16 Кб кэш-памяти команд и 16 Кб кэш-памяти данных ядра PPC405. ПО получает доступ к кадрам Ethernet в двух FIFO через интерфейс внутрикристалльной памяти (OCM) PPC405. Одни буферы FIFO вводят кадры Ethernet, в то время как другие буферы FIFO выводят их. Буферы также работают в качестве элементов, синхронизирующих интервалы тактовых импульсов между PPC405 OCM и TEMAC. Ядро PPC405 способно выполнять ПО на максимальной частоте, например, 350 МГц в скоростной группе ПЛИС «-10».

Приложение, описанное в Руководстве по применению XAPP807 «Обрабатывающий модуль минимального размера для трёхрежимного управления доступом к среде Ethernet» (www.xilinx.com/bvdocs/appnotes/xapp807.pdf), запускает веб-сервер в качестве надстройки стека µIP TCP/IP. Веб-сервер служит формой для подключения абонентов. Вы просто вводите строку в поле текста и посылаете её на сервер, который интерпретирует данные и отображает строку на двухстрочном символьном ЖКИ (рис. 2).

Стек µIP TCP/IP имеет вполне определённый API и поставляется вместе с

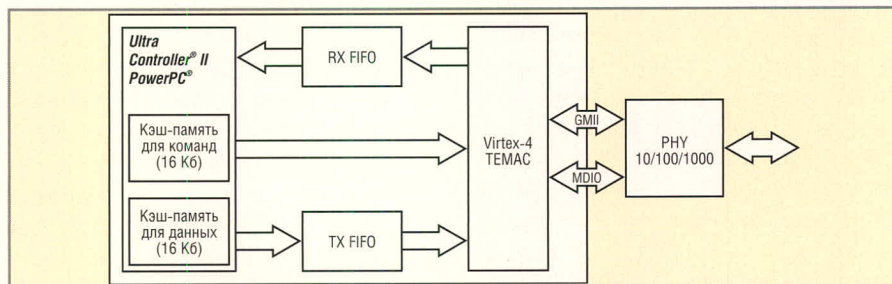


Рис. 1. Основной информационный канал модуля TEMAC UCM

другими демонстрационными приложениями, такими как telnet. На основе подробной документации µIP можно легко реализовать собственное приложение. Стек оптимизирован с точки зрения стоимости и производительности, а также минимального размера на кристалле. Ограничения по быстродействию TCP/IP не сказываются на большинстве программ управления и регистрации событий.

ПРОЦЕСС РЕАЛИЗАЦИИ

Реализовать TEMAC UCM достаточно просто. Процесс состоит из трёх основных этапов: первый этап – создание в Project Navigator двоичного файла для аппаратной реализации; второй этап – создание во встроенном наборе для разработки (EDK) программного обеспечения для файла средства регистрации событий (ELF); и последний этап – объединение файлов программного обеспечения и аппаратной реализации в единый двоичный поток или файл ППЗУ для программирования ПЛИС Virtex-4 FX12 или флэш-платформы на плате ML403 соответственно. Файлы и сценарии проекта для всех описанных этапов приведены в Руководстве по применению XAPP807. Исходный код аппаратной реализации для TEMAC UCM доступен на Verilog и VHDL. Исходный код программы написан на языке «Си».

ЗАГРУЗКА ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ В КЭШ-ПАМЯТЬ

Загрузка программного обеспечения в кэш-память команд и данных PowerPC была доступна ранее посредством технологии Системы ACE™ CF либо других основанных на JTAG методов. Однако, благодаря TEMAC UCM, впервые стала возможна загрузка через все режимы конфигурации, включая режим JTAG, ведомый и ведущий последовательные режимы и ведомый



Рис. 2. Пример веб-сервера, обеспечивающего удалённое управление платой ML403

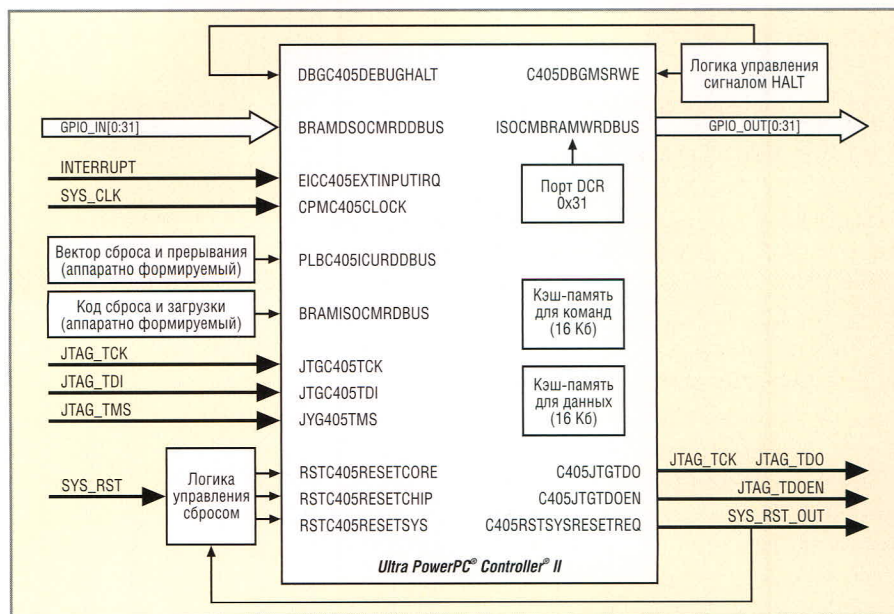


Рис. 3. Порты UltraController-II

и ведущий режимы SelectMap. Другие решения конфигурации, кроме Системы ACE CF, могут загружать код и данные в кэш-память ядра PPC405. Такие решения включают флэш-платформу Xilinx, а также внешние обработчики и методы, описанные в Руководстве по применению, например, XAPP058 «Программирование в составе системы Xilinx с использованием встроенного микроконтроллера» (www.xilinx.com/bvdocs/appnotes/xapp058.pdf).

Решение, основанное на использовании кэш-памяти, позволяет акцентировать внимание на другой новой особенности семейства ПЛИС Virtex-4. Регистр USER_ACCESS представляет собой 32-разрядный регистр, который реализует порт из блока конфигурации в структуре ПЛИС. Для загрузки кэш-памяти регистр USER_ACCESS подключается посредством небольшого конечного автомата к порту JTAG ядра PPC405. Сценарий преобразует файл программного обеспечения

ELF в двоичный поток, который можно загрузить в кэш-память процессора при помощи анализатора ChipScope™. Более подробно о решении можно узнать, обратившись к Руководству по применению XAPP719 «Конфигурация кэш-памяти PowerPC, использующая регистр USER_ACCESS_VIRTEX4» (www.xilinx.com/bvdocs/appnotes/xapp719.pdf).

ПРИМЕРЫ ИСПОЛЬЗОВАНИЯ TEMAC UCM

На рисунке 4 показаны некоторые примеры использования модуля TEMAC UCM. Другие приложения наряду с приложениями по регистрации и управлению включают сбор статистических данных, диагностику системы, управление дисплеем или математические операции по обработке данных.

Системное приложение, которое распределяет транспортные потоки данных MPEG, собирает статистическую информацию о видео- и звуковых потоках. Модуль TEMAC UCM де-



Рис. 4. Возможные применения UltraController-II

ляет информацию доступной через веб-интерфейс. Со стороны управления поставщик содержимого динамически, через тот же веб-интерфейс, загружает в систему ключи для декодирования зашифрованных потоков.

В другом примере в управляемой от FPGA-системе в локальном и удалённом режимах собирается информация об ошибочных состояниях системы с целью её диагностики. В результате производитель системы получает возможность изменить параметры системы, чтобы избежать этих ошибочных состояний.

В третьем примере некое сетевое оборудование периодически сообщает посредством электронной почты о своём рабочем состоянии центру управления, где информация обрабатывается. Оборудование или персонал центра управления предпринимают меры, если оборудование сообщает о неисправности или вообще ничего не сообщает.

Во всех этих случаях модуль TEMAC UCM устанавливается в прибор, для которого он не был спроектирован изначально. Небольшой размер кода программного обеспечения и аппаратных средств делает его пригодным для разработок, которые уже используют доступные ресурсы ПЛИС.

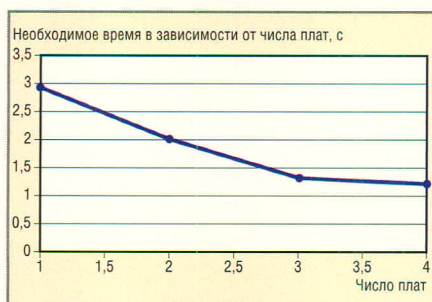


Рис. 6. Использование нескольких плат для уменьшения времени вычисления

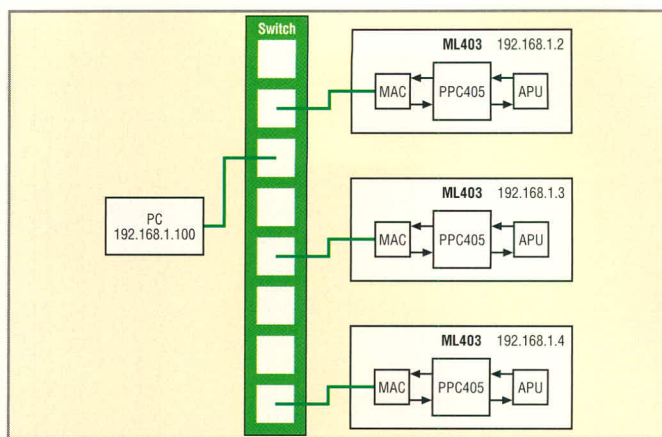


Рис. 5. Несколько плат ML403 с APU, активированных для ускорения вычисления

ПОДКЛЮЧЕНИЕ СОПРОЦЕССОРА ПО СЕТИ

В недавнем эксперименте мы объединяли модуль TEMAC UCM с вспомогательным процессором (APU) на основе ядра PPC405. Этот процессор обеспечивает прямой доступ к аппаратным ускорителям посредством определяемых пользователем команд (UDI). Обычно программное приложение, работающее на PPC405, использует APU для ускорения выполнения. Однако в этом случае прикладное ПО работает на стандартном персональном компьютере, который распределяет задания на несколько плат ML403 с интегрированными TEMAC UCM и APU, как показано на рисунке 5. Плата ML403 работает как подключенный по сети сопроцессор, ускоряющий приложение, которое работает на персональном компьютере.

Например, мы обрабатываем изображения, сформированные при помощи функции Мандельброта (Mandelbrot). Программное обеспечение, работающее на персональном компьютере, делит всё изображение на небольшие области и распределяет параметры для этих небольших областей по платам ML403 посредством соединения TCP. Ядро PPC405 на каждой плате ML403 считывает параметры из виртуального порта TCP, пропускает через область и вычисляет каждый пиксель при помощи сопроцессора MandelPoint, присоединённого к интерфейсу APU. Ядро PPC405 передаёт результаты вычисления обратно на персональный компьютер через то же соединение TCP. Наконец, персональный компьютер собирает все результаты от сетевых сопроцессоров и показывает окончательное изображение на экран.

На рисунке 6 показаны результаты ускорения. Отдельная плата ML403, присоединённая к персональному компьютеру, вычисляет изображение размером 1024 × 768 пикселей приблизительно за 3 с, включая задержки на передачу. Добавление плат ML403 уменьшает общее время вычисления менее чем до 1,5 с для трёх плат. Четыре платы не дают существенного улучшения, так как непроизводительные затраты времени на передачу становятся главной составляющей вычисления.

Собственно решение этой задачи на высококачественной рабочей станции Linux занимает около 3 с, примерно такое же время, как на одной подключенной к сети плате ML403 с модулем TEMAC UCM и ускорением при помощи APU.

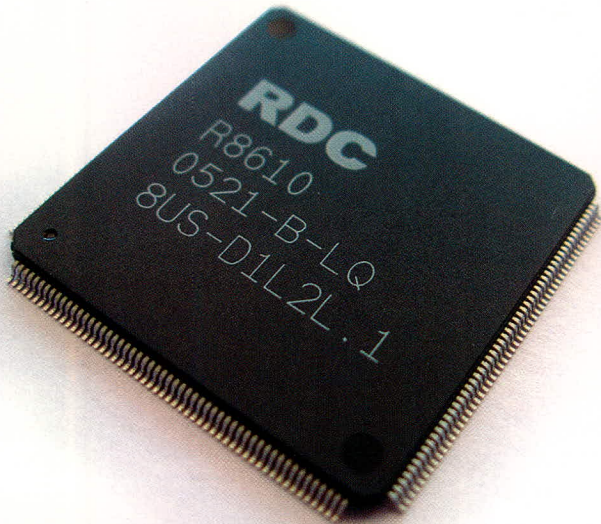
ЗАКЛЮЧЕНИЕ

Модуль TEMAC UCM обеспечивает удобный и недорогой способ добавления функциональных возможностей сети Ethernet любому изделию. Он использует минимальную часть ресурсов ПЛИС, а программное обеспечение работает во встроенной кэш-памяти ядра PPC405. В результате применения этих простых интерфейсов сокращается время разработки. Приложение в виде веб-сервера используется для демонстрации проекта, но его можно применять и для других решений, как показано на примере сетевых сопроцессоров.

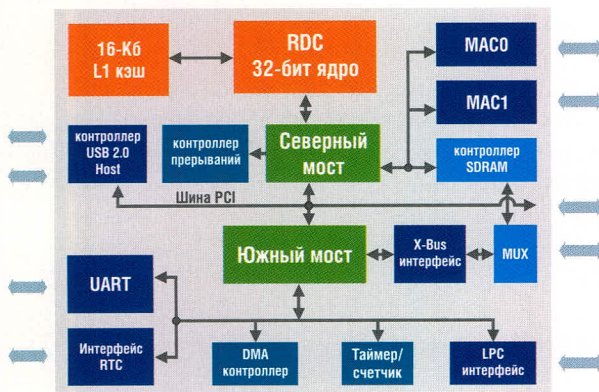
Дополнительная информация о модуле TEMAC UltraController приведена в Руководстве по применению XAPP807, включая эталонную схему платы Xilinx ML403, а также на интернет-странице www.xilinx.com/events/webcasts/110105_ultracontroller2.htm. ©

Новый x86 микроконтроллер RDC R8610

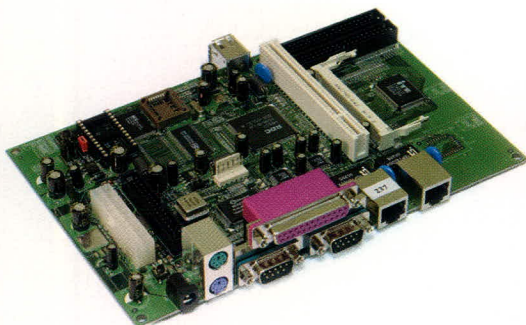
RDC®



Микроконтроллер R8610



Структурная схема микроконтроллера R8610



Оценочная плата: полнофункциональный промышленный компьютер

Основные достоинства

- Совместимость с популярной x86 архитектурой
- Обширные периферийные возможности
- Низкие затраты на разработку ПО
- Невысокая стоимость

Области применения

- Промышленные компьютеры
- Системы сбора данных
- Оборудование для коммуникаций: коммутаторы пакетов, точки доступа, локальные маршрутизаторы и т.д.

Технические характеристики

- 133-МГц 32-бит RISC-ядро
- Совместимость с архитектурой 80486SX
- 16 Кб кэш первого уровня
- Двухпортовый хост-контроллер USB 2.0
- Контроллер PCI rev. 2.1
- 2 контроллера Fast Ethernet MAC
- Интегрированная периферия
 - контроллер прерываний
 - контроллер DMA
 - таймеры
- Внешние интерфейсы и память
 - Flash, ROM, SDRAM
 - порт UART
 - LPC-интерфейс
- 56 портов ввода-вывода общего назначения
- Поддержка WinCE, Linux и других ОС
- Питание ядра 1,8 В, подсистемы ввода/вывода 3,3 В



Доступен набор для разработчиков и полный комплект технической документации

Реклама

PROSOFT®

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 2)

Валерий Зотов (Москва)

Вторая часть курса знакомит с последовательностью этапов проектирования цифровых устройств на основе ПЛИС фирмы Xilinx. Приводятся краткие рекомендации по выбору кристаллов для реализации разрабатываемого устройства. Подробно рассматривается процесс создания нового проекта в САПР серии Xilinx ISE.

КРАТКАЯ ХАРАКТЕРИСТИКА ЭТАПОВ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ НА ОСНОВЕ ПЛИС, ВЫПУСКАЕМЫХ ФИРМОЙ XILINX

В процессе проектирования цифровых устройств на базе ПЛИС фирмы Xilinx можно выделить следующие этапы:

- выбор семейства и типа кристалла для реализации разрабатываемого устройства;
- создание нового проекта в САПР серии Xilinx ISE;
- подготовка исходного описания проектируемого устройства в схемотехнической, алгоритмической или текстовой форме;
- синтез проектируемого устройства;
- верификация исходных описаний проектируемого устройства методом функционального моделирования;
- размещение и трассировка проекта разрабатываемого устройства в кристалле;
- полное (временное) моделирование проектируемого устройства, выполняемое с учётом задержек распространения сигналов внутри кристалла;
- формирование конфигурационной последовательности ПЛИС, соответствующей проекту разрабатываемого устройства;
- программирование ПЛИС (загрузка проекта разработанного устройства в кристалл) или конфигурационного ПЗУ/ППЗУ.

Типовой маршрут проектирования цифровых устройств, выполняемых на основе ПЛИС фирмы Xilinx, показан на рисунке 4.

Прежде чем приступить к созданию нового проекта, следует выбрать метод описания разрабатываемого устройства и, соответственно, средств синтеза. Исходная информация, описывающая проектируемое устройство, может быть представлена в виде принципиальных схем, описаний на языках HDL (Hardware Description Language), диаграмм состояний, пакетов и библиотек пользователя. Наиболее привычным и наглядным для разработчиков является схемотехнический метод описания. В то же время в последние годы большое распространение получили языки описания аппаратуры высокого уровня, в первую очередь, VHDL™ и Verilog™. На практике используют смешанный метод: каждый функциональный блок разрабатываемого устройства описывается на одном из языков HDL, а их соединение представляется в виде соответствующей принципиальной схемы. Поэтому в дальнейшем будут рассмотрены процедуры подготовки исходных описаний проектируемых устройств в форме принципиальной схемы и с применением языка VHDL.

Перед началом формирования нового проекта разрабатываемого устройства в САПР серии Xilinx ISE необходимо выбрать семейство и тип ПЛИС для его реализации. При этом необходимо учесть не только требо-

вания технического задания, но и предельные возможности различных серий ПЛИС, а также некоторые дополнительные факторы. Краткие рекомендации по выбору семейства и типа ПЛИС приводятся в следующем разделе. Следует отметить, что предварительно выбранное семейство или тип кристалла при необходимости можно изменить в процессе проектирования. Это достаточно легко сделать, если новый тип ПЛИС содержит те же виды логических и специа-

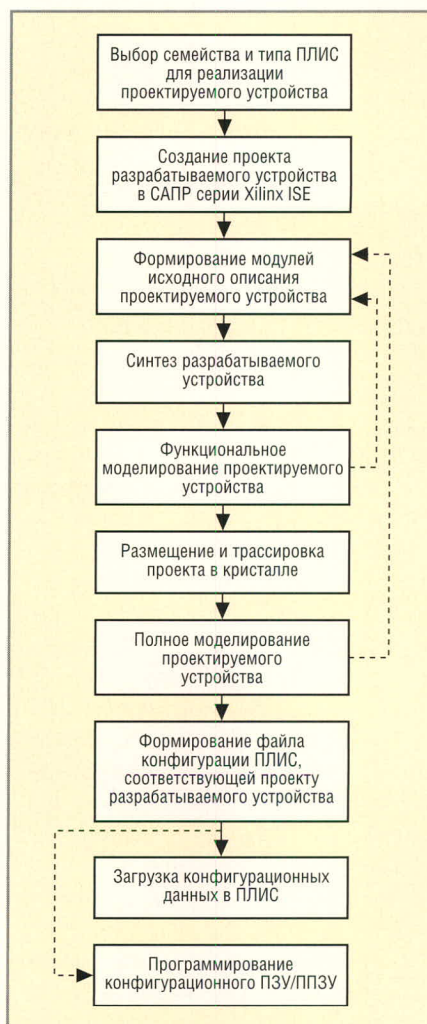


Рис. 4. Последовательность этапов проектирования цифровых устройств, реализуемых на базе ПЛИС фирмы Xilinx

лизированных элементов (например, модули блочной памяти, умножители), которые уже используются в исходных описаниях проектируемого устройства.

При создании нового проекта в САПР серии Xilinx ISE указывается информация о выбранном семействе и типе ПЛИС, а также об используемых средствах синтеза и моделирования. На этапе подготовки описания проектируемого устройства, кроме формирования принципиальных схем и/или исходных текстов на языке HDL, необходимо установить временные и топологические ограничения, которые должны учитываться при синтезе, размещении и трассировке проекта в кристалле. В процессе синтеза, на основании исходных модулей проекта формируется список соединений (netlist), содержащий набор примитивов или компонентов, который может быть реализован на основе элементов выбранного кристалла ПЛИС. Далее результаты синтеза используются в качестве исходных данных средствами размещения и трассировки.

Верификация подготовленных исходных описаний разрабатываемого устройства, выполняемая методом функционального моделирования, производится без учёта реальных значений задержек прохождения сигналов и позволяет проконтролировать соответствие выходных сигналов предполагаемому алгоритму работы. На этапе размещения и трассировки проекта в кристалле производится распределение выполняемых функций в конфигурируемые логические блоки CLB (Configurable Logic Block) или макроячейки (Macrocell) в зависимости от используемого семейства ПЛИС и формирование необходимых связей. В процессе выполнения этого этапа также вычисляются реальные значения задержек распространения сигналов, которые необходимы для полного (временного) моделирования разрабатываемого устройства. Основным результатом этапа размещения и трассировки является формирование файла, в котором содержится информация о конфигурации ПЛИС, реализующей проектируемое устройство. Итогом процесса разработки цифрового устройства на основе ПЛИС является загрузка конфигурационных данных в кристалл или про-

граммирование конфигурационного ПЗУ/ППЗУ с помощью соответствующих средств САПР серии Xilinx ISE и загрузочного кабеля, варианты которого были представлены в первой части данной статьи.

Следует обратить внимание на то, что этапы функционального и временного моделирования не являются обязательными. Тем не менее, использование эффективных средств моделирования, включаемых в состав пакетов САПР серии Xilinx ISE [1], позволяет обнаружить большинство возможных ошибок и тем самым значительно сократить общее время разработки устройства. При обнаружении ошибок на любом из этих этапов моделирования, например, логических ошибок на этапе функционального моделирования или при получении неудовлетворительных результатов временного моделирования, следует вернуться на стадию разработки исходных описаний проекта, внести необходимые изменения и повторить соответствующие этапы.

Выполнение этапов создания нового проекта и подготовки исходных описаний проектируемого устройства не зависит от выбранного типа архитектуры ПЛИС (CPLD или FPGA), используемого для его реализации. Содержание последующих этапов (синтеза, функционального и временного моделирования, размещения, трассировки и загрузки проекта в кристалл) зависит от семейства ПЛИС – CPLD (Complex Programmable Logic Device) или FPGA (Field Programmable Gate Array) [2]. Поэтому в дальнейшем реализация этих этапов проектирования в САПР серии Xilinx ISE рассматривается отдельно для каждого типа архитектуры ПЛИС.

РЕКОМЕНДАЦИИ ПО ВЫБОРУ СЕМЕЙСТВА И ТИПА ПЛИС ДЛЯ РЕАЛИЗАЦИИ РАЗРАБАТЫВАЕМОГО УСТРОЙСТВА

При определении семейства и типа ПЛИС для разрабатываемого устройства необходимо, учитывая уровень его сложности и требования, предъявляемые к быстродействию, уровню потребления, условиям эксплуатации, обратить внимание на следующие технические характеристики кристаллов:

- объём логических, трассировочных и специализированных ресурсов (блочной памяти Block RAM, умножителей, цифровых модулей управления синхронизацией Digital Clock Manager (DCM), аппаратных микропроцессорных ядер);
- наличие достаточного количества пользовательских выводов;
- максимально возможная тактовая частота реализуемого устройства;
- значения напряжения источников питания для ядра и блоков ввода/вывода кристалла;
- поддержка блоками ввода/вывода необходимых стандартов цифровых сигналов;
- потребляемая мощность;
- варианты исполнения (температурный диапазон);
- типовой ряд выпускаемых корпусов;
- стоимость.

Прежде всего, необходимо выбрать тип архитектуры ПЛИС: CPLD или FPGA. Преимуществами кристаллов семейств CPLD, выпускаемых фирмой Xilinx, являются:

- интегрированная энергонезависимая память для конфигурационных данных;
- сравнительно невысокие значения потребляемой мощности;
- возможность реализации устройств с высоким быстродействием;
- минимальное суммарное время разработки устройства (от создания проекта до программирования кристалла);
- невысокая стоимость.

Основным недостатком ПЛИС с архитектурой CPLD является ограниченный объём логических ресурсов. Максимальное количество макроячеек (и, соответственно, триггеров) в кристаллах семейств CPLD фирмы Xilinx составляет 512. Поэтому ПЛИС данного типа целесообразно использовать для реализации цифровых устройств, большую часть которых образуют комбинационные схемы (блоки) при ограниченном объёме последовательностных схем (блоков). В настоящее время фирма Xilinx производит две серии ПЛИС с архитектурой CPLD: XC9500 и CoolRunner™. В состав серии XC9500 входят три семейства недорогих кристаллов: XC9500, XC9500XL и XC9500XV, которые различаются, в основном, напряжением питания. Если проектируемое устройство должно работать в системе с напряжением питания 5 В

и соответствующими уровнями входных и выходных сигналов, для его реализации рекомендуется использовать ПЛИС семейства XC9500. В тех случаях, когда необходимо обеспечить совместимость с уровнями цифровых сигналов 5 В только по входам, можно использовать кристаллы семейства XC9500XL, напряжение питания ядра которых составляет 3,3 В. Для реализации устройств, которые должны обладать совместимостью по входам с уровнями цифровых сигналов 2,5 В и/или 3,3 В, а по выходам – с 1,8 В, 2,5 В и/или 3,3 В, необходимо выбирать ПЛИС семейства XC9500XV.

Серия CoolRunner включает два семейства кристаллов, отличающихся высоким быстродействием и низкой потребляемой мощностью: CoolRunner XPLA3 и CoolRunner-II. Напряжение питания ядра кристаллов семейства CoolRunner-II составляет 1,8 В, а блоки ввода/вывода способны работать с уровнями цифровых сигналов 1,8 В, 2,5 В и/или 3,3 В. ПЛИС семейства CoolRunner XPLA3 следует применять в тех случаях, когда проектируемое устройство должно обладать совместимостью по входам с уровнями цифровых сигналов 5 В. Более подробную информацию об особенностях и технических характеристиках ПЛИС с архитектурой CPLD, выпускаемых фирмой Xilinx, можно найти в [2, 4, 5].

К важным преимуществам кристаллов с архитектурой FPGA относятся:

- возможность выбора ПЛИС, обладающих большим объёмом логических и трассировочных элементов;
- наличие специализированных аппаратных ресурсов, в том числе, умножителей, модулей блочной памяти, высокоскоростных приёмопередатчиков и микропроцессорных ядер;
- сверхвысокое быстродействие;
- поддержка практически всех наиболее распространённых стандартов ввода/вывода цифровых сигналов;
- наличие широкого спектра готовых отлаженных модулей системного уровня, представленных в форме IP-ядер.

Из пяти серий ПЛИС с архитектурой FPGA, выпускаемых фирмой Xilinx, для новых разработок рекомендованы только две: Virtex™ и Spartan™. Серия Virtex включает в себя следующие семейства: Virtex,

Virtex-E, Virtex-II, Virtex-II PRO, Virtex-4 и Virtex-5. Последние четыре семейства являются наиболее перспективными для создания высокопроизводительных цифровых устройств различного назначения, в том числе модулей и систем цифровой обработки сигналов. Кристаллы, входящие в состав этих семейств, в полной мере обладают перечисленными выше преимуществами и позволяют реализовать цифровые устройства различного уровня сложности, включая мощные многопроцессорные встраиваемые системы на кристалле [3]. Для разработки последних следует использовать семейства Virtex-II PRO, Virtex-4 и Virtex-5 с интегрированными микропроцессорными ядрами. Более подробная информация о технических параметрах ПЛИС указанных семейств представлена в [6–8]. Основным фактором, сдерживающим массовое применение ПЛИС серии Virtex, является их высокая стоимость.

В серии Spartan в настоящее время доступны семь семейств кристаллов, которые по техническим характеристикам близки к ПЛИС серии Virtex (соответствующих семейств), но отличаются более низкой стоимостью. К наиболее перспективным семействам ПЛИС серии Spartan можно отнести Spartan-3 и Spartan-3E [9–11], рекомендуемые для серийно выпускаемых устройств.

СТРУКТУРА ПРОЕКТА РАЗРАБАТЫВАЕМОГО ЦИФРОВОГО УСТРОЙСТВА В САПР СЕРИИ XILINX ISE

Прежде чем приступить к изучению этапов процесса проектирования, следует определить само понятие проекта.

Под проектом цифрового устройства в САПР серии Xilinx ISE понимается совокупность модулей (файлов), которые содержат полную информацию, необходимую для выполнения всех этапов процесса разработки данного устройства на базе ПЛИС, включая программирование кристалла.

В структуре проекта САПР серии Xilinx ISE можно выделить следующие группы модулей:

- исходные описания проектируемого устройства в графической или текстовой форме;

- IP-ядра, формируемые генератором параметризованных модулей CORE Generator™ и комплексом средств автоматизированного проектирования Xilinx Embedded Development Kit™ (EDK) [1, 3];
- модули временных и топологических ограничений проекта;
- модули описания содержимого элементов оперативной (ОЗУ) и постоянной памяти (ПЗУ);
- документация, сопровождающая проект;
- промежуточные результаты выполнения каждого этапа проектирования, используемые в качестве исходных данных для последующих шагов процесса разработки устройства;
- отчёты о выполнении основных этапов проектирования;
- функциональная и временная модели проектируемого устройства;
- описания тестовых воздействий, необходимых для моделирования разрабатываемого устройства, в текстовом и графическом формате;
- результаты функционального и временного моделирования проектируемого устройства в графической и текстовой форме;
- отчёты, формируемые вспомогательными средствами пакета;
- окончательные результаты проектирования, используемые для конфигурирования (программирования) ПЛИС и ПЗУ/ППЗУ.

Все модули проекта располагаются в одном каталоге (папке), название которого совпадает с названием проекта. Изначально проект представлен только заголовком и модулем, в котором указаны параметры проекта. Затем к проекту добавляются модули исходного описания разрабатываемого устройства. Далее, после выполнения каждого этапа процесса разработки, в проект включаются результаты, полученные на этом этапе, и соответствующий отчёт. Кроме того, разработчик может дополнить проект необходимой текстовой документацией.

СОЗДАНИЕ НОВОГО ПРОЕКТА РАЗРАБАТЫВАЕМОГО УСТРОЙСТВА В САПР СЕРИИ XILINX ISE

Работа в САПР серии Xilinx ISE начинается с открытия управляющей оболочки этого пакета – *Навигато-*

ра проекта (*Project Navigator*) – двойным щелчком левой кнопки мыши на соответствующей пиктограмме (*ISE*), расположенной на Рабочем столе компьютера. При отсутствии данной пиктограммы можно воспользоваться кнопкой *Пуск (Start)* операционной системы Windows XP/2000. В открывшейся панели необходимо выбрать строку *Программы (Programs)*, затем в предложенном списке найти группу программ *Xilinx ISE...*, где следует выбрать строку *Project Navigator*. При успешном выполнении указанных операций на экране монитора отображается основное окно *Навигатора проекта*, структура которого была подробно рассмотрена [1].

Для создания нового проекта в САПР серии Xilinx ISE следует выполнить команду *File* основного меню *Навигатора проекта*, а затем во всплывающем меню выбрать строку *New Project*. В результате запускается «мастер» формирования нового проекта – *New Project Wizard*. Работа «мастера» начинается с вывода на экран диалоговой панели *Create New Project*, в которой должны быть определены следующие необходимые исходные данные:

- название проекта;
- имя диска и каталога, в котором должен располагаться формируемый проект;
- тип (способ описания) модуля верхнего уровня иерархии проекта.

В первую очередь, рекомендуется определить раздел (папку), в котором будет располагаться рабочий каталог проекта. Целесообразно хранить все проекты в специально созданном для этих целей каталоге, например, *C:\Project*. Каталог, в котором находятся все проекты пользователя, должен располагаться вне раздела, содержащего средства проектирования серии Xilinx ISE, чтобы при обновлении версии пакета САПР он не был случайно удалён. Местоположение проекта на диске указывается в поле редактирования *Project Location*. По умолчанию в поле редактирования *Project Location* предлагаются имена диска и каталога, которые использовались в предыдущем проекте. Изменить местоположение создаваемого проекта можно стандартными средствами ОС Windows.

Чтобы задать имя создаваемого проекта, необходимо активизировать поле редактирования *Project name*, после чего ввести соответствующее название. В тексте названия могут использоваться только заглавные и строчные буквы латинского алфавита (A – Z, a – z), цифры (0 – 9) и символ подчеркивания (*_*). Рекомендуется задавать мнемонические имена проектов, чтобы в дальнейшем легко найти требуемый проект. Введённое название проекта автоматически добавляется в поле *Project Location*, определяя название рабочего каталога проекта.

Тип (способ описания) модуля верхнего уровня иерархии проекта определяется с помощью поля выбора *Top-Level Source Type*. Выпадающий список, который открывается при нажатии кнопки, расположенной в правой части этого поля выбора, содержит четыре варианта: *HDL*, *Schematic*, *EDIF* и *NGC/NGO*. При использовании языков высокого уровня VHDL и Verilog для описания модуля верхнего уровня проекта в качестве значения параметра *Top-Level Source Type* устанавливается *HDL*. Если исходный модуль верхнего уровня проекта будет выполнен в схематехническом редакторе САПР серии Xilinx ISE, следует выбрать вариант *Schematic*. В тех случаях, когда в качестве модуля верхнего уровня иерархии предполагается использовать описания в формате *EDIF* или *NGC/NGO*, должны быть указаны соответствующие значения параметра *Top-Level Source Type*.

Установка значений всех исходных параметров создаваемого проекта завершается нажатием клавиши *Далее (Next)*, которая находится в нижней части стартовой диалоговой панели «мастера» *New Project Wizard*. Следует отметить, что эта клавиша становится доступной только после определения значений всех перечисленных выше параметров. Если значение какого-либо параметра не задано, данная клавиша остаётся в неактивном состоянии (отображается серым цветом). После нажатия клавиши *Далее (Next)*, в панели *Create New Project* проводится очередная диалоговая панель «мастера» *New Project Wizard* с заголовком *Device Properties*, с помощью которой необходимо определить следующие параметры нового проекта:

- категорию, к которой относится выбираемое семейство ПЛИС;
- семейство ПЛИС, на базе которого разрабатывается устройство;
- тип кристалла, выбираемого для реализации устройства;
- тип корпуса ПЛИС;
- категорию быстродействия используемого кристалла;
- применяемые средства синтеза и моделирования проектируемого устройства.

Категория, семейство ПЛИС, тип кристалла, корпуса, категория быстродействия, средства синтеза и моделирования указываются в форме таблицы параметров проекта. В первом столбце этой таблицы отображаются названия параметров (*Property Name*), во втором – значения этих характеристик (*Value*). Каждая ячейка столбца *Value* является полем соответствующего параметра. Чтобы установить требуемое значение какого-либо параметра в этой таблице, следует воспользоваться кнопкой управления выпадающим списком соответствующего поля выбора. При нажатии на эту кнопку отображается список всех возможных значений соответствующего параметра. Выбор требуемого значения осуществляется щелчком левой кнопки мыши на строке выпадающего списка, содержащей это значение. После этого указанное в данной строке значение автоматически отображается в поле выбора.

Фирма Xilinx классифицирует все выпускаемые семейства кристаллов в соответствии с областью их применения по следующим категориям:

- семейства ПЛИС общего назначения (*General Purpose*);
- семейства кристаллов, ориентированные на применение в автомобильной электронике (*Automotive*);
- семейства ПЛИС повышенной надёжности, предназначенные для использования в военной технике (*Military/Hi-Reliability*);
- семейства ПЛИС, выпускаемые в радиационно-стойком исполнении (*Radiation Hardened*).

Выбор категории кристаллов позволяет существенно ограничить список возможных вариантов при определении семейства ПЛИС. Чтобы указать категорию ПЛИС, необходимо в выпадающем списке значений параметра *Product Category* выделить

название соответствующей группы. Если при выборе семейства ПЛИС требуется отобразить список всех доступных семейств кристаллов (без деления по категориям), для параметра *Product Category* следует выбрать значение *All*.

Для определения семейства ПЛИС, на базе которого проектируется устройство, следует воспользоваться полем выбора значения параметра *Family*. При нажатии на кнопку управления выпадающим списком, находящуюся в правой части этого поля, отображается список семейств кристаллов, которые относятся к выбранной ранее категории ПЛИС. Если для параметра *Product Category* было установлено значение *All*, в этом списке будут перечислены названия всех семейств ПЛИС, поддерживаемых используемой версией средств проектирования серии Xilinx ISE.

В поле выбора типа кристалла для реализации проектируемого устройства *Device* автоматически отображается тип ПЛИС, установленный по умолчанию для выбранного семейства. Чтобы изменить предлагаемый вариант, необходимо в выпадающем списке выбора параметра *Device* выделить строку, содержащую условное обозначение требуемого типа кристалла. При выборе ПЛИС семейств CPLD предусмотрена возможность автоматического определения типа кристалла, необходимого для реализации проектируемого устройства. Для этого в выпадающем списке кристаллов следует выбрать строку *Automatic*, и программы размещения и трассировки самостоятельно определят кристалл с минимальным количеством ресурсов, необходимых для реализации разрабатываемого устройства.

Тип корпуса кристалла, выбранного для реализации проектируемого устройства, указывается в поле выбора *Package*. Если задано значение *Automatic*, в этом поле отображается символ «*», соответствующий режиму автоматического выбора типа корпуса. В этом случае можно указать конкретный тип корпуса с неопределённым числом выводов. Для этого следует выбрать значение *<тип корпуса>** из выпадающего списка поля *Package*. Если в поле *Device* указан определённый тип ПЛИС, то выпадающий список значений поля выбора

Package содержит условные обозначения только тех типов корпусов, в которых выпускается данный кристалл.

Для определения категории быстроедействия выбранного кристалла предназначено поле выбора параметра *Speed*. Выпадающий список этого поля отображает градации быстроедействия для выбранного типа ПЛИС. Если тип кристалла не конкретизирован (в поле *Device* указано *Automatic*), список содержит единственное значение «*», соответствующее режиму автоматического выбора категории быстроедействия ПЛИС.

Состав поддерживаемых средств синтеза зависит от используемой конфигурации системы проектирования серии Xilinx ISE и применяемого семейства ПЛИС. Чтобы просмотреть этот набор и при необходимости изменить средства синтеза, предлагаемые по умолчанию, следует воспользоваться полем выбора *Synthesis Tool*. *Навигатор проекта* автоматически скорректирует содержимое выпадающего списка инструментов синтеза в соответствии с конфигурацией САПР и выбранным семейством ПЛИС. По умолчанию предлагаются встроенные средства синтеза САПР серии Xilinx ISE – Xilinx Synthesis Technology (XST), которые можно рекомендовать для использования в большинстве проектов.

Для указания средств моделирования проектируемого устройства необходимо воспользоваться полем выбора параметра *Simulator*. Одновременно с выбором средств моделирования указывается язык HDL, используемый для формирования моделей разрабатываемого устройства. Все конфигурации системы проектирования серии Xilinx ISE обладают собственными средствами моделирования ISE Simulator, а также поддерживают систему HDL-моделирования ModelSim [1]. В большинстве случаев рекомендуется использовать один из этих инструментов моделирования, выбрав одноименную строку в выпадающем списке значений параметра *Simulator*. Для применения других систем моделирования, названия которых не представлены в этом списке, следует выбрать одну из строк *Other* с названием используемого языка HDL.

Диалоговая панель *Device Properties* позволяет также определить значения параметров, управляющих выводом информации в панели *Design Summary* и в окне консольных сообщений *Навигатора проекта*. Для этих параметров рекомендуется оставить значения по умолчанию.

После определения значений всех параметров в диалоговой панели *Device Properties*, следует нажать клавишу *Далее (Next)*, которая находится в нижней части этой панели. В результате отображается следующая диалоговая панель «мастера» *New Project Wizard* с заголовком *Create New Source*, которая предоставляет возможность создания нового модуля исходного описания разрабатываемого устройства и его включения в состав формируемого проекта. Как правило, сначала создаётся основа модуля исходного описания верхнего уровня проекта, для чего следует нажать кнопку *New Source*. В результате открывается диалоговая панель *Select Source Type*, в которой необходимо выбрать тип нового модуля, задать его имя и указать местоположение создаваемого файла на диске.

В первую очередь, рекомендуется установить тип создаваемого исходного модуля: в предложенном списке диалоговой панели *Select Source Type* найти соответствующую строку и щёлкнуть на ней левой кнопкой мыши. Содержание списка возможных типов исходных модулей зависит от выбранного семейства ПЛИС и средств синтеза, используемых в проекте. Затем необходимо активировать поле редактирования названия модуля (файла) *File Name* и ввести название файла, соблюдая такие же правила, как для названия проекта. Название создаваемого модуля должно начинаться с буквы. Расширение названия файла устанавливается автоматически в соответствии с выбранным типом модуля. Местоположение создаваемого модуля на диске указывается в поле редактирования *Location* диалоговой панели *Select Source Type*. По умолчанию предлагается рабочий каталог формируемого проекта. Для всех создаваемых модулей исходного описания проекта рекомендуется использовать именно этот каталог. Особое внимание следует обратить на состо-

яние индикатора автоматического включения модуля в состав проекта *Add to project*. Если флаг индикатора установлен (по умолчанию поле индикатора отмечено маркером), то созданный модуль автоматически включается в состав формируемого проекта. Для изменения этого параметра достаточно щёлкнуть левой кнопкой мыши, поместив курсор на поле индикатора.

Установка значений всех необходимых параметров основы создаваемого модуля завершается нажатием клавиши *Далее (Next)*, которая находится в нижней части диалоговой панели *Select Source Type*. После этого для большинства видов создаваемых модулей открывается информационная панель *New Source Wizard – Summary*, где отображаются установленные значения основных параметров создаваемого модуля исходного описания проекта. Для внесения каких-либо изменений следует воспользоваться кнопкой *Назад (Back)*, расположенной в нижней части этой информационной панели. Если все значения параметров указаны правильно, необходимо нажать кнопку *Готово (Finish)* в нижней части информационной панели *New Source Wizard – Summary*. Вслед за этим на экран вновь выводится диалоговая панель создания нового исходного модуля *Create New Source*, в которой отображается название созданного модуля. В этой панели следует нажать клавишу *Далее (Next)*, после чего на экране появляется очередная диалоговая панель *New Project Wizard* с заголовком *Add Existing Sources*, которая позволяет включить в состав формируемого проекта существующие модули исходного описания, в том числе созданные в предыдущих проектах.

Чтобы добавить существующий модуль в состав нового проекта, следует воспользоваться кнопкой *Add Source*, после чего отображается стандартная панель диалога открытия файла. В ней необходимо найти требуемую папку и выбрать соответствующий файл, подтвердив сделанный выбор нажатием клавиши *Открыть (Open)*, после чего название этого файла автоматически заносится в таблицу, расположенную в диалоговой панели *Add Existing Sources*. В первой колонке данной таблицы с названием *Source File* отображается

название включаемого файла. Вторая колонка *Copy to Project* содержит индикатор автоматического копирования модуля в состав проекта. Если флаг установлен (поле индикатора помечено маркером), то включаемый модуль автоматически копируется в рабочий каталог создаваемого проекта. Рассмотренную процедуру необходимо повторить для всех модулей, включаемых в состав нового проекта. Когда все требуемые модули добавлены, следует нажать кнопку *Далее (Next)*, расположенную в нижней части диалоговой панели *Add Existing Sources*. В результате появляется информационная панель *Project Summary*, в которой отображаются установленные значения основных параметров создаваемого проекта. Кнопка *Назад (Back)*, расположенная в нижней части информационной панели *Project Summary*, позволяет вернуться к предыдущей диалоговой панели, чтобы изменить значение какого-либо параметра.

Для завершения процесса формирования нового проекта следует нажать кнопку *Готово (Finish)* в нижней части информационной панели *Project Summary*. После этого созданный проект автоматически открывается в рабочей области *Навигатора проекта* и в области расположения рабочих окон отображается подробная информация о новом проекте. Кроме того, в окне исходных модулей добавляется пиктограмма, соответствующая типу нового модуля, основа которого была сформирована с помощью диалоговой панели *Create New Source*.

Следует отметить, что это – только основа (заготовка) модуля исходного описания. Его содержимое формируется далее с помощью программы пакета САПР серии Xilinx ISE, соответствующей типу созданного модуля, например, схематехнического или текстового редактора, редактора диаграмм состояний *StateCad*, генератора тестов *HDL Benchner*, редактора временных и топологических ограничений *Constraints Editor*. Данная программа автоматически запускается после создания нового проекта, и в области расположения рабочих окон открывается соответствующее новое окно, предназначенное для формирования содержимого созданного модуля исходного описания проектируемого

устройства. В окне исходных модулей *Навигатора проекта* также появляются пиктограммы, которые соответствуют тем файлам исходного описания, которые были добавлены в состав проекта с помощью диалоговой панели *Add Existing Sources*. Перед включением этих файлов в проект на экран выводится диалоговая панель *Adding Source Files*, в которой приведена информация о статусе добавляемых модулей. Для всех добавленных модулей в табличной форме указываются названия этапов проектирования, с которыми они связаны. Если варианты, предлагаемые по умолчанию в этой панели, не (полностью) соответствуют типам включаемых модулей, следует воспользоваться соответствующим полем выбора, расположенным в колонке *Association*, и в выпадающем списке этого поля указать приемлемый вариант.

Следующий этап разработки цифрового устройства на основе ПЛИС фирмы Xilinx, в котором выполняется формирование содержимого модулей исходного описания различного типа, будет рассмотрен в третьей части курса.

Продолжение следует

ЛИТЕРАТУРА

1. *Зотов В.* Средства проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx. Современная электроника. 2006. №№ 7-9.
2. *Кузелин М.О., Кнышев Д.А., Зотов В.Ю.* Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. Горячая линия – Телеком. 2004.
3. *Зотов В.Ю.* Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. Горячая линия – Телеком. 2006.
4. *CPLD Applications.* Cuide Xilinx Inc., 2006.
5. *CPLD Application Cuide Handbook.* Xilinx Inc., 2006.
6. *Virtex-II Pro™ Platform FPGA Handbook.* Xilinx Inc., 2002.
7. *Virtex-4 Handbook.* Xilinx Inc. 2004.
8. *The Ultimate System Integration Platform: Virtex-5 LX and LXT Platforms Handbook.* Xilinx Inc., 2006.
9. *Spartan™-3 Platform FPGA Handbook.* Xilinx Inc., 2003.
10. *Spartan-3E FPGA Family: Complete Data Sheet.*
11. *Spartan-3/3E Starter Kit Resource CD.* ©

3-я Международная специализированная выставка «Силовая электроника»

25–27 октября 2006 г. в Москве, в Конгресс-центре ЦМТ прошла 3-я выставка «Силовая электроника».

Тематические разделы выставки:

- Полупроводниковые компоненты
- Силовые полупроводниковые компоненты
- Интегральные микросхемы и оптоэлектроника
- Пассивные компоненты
- Магниты и материалы сердечников
- Управление тепловыделением
- Датчики и сенсоры
- Узлы и сборки
- Интеллектуальный контроль двигателей
- Источники питания
- Контроль качества электропитания
- Тестирование и измерение
- Программное обеспечение для разработки
- Транзисторы
- Преобразователи напряжения
- Промышленные компьютеры
- Системы автоматизации
- Трансформаторы
- Распределительные устройства
- Кабельно-проводниковая продукция
- Сервомоторы и актюаторы

Свою продукцию на выставке продемонстрировали более 100 компаний из 10 стран.

В первый день выставки, 25 октября, прошла пресс-конференция, собравшая более 20 представителей СМИ.

В пресс-конференции участвовали: Муравьев С.А., советник Управления радиоэлектронной промышленности и систем управления Федерального агентства по промышленности, Авдонин Б.Н., генеральный директор ЦНИИ «Электроника», Курляндский А.С., генеральный директор «Электронинторг-С», Приданчук Е. – менеджер выставки «Силовая Электроника».

«Электроника – это базовая отрасль, от которой зависит технический уровень практически всех наших систем, в том числе и военных, это ключевая отрасль, и поэтому этой отрасли должно уделяться много вни-

мания. Мы считаем, что выставка «Силовая Электроника» – это ещё один кирпичик в защиту нашего отечественного производителя», – заявил Сергей Алексеевич Муравьев.

Александр Сергеевич Курляндский отметил: «Отрадно видеть, что «Силовая Электроника» – сугубо узкопрофессиональная выставка – имеет положительную динамику. Помимо постоянных участников появляются новые, улучшается внешний вид стендов, компании уделяют больше внимания рекламе и продвижению. Силовая электроника занимает достаточно приличный сегмент на рынке; по данным прошлого года, вкуче с электротехническими приборами, доля силовой электроники приближается к 7...8% от общей доли нашего электронного рынка, который оценивается в 20 млрд. долл. Хотелось бы, чтобы эта цифра увеличивалась, тем более что сейчас наблюдается подъём нашей промышленности. Те производственные мощности, которыми мы обладаем, позволяют нам работать на высоком технологическом уровне».

ДЕЛОВАЯ ПРОГРАММА

В рамках деловой программы 25 – 27 октября прошли различные мероприятия. Такие компании, как Infineon Technologies AG (Германия), Mitsubishi Electric Europe BV (Германия), НПО «Энергомодуль» (Россия) провели свои презентации. Семинары «Дискретные полупроводниковые приборы и модули повышенной надёжности для применения в жёстких условиях» компании SEMELAB, «Новейшие технологии европейских производителей компонентов силовой электроники (ABB, FERRAZ SHAWMUT, EBG, NCL и др.)», представляемые группой компаний ЦПМК «РУСТЭЛ», «Плёночные конденсаторы

AVX (TPC) для систем управления двигателями», семинары компании SEMIKRON (Германия) привлекли внимание специалистов.

ОЦЕНКА ВЫСТАВКИ УЧАСТНИКАМИ

«У выставки «Силовая электроника» большое будущее. Для нас было чрезвычайно интересно участвовать в этой выставке, профессиональная грамотность посетителей просто восхищает. Уже много лет мы не сталкивались с таким подбором специалистов, которые глубоко разбираются в процессах, происходящих в области силовой электроники. Хочу пожелать успехов организаторам, всё было продумано, начиная от регистрации, расположения стендов и заканчивая проведением вечернего приёма».

«Выставка нам понравилась своим профессиональным подходом к организации, высоким уровнем профессионализма посетителей. Планируем участвовать и в следующем году».

«Мы провели ряд встреч с нашими дистрибьюторами, и были достигнуты предварительные договорённости, на наш взгляд, многообещающие; мы также нашли очень важных покупателей нашей продукции. Выставка позволила познакомиться с российским рынком, который для нас является ключевым».

«Приятно отметить, что здесь нет случайных людей, на выставку приходят люди, которые чётко знают, что им нужно. Я думаю, что за такими специализированными выставками наше будущее».

«Больше стало российских участников, чувствуется, что силовая электроника на подъёме. В этом году много отечественных производителей вышли со своей продукцией. Посетители стали дифференцироваться, среди посетителей много конечных заказчиков».

В 2006 г. выставка «Силовая электроника» привлекла более 7800 посетителей из различных регионов России, стран СНГ и из-за рубежа.

Fastwel – призёр на международной выставке Electronica-2006

Компания Fastwel стала одним из трёх финалистов конкурса Electronics Industry Awards в номинации Manufactured of the year («Производитель года»), обогнав в этой категории около 50 компаний из разных стран. Организатором данного конкурса выступил журнал Electronics Weekly. Высокий статус финалиста компетентное жюри присудило компании Fastwel по итогам рассмотрения результатов работы компаний-участников в 2006 г. В соответствии с требованиями конкурса, Fastwel заявил о разработке 12 новых высокопроизводительных промышленных одноплатных компьютеров и процессорных модулей в восьми форм-факто-

рах, что, безусловно, является выдающимся достижением на мировом рынке встраиваемых систем. Таким образом, начиная уже с 2007 г., компания Fastwel через своих дистрибьюторов сможет предложить заказчикам процессорные платы в формате PICMG, ATX, Mini ITX, PC/104-Plus, PC/104-Express, VME, а также широкую линейку COM-модулей. Дистрибьютором продукции фирмы Fastwel в России является компания Прософт. Данные платы, использующие новейшие высокопроизводительные процессоры и чипсеты производства Intel и AMD, планируется производить в течение длительного периода времени.

Выход в финал столь почётного соревнования – знак признания зарубежными представителями ИТ-индустрии высокого статуса компании Fastwel на рынке промышленных и встраиваемых систем. Признанный на международном форуме современный уровень разработок и технологий компании Fastwel доступен всем клиентам – производство контрактной сборки «ФАСТЕКО» решает любые задачи по редизайну, комплектованию, монтажу и сборке электронных модулей, реализации собственных проектов заказчика, устанавливая высокие стандарты качества, технологий и ответственных решений.

Новости мира News of the World Новости мира

ОСР 2.2: новые спецификации для улучшения производительности SoC

ОСР-IP (Open Core Protocol International Partnership) планирует выпустить новую версию спецификаций, ОСР 2.2, направленную на улучшение производительности систем-на-чипе (SoC). В состав ОСР-IP, созданной разработчиком SoC Sonics, сейчас входит более 140 компаний, среди которых вендоры решений для автоматизации дизайна (EDA), создатели интеллектуальной собственности, дизайнерские дома и университеты. ОСР-IP, как утверждает сама организация, предоставляет стандарт универсального интерфейса (сокета), который может быть применён к любой микроархитектуре или процессорным ядрам.

В ОСР 2.2 будет поддержка гибкой многочастотной синхронизации и последовательностей бит данных, считываемых из двумерных блоков, точные (неблокируемые) опции контроля потока, более гибкое поведение при рестарте, новые профили безопасности для описания разметки данных, необходимых для защиты информации, а также новая секция с контрольным кодом для верификации.

В частности, в ОСР 2.2 добавлен сигнал EnableClk, позволяющий системе динамически контролировать эффективную тактовую частоту, не прибегнув к фазовой автоподстройке или к дополнительным

цепям распределения тактовых сигналов с малыми искажениями. Поддержка последовательностей бит данных из двумерных блоков в пакетном режиме необходима для взаимодействия с графическими или видеоподсистемами, работающими с двумерными буферами кадра, сохранёнными во внешней памяти. В этих последовательностях кодируется вся необходимая информация для получения всего двумерного пакета по одному запросу, что позволяет увеличить производительность интерфейса и оптимизировать доступ к страницам оперативной памяти.

Новый неблокируемый контроль потока добавлен для облегчения разработки полностью синхронных дизайнов. Это позволяет контролировать множественные потоки данных даже при существенном росте тактовой частоты. Дополнительно секция спецификаций описывает проверку совместимости, конфигурации и функциональности интерфейса ОСР.

Работа над ОСР 2.2 была проведена в рамках ОСР-IP Specification Working Group, в которую вошли представители MIPS Technologies, Nokia, Sonics, Texas Instruments и Toshiba.

www.eet.com

IBM лидирует по количеству патентов 14-й год подряд

Подводя итоги 2006 г., Бюро патентов и торговых марок США (U.S. Patent and Tra-

demark Office, PTO) объявило о достижении нового рекорда по количеству патентов, зарегистрированных за год, а именно – 173 772 тыс., что на 20,8% больше результата 2005 г. В течение года в среднем регистрировалось по 476 изобретений каждый день. Как и последние 13 лет, на первое место по количеству патентов вышла компания IBM – 3651 шт. (по сравнению с 2941 в 2005 г. и 3248 – в 2004 г.). За лидером следует Samsung – 2453 патента, на третьем месте – Canon, 2378 патентов, далее – Matsushita/Panasonic, 2273, и Hewlett-Packard, 2113 патентов.

В региональном разрезе топ-25 представлен, в основном, компаниями из Японии и США – двенадцать и восемь позиций соответственно. У Кореи (Samsung, LG) и Германии (Infineon, Siemens) здесь по два представителя. Благодаря Philips в топ-25 по количеству зарегистрированных патентов представлены и Нидерланды.

Представители Бюро патентов и торговых марок США, комментируя рекордное количество зарегистрированных в течение 2006 г. патентов, отметили, что, хотя это и не является единственным критерием развития технологий, но определённо свидетельствует об акцентировании внимания на значении интеллектуальной собственности.

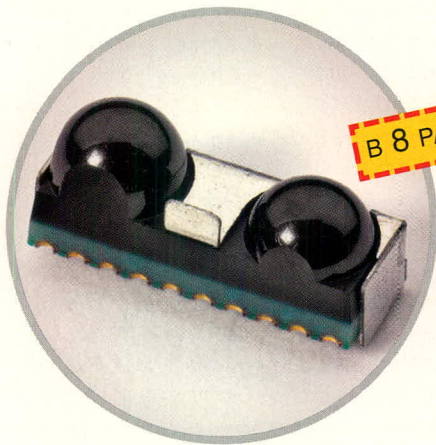
<http://www.3dnews.ru>

Компоненты мирового лидера для беспроводной связи в России

SHARP

Достоинства использования IrSimple

- Скорость передачи 1 Мб данных составляет 0,5 с (в 8 раз быстрее 802.11b)
- Простота использования
- Низкая потребляемая мощность ~200 мВт
- Малые габариты (высота всего 1,82 мм)



В 8 РАЗ БЫСТРЕЕ

Sharp IrSimple инфракрасный интерфейс

Передача изображений между LCD-телевизором и цифровой фотокамерой, мобильным телефоном, принтером

Система IrSimple:

- IrSimple Front оконечные устройства
- IrSimple декодер: IR 388B3
- Программное обеспечение



Технические характеристики Front оконечных устройств

Модель	Размеры, мм	Напряжение питания, В	Технология передачи	Скорость передачи, Мбит/с	Общая длительность передачи 1 мБ, С
Front GP2W1004YP0F	2,5 × 7,9 × 2,85	2,4...3,6	Инфракрасная связь	4	0,5
Front GP2W1010YP0F	2,15 × 7,9 × 2,85	2,4...3,6	Инфракрасная связь	4	0,5
Front GP2W3120YP0F	1,82 × 7,16 × 2,73	2,4...3,6	Инфракрасная связь	4	0,5

PROSOFT®

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

Реклама

DSPA-2006

Москва
29 – 31 марта 2007 г.

8-я Международная Конференция и Выставка

Цифровая Обработка
Сигналов и ее Применение
Digital Signal Processing
and its Applications



Тематика выставки

- Новые компоненты различных производителей для цифровой обработки сигналов
- Отечественные и зарубежные изделия на базе DSP
- Новые технические и алгоритмические решения в области цифровой обработки сигналов
- Новые области применения приборов на базе DSP

AUTEX Ltd.

Тел.: (095) 334-7741, 334-9151
Факс: (095) 234-9991, 334-8729
e-mail: info@autex.ru
http://www.autex.ru

Тематика конференции

- Теория сигналов и систем
- Теория и методы цифровой обработки сигналов (ЦОС)
- Цифровая обработка многомерных сигналов
- Цифровая обработка речевых и звуковых сигналов
- Цифровая обработка изображений
- ЦОС в системах телекоммуникаций
- ЦОС в радиотехнических системах
- ЦОС в системах управления
- Цифровая обработка измерительной информации
- Нейрокомпьютерная обработка сигналов и изображений
- Цифровое телерадиовещание
- ЦОС в системах защиты информации
- Проектирование и техническая реализация систем ЦОС
- Проблемы подготовки специалистов в области ЦОС

РНТОРЭС им. А. С. Попова
Тел.: (095) 921-0610, 921-7108
Тел./факс: (095) 921-1639
e-mail: nto.popov@mtu-net.ru
http://www.rntores.ru

Подробная информация: www.autex.ru www.dspa.ru

**УНИКАЛЬНОЕ ЕВРОПЕЙСКОЕ СОБЫТИЕ!
ВПЕРВЫЕ В РОССИИ!**

EURO DISPLAY

18-20 сентября

2007

МОСКВА

**СРЕДСТВА И СИСТЕМЫ ОТОБРАЖЕНИЯ ИНФОРМАЦИИ
МЕЖДУНАРОДНАЯ ВЫСТАВКА**

**ПАРАЛЛЕЛЬНО С XXVII МЕЖДУНАРОДНОЙ
ИССЛЕДОВАТЕЛЬСКОЙ КОНФЕРЕНЦИЕЙ ПО ДИСПЛЕЯМ
18-20 СЕНТЯБРЯ 2007 ГОДА, МОСКВА, ЗДАНИЕ ПРЕЗИДИУМА РАН**

- TFT, ЭЛТ, ЖК дисплеи и индикаторы
- Информационные табло, мониторы, дисплеи
- Плазменные дисплеи
- Цифровые и матричные дисплеи
- Лазерные технологии визуализации
- Светодиодные средства отображения
- Проекционное оборудование и системы

- Средства и технологии отображения специального назначения
- Компоненты средств отображения
- Электронные модули управления
- Передовые научные разработки
- Технологии производства и обслуживания
- Услуги по созданию комплексных информационных систем



Тел: (495) 221-5015
<http://display.chipexpo.ru>

<http://www.sid.org>

