

DDR SDRAM: особенности проектирования и обеспечения целостности сигнала

Богдан Филипов (filipov@nanocad.ru)

Проектирование электронных устройств с применением быстрых модулей оперативной памяти DDR SDRAM требует особого внимания к проблеме целостности сигнала. В статье рассказывается о современном инструменте моделирования для решения такого рода задач.

Сегодня практически вся современная электроника оснащается модулями памяти. Серверы, компьютеры, смартфоны, игровые консоли, GPS-навигаторы и большинство других устройств спроектированы на основе процессоров и ПЛИС. Такие устройства требуют наличия высокоскоростной памяти с большой пропускной способностью каналов или памяти с двойной частотой передачи данных (DDR). С каждым новым поколением DDR SDRAM (синхронной динамической памяти с произвольным доступом и удвоенной скоростью передачи данных) увеличивается скорость обмена данными, ёмкость, снижается энергопотребление памяти.

При проектировании печатных плат устройств с DDR-памятью может возникать ряд сложностей, одной из которых является проблема целостности сигналов. В данной статье рассматриваются вопросы обеспечения целостности сигналов в устройствах, использующих DDR-память.

Шумы и фазовое дрожание цифрового сигнала данных

При приёме/передаче тактового сигнала шины памяти от контроллера к

микросхеме могут возникать различные помехи, обусловленные собственным джиттером передатчиков и приёмников, потерями в линиях передачи, шумами и наводками. Всё это приводит к появлению джиттера и искажению формы цифрового интерфейсного сигнала.

В качестве шума можно рассматривать любую нежелательную энергию, добавляемую к идеальному сигналу. Шум может быть вызван наводками от соседних линий, плохо спроектированным каналом передачи, несогласованным импедансом и другими факторами, которые приводят к размытию фронта импульсов. При отсутствии шума фактический сигнал идентичен идеальному.

Любое отклонение от идеальной формы сигнала влияет на его целостность. Отклонения по времени (джиттер) и отклонения амплитуды/напряжения (шум) также влияют на производительность системы. Если не обеспечить целостность сигналов, то система DDR будет использовать неверную информацию, что значительно увеличит интенсивность битовых ошибок BER (Bit Error Rate). В конечном итоге

система будет работать некорректно и неэффективно.

Рассмотрим конкретный пример. Если инженер подключит передатчик к несогласованному приёмнику, находящемуся на некотором расстоянии от него, то форма сигнала будет похожа на ту, что представлена на рисунке 1а: здесь отчетливо видны «звон» на уровне 0,86 В и паразитные повышающие выбросы на уровне 1,75 В при сигнале 1,2 В. Всё это может привести к сбою в работе логики DDR4, и если печатную плату спроектировать с такой топологией, то со 100% вероятностью возникнут ошибки в потоке данных, что, в свою очередь, может привести к некорректной работе системы.

Теоретически можно решить проблемы со «звоном» и выбросами, сократив длину линии передачи, но, к сожалению, это редко работает на практике. Наиболее эффективным способом является согласование приёмника/передатчика по импедансу, в результате чего уменьшается уровень шумов и форма сигнала становится значительно лучше (см. рис. 1б). В связи с этим возникает вопрос, какой номинал согласования использовать и как его рассчитать, ведь даже небольшое изменение номинала может существенно повлиять на производительность системы. Единственный способ решить данную задачу – это симуляция, в частности с помощью интерактивных помощников настройки согласования, используемых в HyperLynx®.

Проблемы тайминга в DDR3

Поскольку параллельные шины, работающие на гигагерцовых частотах, такие как DDR3/DDR4, всё чаще и чаще используются при проектировании печатных плат, проблемы целостности сигнала стоят особо остро. DDR3 SDRAM, например, существенно отличается в плане скорости работы и показателей частоты от DDR2: максимальная тактовая частота DDR2 составляет 800 МГц, а максимальная частота DDR3 – 1600 МГц. Благодаря снижению напряжения питания ячеек создателям нового типа ОЗУ удалось снизить её энергопотребление на целых 15%, что, учитывая впечатляющие показатели DDR2, можно назвать настоящим прорывом. DDR3 использует

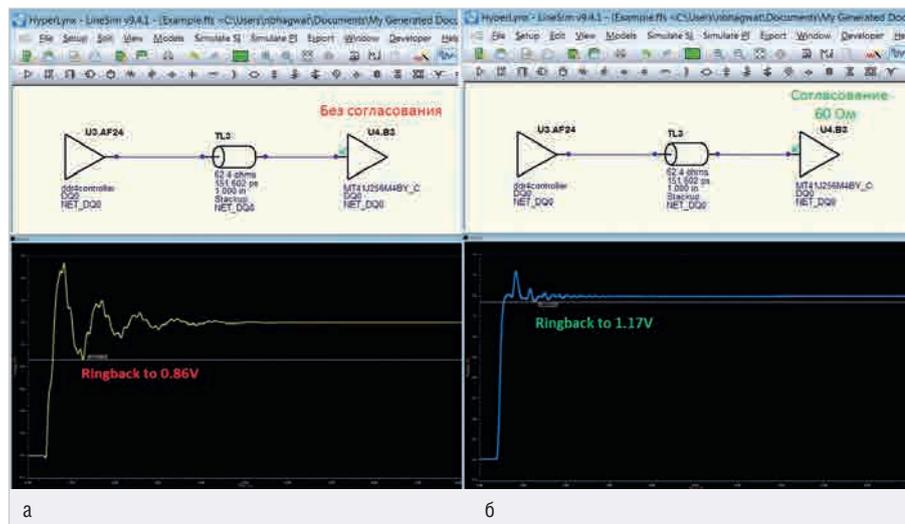


Рис. 1. Топология, имеющая проблемы с качеством сигнала: а) до согласования; б) после согласования

МОЩНЫЕ РЕШЕНИЯ ДЛЯ РАЗРАБОТКИ ЭЛЕКТРОНИКИ

Mentor®

A Siemens Business

PADS Standard Plus

PADS Standard

PADS Professional

PADS HyperLynx DRC

ОПЦИИ:

- HyperLynx DC Drop – анализ падения напряжения в цепях питания
- Rigid-Flex Design – проектирование гибко-жестких печатных плат
- RF Design – проектирование ВЧ плат
- HyperLynx DDR – анализ топологии DDRx-интерфейсов
- Multi-Trace High-speed (HSD) Routing/Tuning – быстрая трассировка/тюнинг высокоскоростных цепей и шин
- FloTHERM XT – анализ теплопередачи
- DFMA – поиск технологических ошибок до начала производства
- FPGA-PCB Co-Design – параллельная разработка ПЛИС и печатной платы

<http://www.cad-expert.ru/promo-mentor>

+7 (495) 645-8626, доб. 1138

pads@cad-expert.ru

Промокод: Padssoel2018

 **NANOSOFT**
DISTRIBUTION

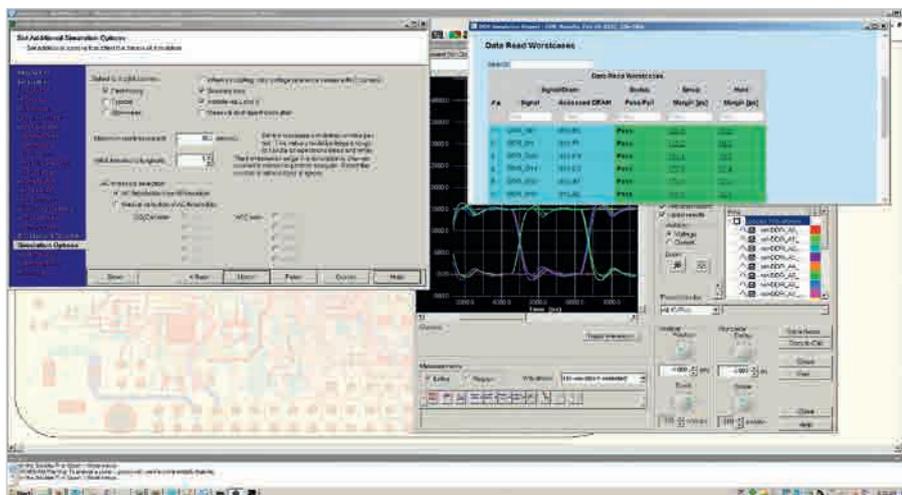


Рис. 2. Моделирование с помощью интерактивного помощника HyperLynx DDR

сетевую Fly-by-топологию командной/адресной/управляющей шины с внутримодульным (ODT) согласованием. В то же время DDR3 создаёт новые проблемы обеспечения целостности сигнала, в частности связанные со схемами ODT, более высокими скоростями передачи данных и временными искажениями.

Несмотря на то что существуют контроллеры, которые выполняют автоматическую калибровку чтения/записи, оптимизируя временные интервалы, разработчику необходимо обеспечить правильный тайминг. Временные границы в интерфейсах DDR3 настолько малы, что эмпирического подхода к оптимизации уже недостаточно, и для того чтобы гарантировать работу интерфейса на высоких скоростях, необходим подробный анализ схемы.

Такие сложные временные соотношения достаточно трудно проанализировать без помощи дополнительных инструментов. Чтобы идентифицировать и устранить возможные проблемы в целом или рассчитать сложные временные соотношения, инженеры должны провести анализ причинно-следственных связей, что является сложной и трудозатратной задачей.

Подобные проблемы при проектировании часто приводят к задержкам в планировании проектов и, как следствие, значительно увеличивают время выхода готового продукта на рынок. Передовые мощные инструменты моделирования могут помочь инженерам быстро найти ошибки и исправить их, оптимизировав сигналы до приемлемого уровня BER.

Анализ целостности сигналов DDR SDRAM-СИСТЕМ

Комитетом инженерной стандартизации полупроводниковой продукции

JEDEC утверждён список требований, которые должны соблюдаться при разработке качественных продуктов. Очень важно, чтобы DDR SDRAM соответствовали этим требованиям для обеспечения правильной работы и предотвращения проблем с целостностью сигнала. Однако проведение всех необходимых измерений и расчётов зачастую сопряжено со многими трудностями.

Иногда этих расчётов можно вообще избежать, строго следуя инструкциям по компоновке, предоставленным поставщиком контроллера, однако такие рекомендации не всегда могут быть выполнены из-за различных ограничений в конкретных проектах, а на то, чтобы убедиться, соответствует ли проект всем рекомендациям и требованиям, часто уходит очень много времени. В таких ситуациях необходимо пользоваться инструментами для быстрой проверки проекта перед запуском его в производство.

С помощью HyperLynx[®] DDR (см. рис. 2) можно смоделировать весь канал DDR за одну итерацию. Для этого необходимо лишь привязать соответствующие модели устройств, которые доступны на сайтах производителей. После этого время настройки симуляции займёт всего 10 мин, что позволит в дальнейшем проводить моделирование без задержек.

Процесс настройки интуитивно прост, т.к. все параметры, необходимые для настройки имитации, запрашиваются помощником в интерактивном режиме. Пользователь просто вводит релевантную информацию, такую как выбор IBIS-моделей для контроллеров и устройств памяти, значения скорости передачи для циклов чтения/записи, ODT и др. Все созданные конфигурации могут быть сохранены для дальнейшего использования, что позволит сократить время настрой-

ки в будущих проектах. Моделирование может выполняться до или после трассировки, помогая определять требования к стэку печатной платы.

Анализ результатов моделирования

Моделирование включает в себя анализ целостности сигналов и синхронизацию всей шины DDR. По завершении процесса симуляции создаётся отчёт, который включает в себя данные о прохождении (непрохождении) проверок в соответствии с информацией о конфигурации и данными, которые были введены в интерактивном помощнике. Результаты можно отфильтровать и должным образом организовать для внимательного изучения тайминга и проблемы целостности сигнала в циклах чтения/записи данных в адресной и командной шинах или дифференциальных цепях. Все результаты отчёта привязаны к соответствующим данным моделирования для быстрого доступа к средству просмотра графических осциллограмм сигналов.

Данные моделирования в пакетном режиме, созданные мастером DDRx, могут быть сохранены на диск, что позволяет использовать осциллограф HyperLynx для одновременной симуляции нескольких цепей и подробного изучения проблем целостности сигналов в автономном режиме.

ЗАКЛЮЧЕНИЕ

Память DDR SDRAM открывает новые возможности в разработке электронных устройств. Как и в случае с другими высокоскоростными интерфейсами, применение памяти DDR имеет ряд особенностей. Проблему целостности сигналов необходимо тщательно изучать для того, чтобы избежать лишних и дорогостоящих итераций при производстве изделий. Моделирование – отличный способ решения данной задачи, позволяющий учитывать эффекты на уровне платы, такие как изменения импеданса и задержки по времени, обеспечивая всесторонний контроль над интерфейсом памяти. Мощные инструменты анализа помогут добиться соответствия проектов рекомендациям JEDEC и получить уверенность в том, что конечный продукт будет работать с высокой производительностью и надёжностью.

HyperLynx DDR может использоваться совместно с несколькими САПР проектирования печатных плат, включая PADS[®] и Xpedition[®]



НОВОЕ ПОКОЛЕНИЕ ПРОГРАММИРУЕМЫХ ИСТОЧНИКОВ ПИТАНИЯ



- + Выходная мощность 5 кВт
- + Выходное напряжение от 10 до 600 В
- + Выходной ток от 8,5 до 500 А
- + КПД до 92% на полной нагрузке
- + Управление: LAN, USB, RS-232/485
- + Вес менее 7,5 кг, высота модуля 1U для 19" стойки

- + GSP 10 кВт, GSP 15 кВт – готовые модули с завода-изготовителя, состоящие из ведущего модуля и одного или двух ведомых
- + Полный заводской контроль качества и тестирование
- + Привлекательная цена

