

Схемотехнический способ работы с системой цифрового моделирования САПР Delta Design Simtera

Никита Малышев (ЭРЕМЕКС)
Аркадий Поляков (НИУ МЭИ)

Уважаемые читатели, коллеги, перед вами третья статья из серии статей по работе с отечественной системой цифрового моделирования Delta Design Simtera, в которой рассмотрен схемотехнический (блок-диаграммный) способ работы с системой.

Введение

В предыдущих двух статьях мы познакомились с системой цифрового моделирования Delta Design Simtera с точки зрения разработчика САПР. В первой статье [1] оценивается сложность создания библиотек тестов для верификации программного пакета Simtera. Приводятся примеры простых и сложных тестов на языке Verilog. Во второй статье [2] рассматриваются результаты сравнения параметров промежуточной версии 3.6 Delta Design Simtera с аналогичными зарубежными системами: скорость моделирования, компиляции, времени запуска, поддерживаемых семейств ПЛИС (программируемых логических интегральных схем). Что касается темы данной статьи, то она представляется интересной не только пользователям САПР, применяющим языки описания аппаратуры (HDL) типа VHDL и Verilog, но и разработчикам-схемотехникам РЭА, использующим графические редакторы для ввода описаний проектируемых объектов. Рассматривается наполнение базы библиотек компонентов САПР Delta Design Simtera цифровыми моделями, их параметризация и использование.

Схемотехнические редакторы и их применение

Как известно, схемотехнические (BD) графические редакторы имеются практически во всех системах автоматизации проектирования РЭА. Они используются не только при проектировании принципиальных электрических схем радиоэлектронных устройств, но и при разработке проектов БИС и ПЛИС. В некоторых САПР

ПЛИС вендоры предлагают схемотехнический редактор как основной инструмент разработки. В нём разработчик формирует соединения шин и проводников проектируемой системы с IP-ядрами, PLL и прочими компонентами чипа. Такое решение, например, предлагают пользователям компания AMD в САПР ПЛИС Vivado [3], компания Microchip в IDE (интегрированной среде разработки) Libero [4] и другие. Проблема автоматического перевода HDL-описаний блоков в блок-диаграммные также решена в большинстве САПР. Особенно просто это делается в САПР Active-HDL.

К плюсам блок-диаграммного способа описаний проектов можно отнести наглядность, которая падает при увеличении количества блоков (пара дюжин – предел). К минусам отнесём ухудшение переносимости проектов из-за несовместимости файлов BD.

В САПР Delta Design Simtera используется общий для аналогового и для цифрового моделирования графический редактор, в основном ориентированный на проектирование печатных плат по нормативам ЕСКД. САПР Delta Design [5] обеспечивает:

- формирование базы данных радиоэлектронных компонентов и поддержание её в актуальном состоянии;
- разработку схем электрических принципиальных;
- проведение моделирования аналоговых и цифровых схем, анализ результатов моделирования;
- разработку конструкции печатных плат;
- расстановку компонентов и проведение полуавтоматической и автоматической трассировки печатных плат;

- выпуск конструкторской документации в соответствии со стандартами;
- выпуск производственной документации, в том числе для автоматизированных производственных линий;
- подготовку данных для составления перечня закупаемых изделий и материалов, необходимых для реализации проекта.

Знакомство с Delta Design Simtera. Графический интерфейс пользователя

Delta Design Simtera – единая среда работы с модулями цифрового проектирования и моделирования. Графический интерфейс пользователя состоит из подокон, которые изменяются в зависимости от выбранного в данный момент объекта для работы (контекста). Общий вид интерфейса приведён на рис. 1. Этот интерфейс используется и для системы аналогового моделирования SimOne [6].

Панель меню содержит в себе все меню, необходимые для выполнения действий с проектами, схемами, компонентами и т.д.

Ленточное меню содержит вынесенные пункты из меню панели для удобства быстрого доступа.

Окно проектов отображает древовидную структуру проектов. Каждый проект представляет из себя либо блок-диаграмму – схему с компонентами, либо её описание на языках описания аппаратуры. В проекте имеются дополнительные части. Например, если необходимо провести моделирование схемы, то в проекте будут располагаться файлы временных диаграмм – осциллографов. Если необходимо создать на основе схемы печатную плату, будет располагаться проект печатной платы и т.д.

Окно библиотек компонентов содержит в своём составе библиотеки компонентов. Каждый компонент в системе цифрового моделирования

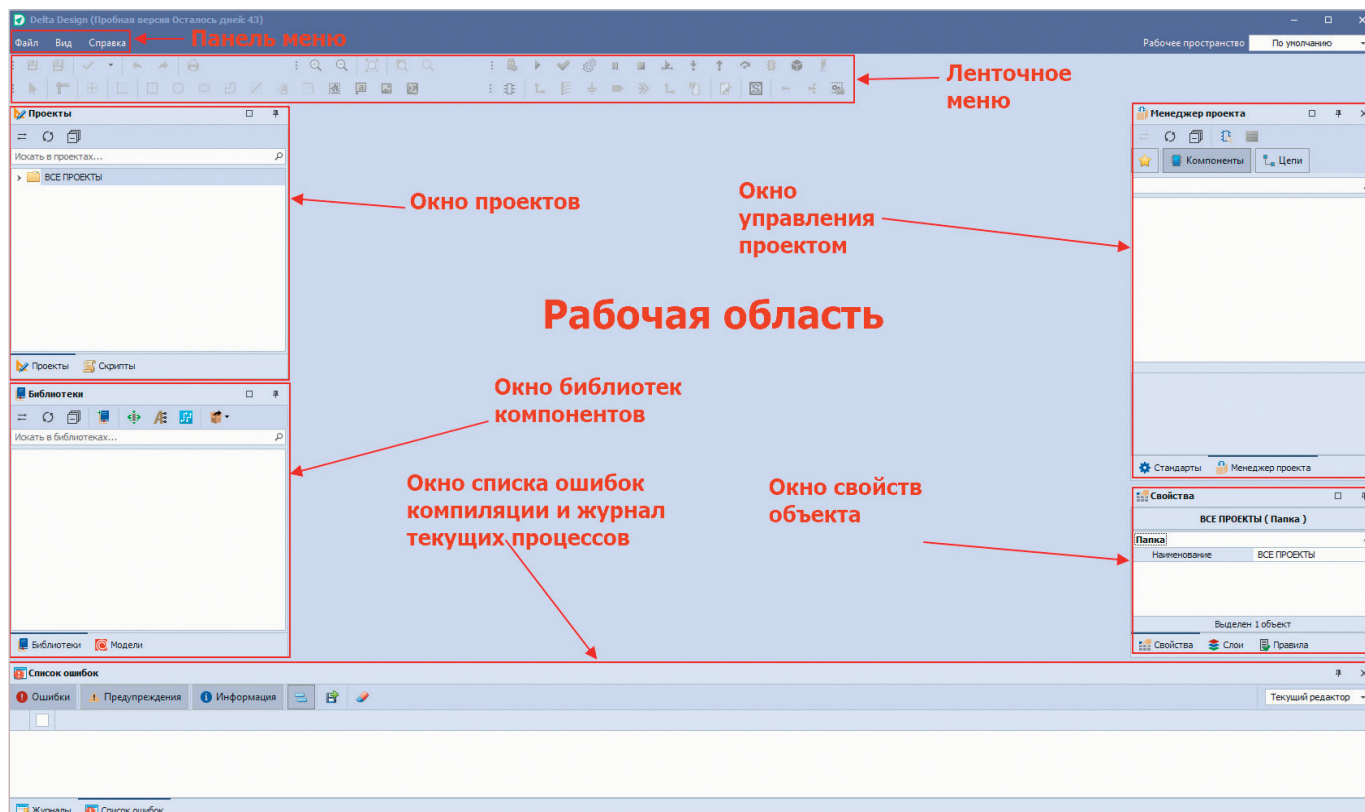


Рис. 1. Интерфейс пользователя DeltaDesign Simtera

Simtera – это цифровое представление реального схмотехнического или электротехнического элемента на языке описания цифровой аппаратуры VHDL или Verilog (в подсистеме аналогового моделирования SimOne – это аналоговая модель в формате P-Spice). Каждый компонент должен иметь УГО (условно-графическое обозначение).

Окно управления проектом частично дублирует функционал окна проектов, но отображает структуру конкретного проекта.

Окно свойств – это окно отображения свойств выделенного объекта. Например, компонента, файла, схемы, печатной платы и т.д.

В окне списка ошибок и журнала в разделе «Ошибки» можно просмотреть сообщения об ошибках, обнаруженных системой при сборке проекта или компиляции кода компонента, а также предупреждения. В разделе «Журнал» можно посмотреть протокол работы системы с проектом.

Рабочая область – зона, расположенная в центре окна программы и содержащая дополнительные подокна, с которыми мы будем непосредственно работать. В рабочей области могут быть окна редактирования УГО компонента, схемы и т.д.

Создание компонента библиотеки цифровых моделей компонентов

Как уже было сказано ранее, компонент – это модель некоторого физического элемента или модуля. При схмотехническом цифровом моделировании пользователь, в основном, использует готовые компоненты из библиотеки цифровых моделей. Собственные компоненты – блоки пользователя создаются редко. Тем не менее иногда это приходится делать, для чего придётся освоить основы HDL. В качестве примера рассмотрим компонент – генератор (источник) непериодического сигнала. Создание пользователем собственного блока (компонента) начинается с создания новой библиотеки компонентов (рис. 2). Назовём нашу новую библиотеку MyLib.

На рис. 3 можно увидеть структуру создаваемой библиотеки MyLib. Нас интересует папка **Компоненты**. В ней будет находиться наш новый компонент, который можно создать путём нажатия правой кнопки мыши на папке Компоненты и выбора пункта «Создать компонент».

В рабочей области появится вкладка окна создания компонента (рис. 4).

Рабочая область инструмента редактирования компонентов представлена следующими разделами.

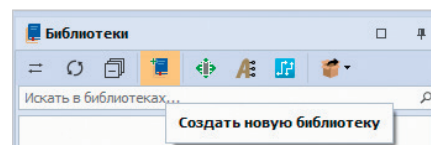


Рис. 2. Создание библиотеки компонентов

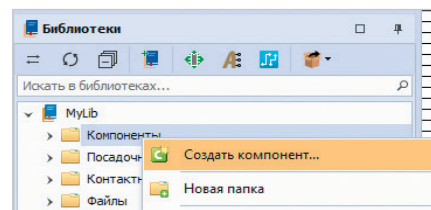


Рис. 3. Создание компонента в разделе компонентов библиотеки MyLib

- 1) УГО – область задания условно-графического обозначения компонента, описываются входы и выходы сигналов.
- 2) Посадочные места – для задания посадочных мест компонента на печатной плате.
- 3) HDL – в нём описывается цифровая модель на языках VHDL или Verilog. Её мы и будем использовать.
- 4) Рабочая область раздела УГО, в которой можно создавать графические обозначения компонентов.
- 5) Свойства – тут описываются свойства компонента, такие как семейство, имя и пр.

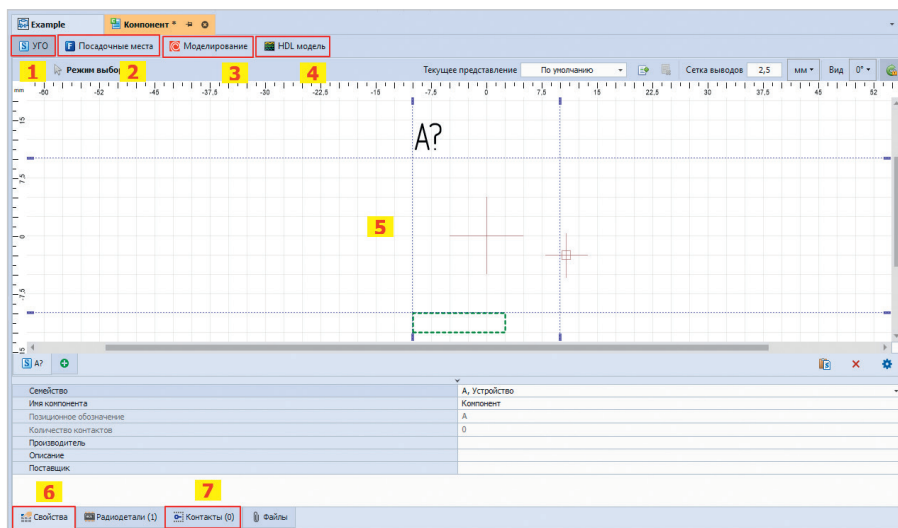


Рис. 4. Рабочая область создания и редактирования компонента

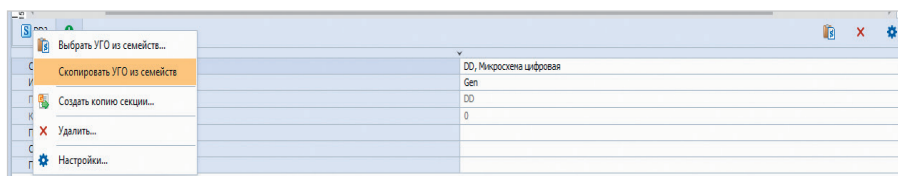


Рис. 5. Копирование УГО из семейств

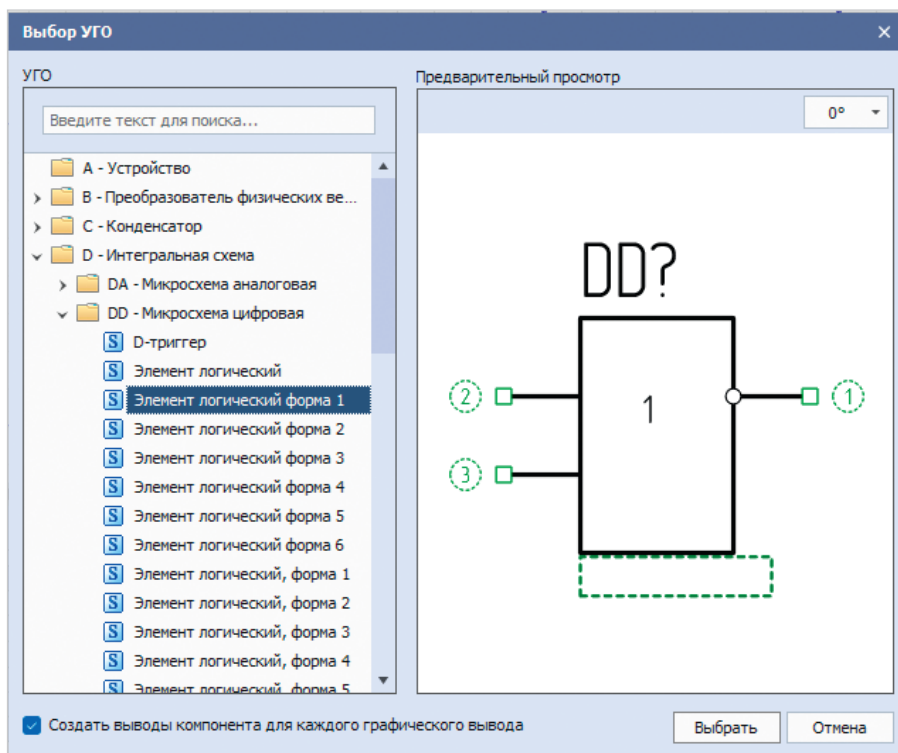


Рис. 6. Выбор УГО из семейства

#	Имя контакта	Метка вывода	Группа	Тип	УГО	Задержка (нс)	Назначение	Примечание
#1	out1	out1		Output	DD7.1	0		

Рис. 7. Задание имени, типа для выходного контакта во вкладке «Контакты»

Компонент	Правило	Описание
Gen	Радиодеталь	Не задан артикул радиодетали. Возможно некорректное формирование документации на проект, где будет исп...
Gen	Проверка HDL	В библиотеке 'WORK\1' не найдена ARCHITECTURE с именем 'func_Gen' и entity 'Gen'

Рис. 8. Ошибки VHDL-модели компонента Gen

6) Контакты – в данном разделе описываются соотношения контактов компонентов с обозначениями на УГО.

Приступим к созданию нашего пользовательского блока – генератора непериодического сигнала. Первое, что необходимо сделать, – изменить стандартное название Компонент на предлагаемое пользователем (в нашем примере Gen) и выбрать семейство (например, DD – микросхема цифровая). Далее необходимо добавить УГО. Воспользуемся моделью из библиотеки стандартных обозначений. Для этого нажмём правой кнопкой на вкладку внутреннего УГО-компонента и выберем «Скопировать УГО из семейства» (рис. 5).

Выберем логический элемент 1 из раздела DD (рис. 6). Теперь необходимо ненужные в нашем случае входные контакты удалить и изменить имена контактов согласно требованиям по именованию стандартов Verilog (IEEE 1800-2005) и VHDL (IEEE 1076-2008) (рис. 7).

Приступим к описанию модели нашего компонента. Для этого перейдём в раздел «HDL модель» и добавим новую модель. Сгенерируем базовый код компонента с помощью кнопки «Генерировать». Работать будем на VHDL. В полученный код необходимо добавить процесс следующего содержания, задающий временную диаграмму сигнала с начальным значением 0, значением 1 в момент 20 наносекунд и т.д.:

```
out1 <= transport '0' after 0 ns, '1' after 20 ns, '0' after 70 ns, '1' after 300 ns;
```

При сохранении компонента произойдёт автоматическая проверка УГО и HDL-кода компонента. При наличии ошибок, например, в VHDL-коде, в панели «Список ошибок» появятся сообщения с указанием типов ошибок и их расположения – номер строки кода и позиция в строке (рис. 8).

Создание проекта и добавление HDL-проекта

Для создания проекта необходимо кликнуть правой клавишей мышки по папке «Все проекты» панели «Проекты» и выбрать интересующий нас тип проекта или создать подпапку (рис. 9).

Проект платы включает все файлы модулей Delta Design от файла схемы до файлов документации. Также имеются проекты более узкого профиля – цифрового и аналогового моделирования. При создании проекта печатной платы необходимо ввести имя проек-

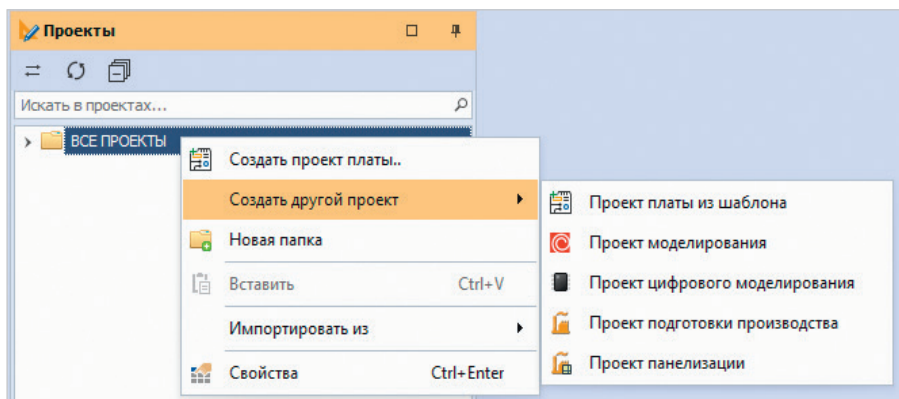


Рис. 9. Создание проекта

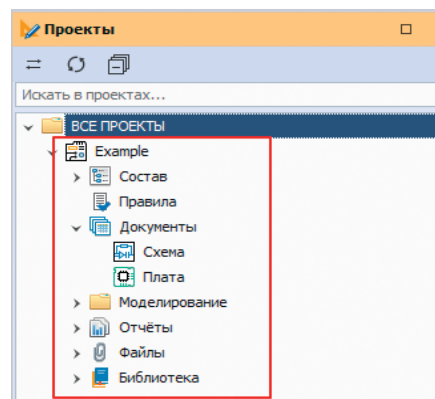


Рис. 10. Структура проекта

та с использованием латиницы, иначе в дальнейшем могут возникнуть проблемы компиляции. После создания проекта мы получим структуру, приведённую на рис. 10.

Здесь раздел «Документы» содержит принципиальную схему и макет печатной платы. В папке «Моделирование» могут располагаться файлы моделирования схемы. «Отчёты» содержат файлы документации. «Библиотека» – это локальное хранилище компонентов, доступных только в данном проекте. «Файлы» – может содержать любые дополнительные файлы. Остальные разделы пока нас не интересуют.

Создадим нашу схему путём перетаскивания нового компонента на рабочую область и добавления проводника к выходу компонента (рис. 11).

Теперь к нашему проекту необходимо добавить HDL-проект, в котором будут находиться все файлы, описывающие схему. В данном случае будет всего два файла: один, содержащий код компонента Gen, который должен быть получен на основе кода, описанного нами в свойствах блока, и второй – файл описания связей компонентов схемы, который описывал бы связь линии (цепи NET0001) с выходом компонента Gen.

Для добавления проекта необходимо нажать на кнопку «Добавление HDL проекта» в окне Менеджера проекта (рис. 12).

Нетлист – это совокупность HDL-файлов, которые полностью описыва-

ют нашу схему. По сути, мы создаём графическую схему из блоков, соединяем их связями для того, чтобы получить корректное описание данной модели на языках описания аппаратуры. Для генерации нетлиста необходимо нажать на кнопку «Генерировать HDL нетлист» в ленточном меню (рис. 13).

Программа предложит выбрать HDL-проект, в который будут сгенерированы файлы, описывающие схему. Выбираем наш проект Example и нажимаем «ОК».

Сборка проекта и проведение симуляции

Для накопления и просмотра временной диаграммы – результата симуляции нам потребуется виртуальный осциллограф, который можно добавить в Менеджере проекта кликом правой кнопки по папке «Осциллографы и списки наблюдений» – «добавить OSC» (рис. 14).

Для сборки проекта в ленточном меню выбираем соответствующий пункт (рис. 15).

Далее откроем осциллограф и нажмём на кнопку добавления данных для отслеживания. Нам доступны входы и выходы каждого блока по отдельности, а также значения на проводниках – соединителях компонентов. За блоки отвечают названия файлов блоков, а за соединения – главный файл с префиксом top (рис. 16).

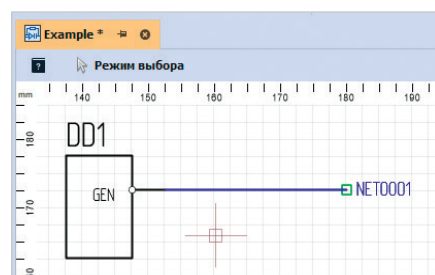


Рис. 11. Полученная схема из одного компонента Gen библиотеки MyLib

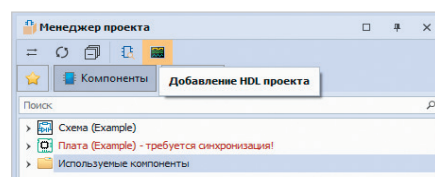


Рис. 12. Добавление HDL проекта

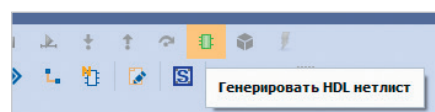


Рис. 13. Кнопка генерации нетлиста

Запуск моделирования осуществляется из ленточного меню (рис. 17):

- 1) запуск моделирования на неограниченное время;
- 2) приостановка моделирования;
- 3) остановка моделирования;
- 4) моделирование промежутка времени;
- 5) выбор длительности промежутка времени.

Для отслеживания поведения нашего генератора выберем длительность моделирования 400 ns, запустив моделирова-

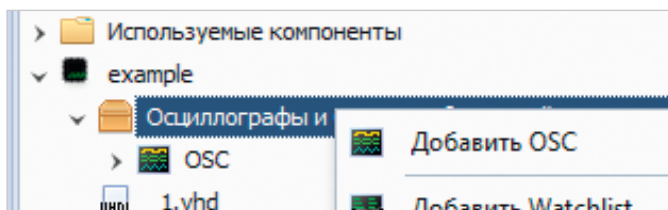


Рис. 14. Добавление осциллографа

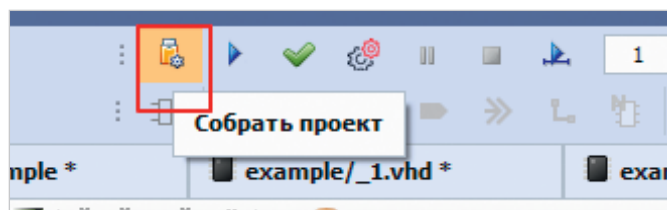


Рис. 15. Сборка проекта

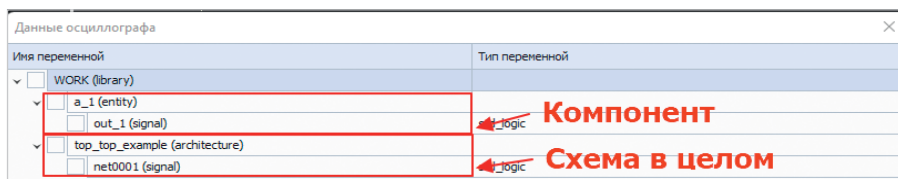


Рис. 16. Выбор данных для просмотра в осциллографе

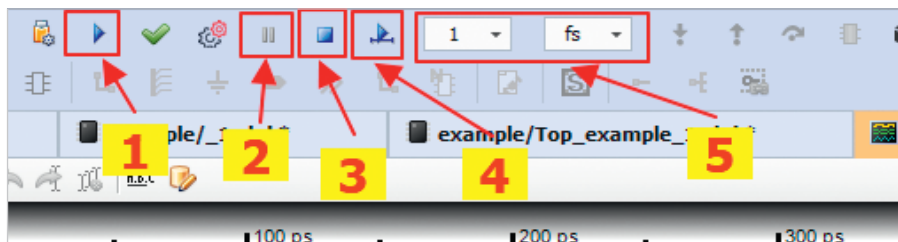


Рис. 17. Панель работы с моделированием. Здесь: 1) запуск моделирования на неограниченное время; 2) приостановка моделирования; 3) остановка моделирования; 4) моделирование промежутка времени; 5) выбор длительности промежутка времени

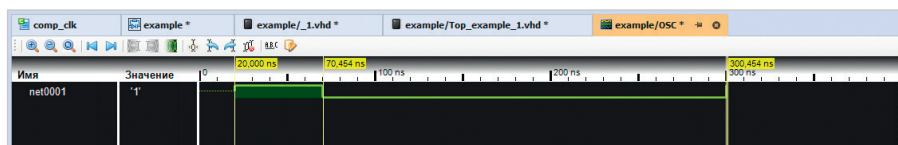


Рис. 18. Результаты моделирования схемы

ние на ограниченное время. Перед моделированием система спросит, какой модуль является главным, то есть точкой входа моделирования. Выбираем модуль с приставкой top, так как хотим запустить симуляцию всей схемы.

Получим осциллограммы, представленные на рис. 18.

Как нетрудно увидеть, перепады находятся на 20, 70 и 300 наносекундах, как и в коде, которым мы описывали компонент.

Библиотека цифрового моделирования

В модуле цифрового моделирования Simtera имеется библиотека моделей

готовых компонентов. Внутренний состав модели включает в себя УГО и HDL-модели, которые можно просмотреть, если нажать правой клавишей на элемент и выбрать пункт «Изменить». Далее необходимо перейти в раздел «HDL модель» и переключить слайдер на VHDL-код.

Заключение

Схемотехническое проектирование в Delta Design Simtera позволяет проводить цифровое моделирование схем в «несколько кликов» при наличии компонентной базы. В отсутствии таковой – задача её создания облегчается за счёт встроенных

шаблонов, а также преднаполненной базы УГО и HDL-моделей. Последующая за цифровым моделированием выгрузка нетлиста в сторонние системы проектирования позволяет использовать Delta Design Simtera в качестве альтернативной системы проектирования и моделирования. А с учётом поддержки отечественных ПЛИС и БМК DeltaDesign Simtera является единственной системой полного цикла разработки для российских чипов.

Напоминаем также, что открыто бета-тестирование DeltaDesign Simtera. Получить тестовую версию системы можно, написав запрос на адрес info@eremex.ru либо запросив её в Telegram-сообществе.



Литература

1. Малышев Н., Поляков А. Библиотеки HDL-тестов для систем моделирования цифровой аппаратуры // Современная электроника. 2023. № 3. С. 12–15.
2. Малышев Н., Поляков А. Сравнение систем цифрового моделирования электронной аппаратуры // Современная электроника. 2023. № 4. С. 8–10.
3. URL: [www.xilinx.com.Vivado Design Suite User Guide: Designing IP Subsystems Using IP Integrator \(UG994\)](http://www.xilinx.com/Vivado Design Suite User Guide: Designing IP Subsystems Using IP Integrator (UG994)).
4. URL: www.microchip.com.Libero SOC design Suit Versions 2023. 22023202023.1 to 1.
5. Система цифрового моделирования Simtera, Руководство пользователя // URL: <https://www.eremex.ru/upload/iblock/c85/jlk2v87u5vkv1pfsgp2xyu0f07pqrqn/DeltaDesign.Simtera.pdf>.
6. Смирнов А., Гимешин А. Схемотехническое моделирование DeltaDesign SimOne // Современная электроника. 2021. № 9. С. 34–36.



НОВОСТИ МИРА

«Ростех» планирует создать процессор «Эльбрус-Б» на 60-нм техпроцессе

«Ростех» провёл партнёрское мероприятие, в рамках которого планировал найти инвесторов для своих технологических программ, а одной из них стала система «Эльбрус-Б», представленная советником заместителя руководителя «Ростеха» Евгением Бабаяном и Борисом Бабаяном, который занимает пост члена-корреспондента РАН.

Как уточняется, в рамках проекта с названием «Эльбрус-Б» предполагается разработка

нового процессора с высокопроизводительными вычислительными ядрами, который смогут выпускать российские предприятия, не имеющие передовых в этой отрасли технологий. Речь о техпроцессе 60-нм и выше, а стоимость данного проекта докладчиками оценивается примерно в 30 млрд рублей со сроками исполнения в течение трёх лет.

Здесь необходимо отметить, что 60-нанометровые чипы в мире начали выпускать ещё в середине 2000-х годов: американская Intel в 2005 году освоила технологические нормы 65-нм, на которые полностью перешла в 2006-м,

а на сегодняшний день лидером в этой области является тайваньский контрактный производитель полупроводников TSMC, который уже внедрил на своих фабриках 3-нм техпроцесс и массово выпускает данные чипы для Apple.

Также отмечается, что программа по созданию 60-нанометрового отечественного процессора с именем «Эльбрус-Б» является личным предложением Бабаяна-младшего и никак не связана с компанией МЦСТ, которая и ведёт разработку процессоров семейства «Эльбрус».

techcult.ru

НОВОСТИ МИРА

Власти планируют развивать некоторые технологии в РФ в особом порядке

Белый дом приступил к формированию законодательной базы для технологического прорыва в РФ – подготовленный Минэкономики законопроект «О технологической политике» должен устранить разрыв между наукой и промышленностью с устоявшейся практикой «патентов на полку» и закупкой готовых технологических решений.

Как пишет Коммерсантъ, документ, как предполагается, станет законом весной 2024 года и позволит де-факто запустить в РФ новую ветку госполитики – технологическую политику, подчинив её двум параллельным процессам: развитию приоритетных технологий (которые с учётом потребностей рынка определит государство) и собственно развитию инфраструктуры для свободного освоения перспективных технологий. Законопроектом обсуждается и создание специальных правовых режимов, позволяющих изъятия из общего регулирования ради ускоренной разработки технологий и обеспечения долгосрочных изменений в этом развитии.

«Ъ» ознакомился с проектом закона «О технологической политике в РФ» – документ подготовлен Минэкономики в развитие концепции технологического развития РФ до 2030 года, принятой в мае 2023 года и задающей ориентиры госполитики на пути к технологическому суверенитету, инновационному росту экономики и импортозамещению. Документ должен согласовать между собой промышленную и научную политику, подчинив их единой логике: достижению целей технологического развития. «Логика исполнения закона о технологической политике будет заключаться в том, что на его основании можно будет устанавливать приоритеты как для промышленной, так и де-факто формировать заказ для научно-технической политики», – поясняют «Ъ» в секретариате первого вице-преьера Андрея Белоусова. В Минэкономики добавляют, что законопроект писали таким образом, чтобы он встроился в существующую архитектуру и не приходилось корректировать действующие законы.

Приоритеты технологического развития будут формироваться в виде перечней критических (необходимых уже сейчас) и сквозных (на долгосрочную перспективу) технологий.

Базой для критических станут проекты технологического суверенитета (их сейчас

десять – от производства станков, лекарств и медизделий до судов, самолётов и гражданских беспилотников). Принцип определения критических технологий такой: проект «техносуверенитета» раскладывается на ключевые этапы производства – необходимые, но выпадающие технологии вносятся в перечень критических.

Конструкция в области импортозамещения при этом становится более жёсткой: должны быть интеллектуальные права на результаты интеллектуальной деятельности (РИД), люди и компетенции, средства производства (это поможет исключить практику «переклеивания» ярлыков и маскировки условно китайской продукции под российскую). Важнее при этом станет не перенос производств в РФ как таковой, а обеспечение производства под национальным контролем (например, в других странах под контролем российских юрлиц).

Для определения сквозных технологий правительство переосмысливает механизм форсайта – речь идёт о прикладном научном прогнозе на горизонте 10–15 лет с ежегодной актуализацией (базой могут стать прогнозы «Национальной технологической инициативы»), а на выходе должен быть перечень конкретных технологий. Для развития критических и сквозных технологий будут включаться в основном существующие меры поддержки, но изменится логика их распределения. Ведомствам, работающим сейчас де-факто как независимые вертикали с разрозненными механизмами поддержки, необходимо в рамках своих же полномочий сконцентрировать бюджетную помощь на новых приоритетах. Сейчас насчитывается порядка 200 инструментов поддержки технологических инноваций, которые требуют инвентаризации и фокусировки, объёмы финансирования механизмов концепции технологического суверенитета ранее оценивались в 3 трлн руб. В правительстве при одобрении проекта бюджета на 2024–2026 годы технологическое развитие назвали одним из приоритетных направлений.

Источник «Ъ» в правительстве считает перестройку работы ведомств одним из наиболее трудных этапов реализации новой политики.

Ведомства, напомним, противились изменениям работы в рамках реформы контроля и надзора, надеясь сохранить большую автономию. Не без сопротивления в 2018 году состоялась реформа господдержки в промышленности, где удалось отменить многочисленные отраслевые

субсидии, заменив их единым критерием ежегодного роста экспорта. Увеличится и роль госкомпаний в развитии технологий: действующие программы инновационного развития, формально выполняемые и перевыполняемые госкомпаниями из-за привязки к KPI менеджмента, будут перезагружены с учётом приоритетов.

Ещё один трек – формирование благоприятной среды для ускоренной разработки и внедрения инноваций. Если в первом случае при создании приоритетов речь идёт о координирующей роли государства, то во втором – об институциональной, то есть государство обеспечит условия, при которых бизнес будет заинтересован в создании инноваций. В законопроекте речь идёт об инфраструктуре технологического развития: для проектирования, разработки и развития технологий, для их тестирования, для защиты и охраны прав на РИД, а также опытного и мелкосерийного производства. Также документ уточняет и закрепляет право на риск как допущение возможности недостижения запланированных эффектов, правила оценки эффективности средств ещё будут детализированы.

Законопроект определяет права и обязанности в области технологической политики президента, федеральных, региональных и муниципальных госорганов, институтов инновационного развития, госкорпораций и госкомпаний, а также РАН. Документ также вводит понятия высокотехнологичной продукции, деятельности в сфере технологического развития, ключевого технического решения, технологических посредников и так далее. Одна из крупных новаций – специальные правовые режимы для поддержки текущего уровня производства высокотехнологичной продукции, поддержки ускоренной разработки технологий, а также поддержки долгосрочных изменений. Режим не ограничен территориально, только во времени, предполагает точечные изъятия из регулирования и отводится на уровень президента. Среди возможных конструкций – особенности распоряжения исключительными правами, ускоренная сертификация технологий, особые правила раскрытия информации при экспорте и импорте технологий.

В экономическом блоке правительства рассчитывают, что законопроект будет принят не позднее весенней сессии Госдумы в 2024 году.

russianelectronics.ru