

Разработка модели цифрового компонента в Altium Designer

Часть 2

Юрий Леган (yuri.legan@altium.com)

В статье рассмотрены задачи моделирования смешанных электрических цепей, приведены сведения о возможностях интегрированного имитатора электрических цепей Altium Designer, дано описание процесса разработки модели четырёхрядного счётчика микросхемы MC14520В фирмы On Semiconductor от сбора исходных данных до формирования компонента библиотеки. Во второй части представлено выражение составных частей при помощи доступных базовых моделей, особое внимание уделяется идентификации параметров модели.

Выражение составных частей при помощи доступных имитатору базовых моделей

Буферные элементы с инверсией на входе и инверсией на выходе D1, D2, D3, D5, D7, D8, D11, D12, D15, D16, D19 и D20 эквивалентны между собой (см. рис. 1 [5]). Такие элементы можно реализовать моделью d_inverter.

Элементы D9, D13 и D17 (2НЕ–И, 3НЕ–И, 4НЕ–И) можно представить как суперпозиции инверторов и элементов 2И, 3И и 4И соответственно. Элементы 2И, 3И и 4И можно реализовать одной моделью d_and, так как эта модель имеет возможность векторного расширения входов.

Элементы D-триггеры (D6, D10, D14 и D18) можно представить моделями d_dff и инвертором для входа синхронизации, так как модель d_dff управляется положительным фронтом на входе синхронизации.

В имитаторе Altium Designer существуют две модели D-триггеров: d_d latch – одноступенчатый D-триггер (защёлка) и d_dff – двухступенчатый D-триггер с динамической синхронизацией. Согласно техническому описанию микросхема MC14520В построена на основе двухступенчатых триггеров (D flip-flops) с динамической синхронизацией (edge-clocked) отрицательным фронтом сигнала.

Таким образом, логическая структура микросхемы должна быть немного преобразована (см. рис. 9): красными контурами и текстовыми метками красного цвета указаны элементы исходной схемы, представленной на рисунке 1 [5].

Структурная схема модели в иерархической форме представлена на рисунке 10. Функциональные группы IN_E, IN_C, IN_R, IN_S реализуют входные каскады микросхемы, схема замещения входного каскада представлена на рисунке 3 [5]. Функциональная группа CONS реализует узел регулирования зависимости потребления тока питания, схема замещения представлена на рисунке 8 [5]. Функциональная группа LOGIC_CORE реализует логическую структуру микросхемы, схема замещения представлена на рисунке 9. Функциональные группы OUT_Q0, OUT_Q1, OUT_Q2, OUT_Q3 реализуют выходные каскады микросхемы, схема замещения представлена на рисунке 5 [5].

Параметризация модели

Параметризация модели – это формирование зависимости функциональных качеств модели от определённых внешних параметров. В качестве эле-

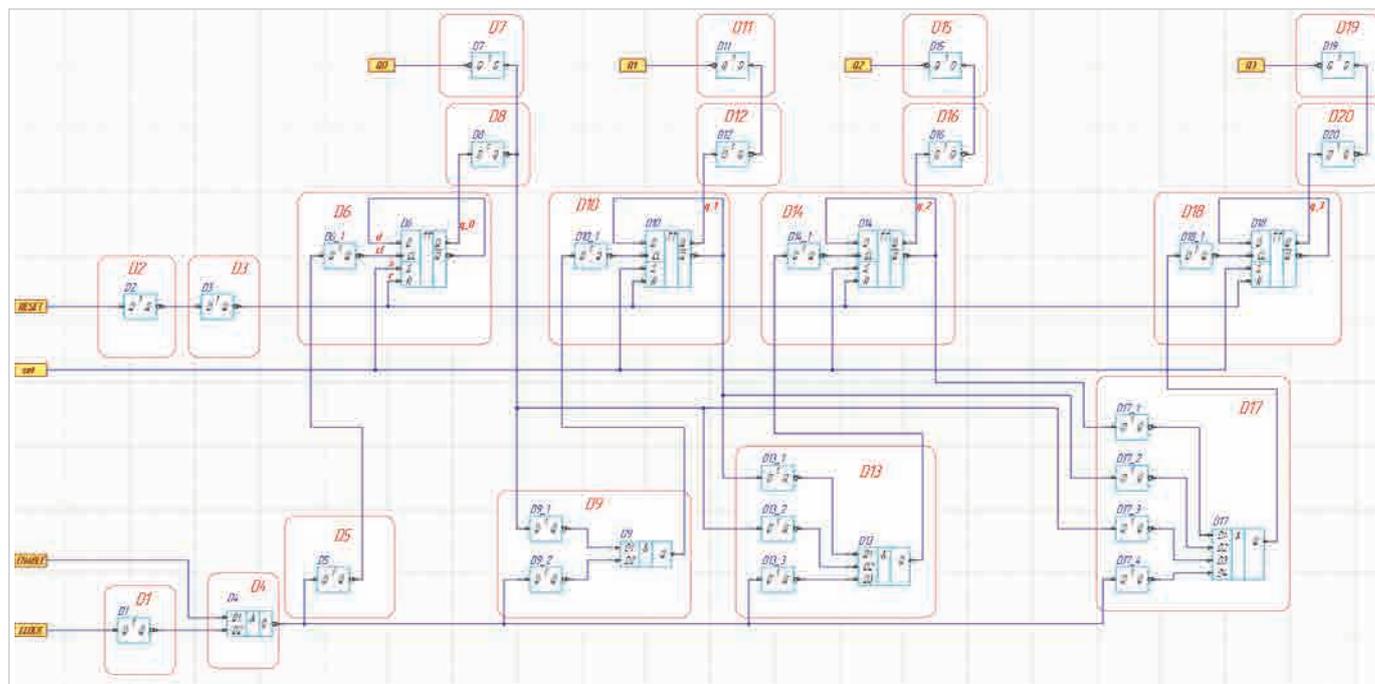


Рис. 9. Принципиальная схема функциональной группы логической структуры (схема замещения)

купи **СЕЙЧАС**
плати **ПОТОМ**



ALTIUM
DESIGNER20 +



A365

Получите бессрочную лицензию Altium Designer On-Demand

+ годовую подписку A365

с рассрочкой платежа на 6 месяцев



Electronics Lifecycle
Management

Altium

www.altiumdesigner-20.ru



ООО "ЭЛМ" официальный дистрибьютор Altium Limited

Тел. +7 (495) 005-51-45 Email: info@elm-c.ru www.elm-c.ru



Рис. 10. Принципиальная схема модели микросхемы в Altium Designer

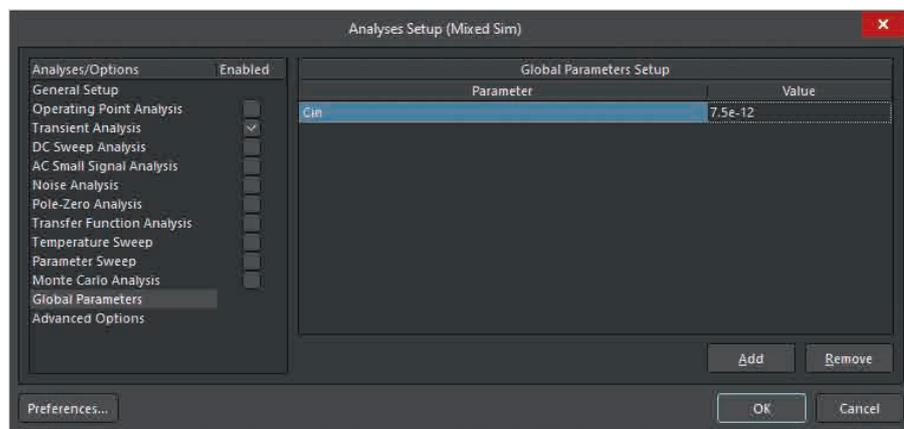


Рис. 11. Область определения параметров Global Parameters в окне Analyses Setup

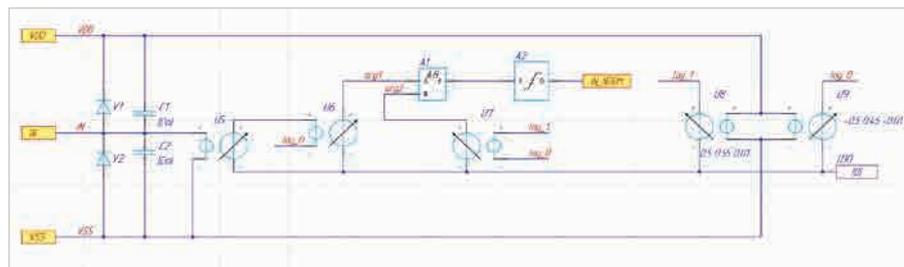


Рис. 12. Принципиальная схема функциональной группы выхода с параметризацией входной ёмкости (схема замещения)

мента параметризации модели микросхемы следует определить возможность изменять значение входной ёмкости. Причина этого заключается в том, что в спецификации указано предельное значение для входной ёмкости, которое, как часто бывает, превосходит величину ёмкости в реальной микросхеме. Возможность менять входную ёмкость делает модель более гибкой и позволяет предоставить пользователю больше вариантов в применении модели. Это позволяет выполнить расчёты как для модели прибора предельного случая, так и для модели, приближённой к нормальной.

Рассмотрение параметризации модели не является строго необходимым процессом в случае рассматрива-

емой микросхемы MC14520B, однако может быть чрезвычайно важным для построения серии связанных моделей, например для целой серии логических микросхем. Параметризация модели в таком случае позволяет изменить функциональные характеристики без необходимости углубляться в редактирование файлов определения модели. В данном случае параметризация входной ёмкости микросхемы рассматривается в качестве примера.

Выберем параметр *Cin* в окне *Analyses Setup* на вкладке *Global Parameters* со значением $7,5 \times 10^{-12}$, что соответствует 7,5 пФ (см. рис. 11). Определим параметрическую зависимость конденсаторов C1 и C2 входного каскада, указав в качестве значения $\{Cin\}$ (см. рис. 12). Теперь

при необходимости изменить входную ёмкость достаточно будет переопределить значение ссылочного параметра без изменения схемы. Наибольший эффект параметризация даст при переходе от схемы замещения к SPICE-коду, что будет показано далее.

Идентификация параметров модели

Идентификация параметров модели сводится к определению параметров на основании доступных сведений из спецификации моделируемого устройства или результатов измерений.

В настоящем случае известно значение максимальной входной ёмкости из спецификации микросхемы. Ранее эти сведения уже были использованы для определения параметра *Cin*.

Верификация модели

Верификация модели подразумевает проверку её функциональных качеств с помощью внешних воздействий. В данном случае следует проверить характеристики функциональных групп каждого вида, которые участвуют в построении структуры модели микросхемы: функциональные группы входа, выхода, узла регулирования тока питания и логической структуры.

Для верификации схемы удобно воспользоваться иерархической формой представления схемы включения и представить микросхему в виде самостоятельной функциональной группы (см. рис. 13).

Верификация функциональной группы входа микросхемы

Верификации функциональной группы входа подлежит зависимость напряжения логического «0» и логической «1» от напряжения питания.

Из спецификации известны значения предельных напряжений срабатывания для напряжения питания 5, 10 и 15 В. Верификацию входа удобно выполнять в режиме расчёта постоянного тока (DC Sweep). В качестве варьируемого источника следует указать источник G1.

Результаты расчёта сведены в таблице 8. Если сравнить таблицы 2 [5] и 8, то можно увидеть, что существует совпадение исходных и достигнутых значений зависимости входного напряжения от напряжения питания. На этом основании верификацию функциональной группы входа следует считать положительной.

Таблица 8. Моделированная характеристика функциональной группы входа

Напряжение питания микросхемы, В	Напряжение логического «0», В	Напряжение логической «1», В
5	1,5	3,5
10	3	7
15	4	11

Таблица 9. Предельные расчётные значения выходного напряжения

Напряжение питания, В	Напряжение логического «0», В	Напряжение логической «1», В
5	$55,55 \times 10^{-6}$	5
10	$49,47 \times 10^{-6}$	10
15	$47,80 \times 10^{-6}$	15

Верификация функциональной группы выхода микросхемы

Верификации функциональной группы выхода подлежат два типа характеристик:

1. зависимости выходного напряжения для разомкнутой цепи выхода при логическом «0» и логической «1» на выходе для напряжения питания 5, 10 и 15 В;
2. зависимости выходного тока от напряжения для замкнутой цепи при логическом «0» и логической «1» на выходе для напряжения питания 5, 10 и 15 В.

Для проверки первого пункта воспользуемся схемой включения, которая приведена на рисунке 13. В данном случае удобно использовать расчёт переходного процесса для просмотра и отображения характеристики выходного напряжения, максимальное напряжение источников G1, G2 и G3 должно соответствовать источнику G5. Вычисленная характеристика переходного процесса выходного напряжения выхода Q0 для напряжения питания 5 В приведена на рисунке 14 (для напряжения питания 10 и 15 В форма графиков похожа).

Результаты измерений для указанных характеристик для напряжения питания 5, 10 и 15 В соответственно можно свести в таблицу 9.

Для проверки второго пункта немного модифицируем схему включения, добавив источник переменного напряжения к выходу Q0 микросхемы (см. рис. 15). В данном случае для верификации удобно использовать расчёт переходного процесса. Выходные характеристики выхода микросхемы для напряжения питания 5 В представлены на рисунке 16 (для напряжения питания 10 и 15 В графики различаются только значениями параметров).

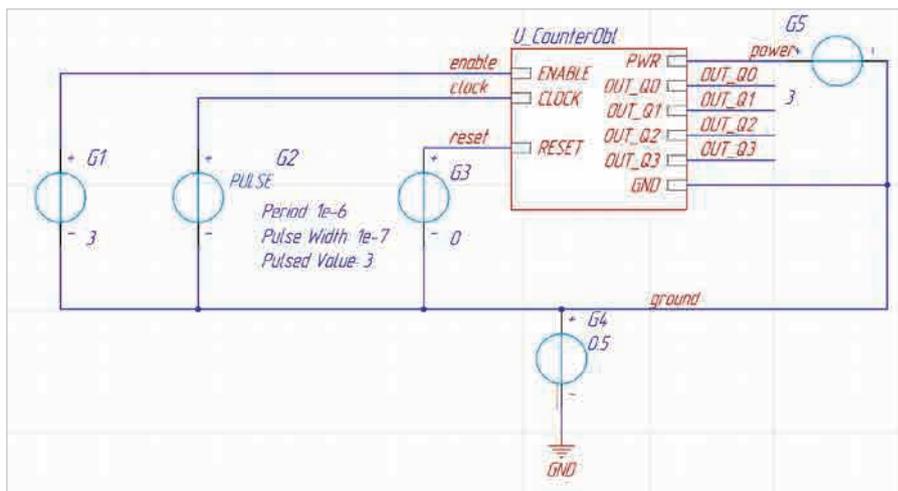


Рис. 13. Схема включения для испытания модели вентиля микросхемы MC14520B

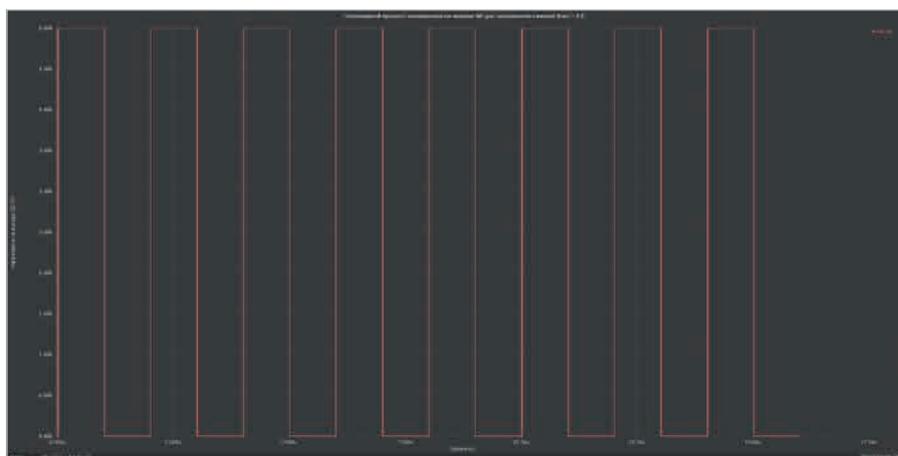


Рис. 14. Переходной процесс напряжения на выходе Q0 для $U_{пит} = 5 В$

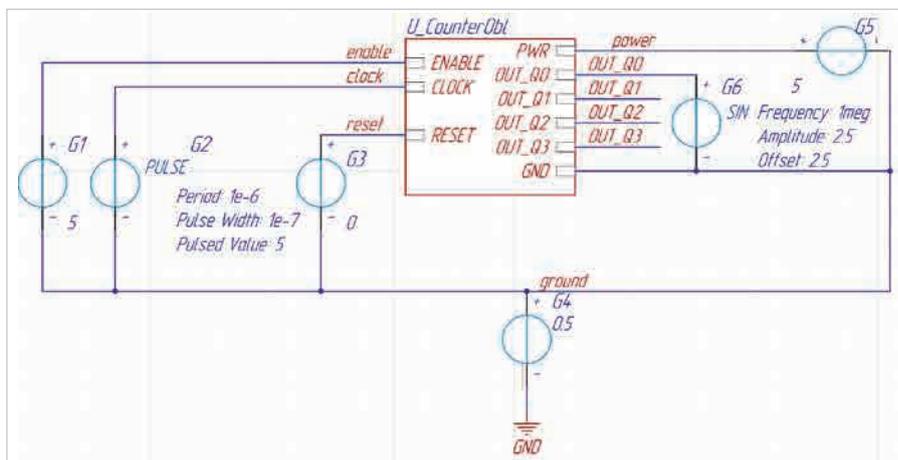


Рис. 15. Схема включения модели вентиля микросхемы для проверки выходного тока

С использованием средств измерения Sim Data для анализа результатов расчётов имитатора электрических цепей Altium Designer получены результаты для условий, приведённых в таблице 4 [5]. Результаты измерений удобно представить в таблице 10.

Если сравнить таблицы 4 [5] и 10, то можно увидеть, что достигнутые значе-

ния предельных выходных напряжений близки к границам, указанным в спецификации микросхемы, но различаются по знаку. Причина различия в том, что источник напряжения G6, используемый в схеме включения в качестве датчика тока, показывает положительный ток при его втекании через контакт положительной полярности и, наоборот,

Таблица 10. Моделированный ток питания

Характеристика	Напряжение питания, В	Ток питания, А
$I_{пит}$	3	$4,4 \times 10^{-6}$
	5	5×10^{-6}
	10	10×10^{-6}
	15	20×10^{-6}
	18	$28,4 \times 10^{-6}$

Таблица 11. Предельные значения выходного тока

Характеристика	Напряжение питания, В	Ток выхода, А
$I_{вых}$ («0», $V_{ог}=0,4$ В)	5	$-0,51073 \times 10^{-3}$
$I_{вых}$ («1», $V_{ог}=2,5$ В)	5	$2,3986 \times 10^{-3}$
$I_{вых}$ («1», $V_{ог}=4,6$ В)	5	$0,51092 \times 10^{-3}$
$I_{вых}$ («0», $V_{ог}=0,5$ В)	10	$-1,2969 \times 10^{-3}$
$I_{вых}$ («1», $V_{ог}=9,5$ В)	10	$1,2964 \times 10^{-3}$
$I_{вых}$ («0», $V_{ог}=1,5$ В)	15	$-3,3853 \times 10^{-3}$
$I_{вых}$ («1», $V_{ог}=13,5$ В)	15	$3,3855 \times 10^{-3}$

рот, отрицательный ток при истекании из вывода положительной полярности. На этом основании верификацию функциональной группы выхода следует считать положительной.

Верификация функциональной группы узла регулирования тока питания

Рассмотрим верификацию функциональной группы узла регулирования тока питания. Верификации подлежит предельный ток потребления питания в статическом режиме без нагрузки на выходах.

Результаты измерений можно свести в таблицу 11.

Данные таблицы 11 полностью повторяют данные таблицы 7 [5], поскольку электрическая схема узла регулирования тока потребления питания полностью определяется заложенной функциональной зависимостью одного элемента – зависимого источника тока. В случае другой реализации электрической цепи узла регулирования тока питания целевые и резуль- тативные данные могут не совпадать в точности из-за влияния других элементов. Так, на основании совпадения данных таблиц 7 [5] и 11 верификацию функциональной группы узла регулирования тока питания можно считать положительной.

Формирование паспорта модели

Паспорт модели – это сводка, отражающая достигнутые в модели характеристики, а также условия применения модели – её потребительские качества.

В случае разработанной модели микросхемы MC14520В следует указать,

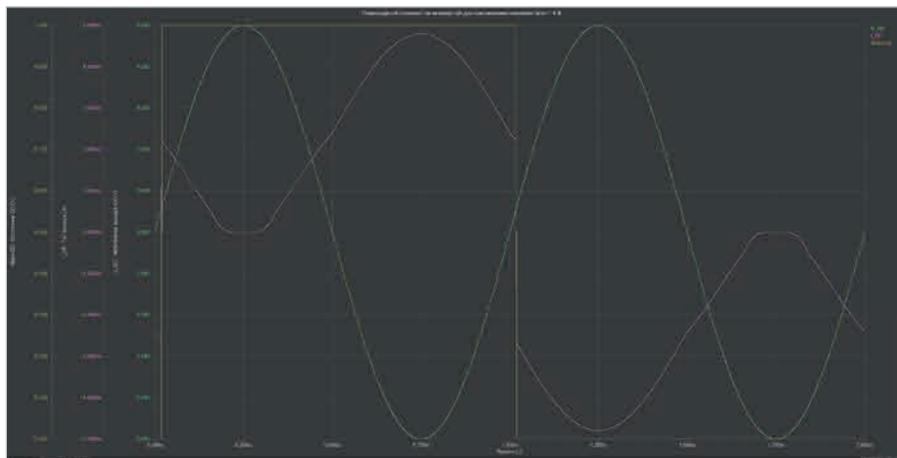


Рис. 16. Переходной процесс выходного каскада для напряжения питания 5 В

Таблица 12. Сводка паспортных параметров модели

Наименование параметра	Номинальное значение в спецификации	Значение в модели	Абсолютное отклонение	Относительное отклонение, %
Входное напряжение логического «0» (Uпит=5 В)	1,5 В	1,5 В	0 В	0
Входное напряжение логического «0» (Uпит=10 В)	3 В	3 В	0 В	0
Входное напряжение логического «0» (Uпит=15 В)	4 В	4 В	0 В	0
Входное напряжение логической «1» (Uпит=5 В)	3,5 В	3,5 В	0 В	0
Входное напряжение логической «1» (Uпит=10 В)	7 В	7 В	0 В	0
Входное напряжение логической «1» (Uпит=15 В)	11 В	11 В	0 В	0
Предельное выходное напряжение логического «0» (Uпит=5 В)	5×10^{-2} В	$55,55 \times 10^{-6}$ В	$-4,994445 \times 10^{-2}$ В	-99,8889
Предельное выходное напряжение логического «0» (Uпит=10 В)	5×10^{-2} В	$49,47 \times 10^{-6}$ В	$-4,995053 \times 10^{-2}$ В	-99,90106
Предельное выходное напряжение логического «0» (Uпит=15 В)	5×10^{-2} В	$47,8 \times 10^{-6}$ В	$-4,99522 \times 10^{-2}$ В	-99,9044
Предельное выходное напряжение логической «1» (Uпит=5 В)	4,95 В	5 В	0,05 В	101,010101
Предельное выходное напряжение логической «1» (Uпит=10 В)	10,95 В	10 В	0,05 В	100,456621
Предельное выходное напряжение логической «1» (Uпит=15 В)	14,95 В	15 В	0,05 В	100,3344482
Предельный выходной ток логического «0» (Uпит=5 В, Uвых=0,4 В)	$0,51 \times 10^{-3}$ А	$0,51073 \times 10^{-3}$ А	$7,3 \times 10^{-7}$ А	0,143137255
Предельный выходной ток логического «0» (Uпит=10 В, Uвых=0,5 В)	$1,3 \times 10^{-3}$ А	$1,2969 \times 10^{-3}$ А	$-3,1 \times 10^{-6}$ А	-0,238461538
Предельный выходной ток логического «0» (Uпит=15 В, Uвых=1,5 В)	$3,4 \times 10^{-3}$ А	$3,3853 \times 10^{-3}$ А	$-1,47 \times 10^{-5}$ А	-0,432352941
Предельный выходной ток логической «1» (Uпит=5 В, Uвых=4,6 В)	$-0,51 \times 10^{-3}$ А	$-0,51092 \times 10^{-3}$ А	$-9,2 \times 10^{-7}$ А	0,180392157
Предельный выходной ток логической «1» (Uпит=5 В, Uвых=2,5 В)	$-2,4 \times 10^{-3}$ А	$-2,3986 \times 10^{-3}$ А	$1,4 \times 10^{-6}$ А	-0,058333333
Предельный выходной ток логической «1» (Uпит=10 В, Uвых=9,5 В)	$-1,3 \times 10^{-3}$ А	$-1,2964 \times 10^{-3}$ А	$3,6 \times 10^{-6}$ А	-0,276923077
Предельный выходной ток логической «1» (Uпит=15 В, Uвых=13,5 В)	$-3,4 \times 10^{-3}$ А	$-3,3855 \times 10^{-3}$ А	$1,45 \times 10^{-5}$ А	-0,426470588
Предельный ток потребления (Uпит=3 В)	–	$4,4 \times 10^{-6}$ А	–	–
Предельный ток потребления (Uпит=5 В)	5×10^{-6} А	5×10^{-6} А	0 А	0
Предельный ток потребления (Uпит=10 В)	10×10^{-6} А	10×10^{-6} А	0 А	0
Предельный ток потребления (Uпит=15 В)	20×10^{-6} А	20×10^{-6} А	0 А	0
Предельный ток потребления (Uпит=18 В)	–	$28,4 \times 10^{-6}$ А	–	–

что модель разработана без учёта влияния температуры на характеристики, не отражает временные характеристики задержки передачи сигнала от входа к выходу (их достаточно просто настроить в функциональной группе логической структуры, поэтому не изложено

в статью), также могут быть даны статистические оценки (если есть достаточно большой объём входных данных).

Как правило, в паспорт модели следует поместить сравнительные значения для исходных данных и достигнутые моделью результаты (см. табл. 12).

Сведения таблицы 12 можно распространять несколькими способами: поместить в отдельный файл и распространять с файлом модели или поместить непосредственно в файл модели. Во втором случае следует учесть, что использование символов кириллицы, вероятнее всего, вызовет проблему при чтении файла имитатором, поэтому следует использовать символы латинского алфавита: слова перевести на английский язык (если модель может быть распространена за пределы стран СНГ) или реализовать с помощью транслита – написания русских

слов с использованием букв латинского алфавита.

В третьей части статьи будет подробно описана разработка компонента интегрированной библиотеки.

Литература

1. Лезан Ю. Разработка модели цифрового компонента в Altium Designer. Часть 1. Современная электроника. 2020. № 7.
2. Библиотека базовых моделей Sim Lib GOST. URL: <https://www.altium-ru.com/sites/default/files/attachments/Sim%20Lib%20GOST.zip>.

3. Расширение функциональных возможностей Altium Designer. URL: <https://www.altium.com/ru/documentation/altium-designer/extending-altium-designer>.
4. Altium Mixed Sim. Руководство пользователя Altium Designer. URL: <https://resources.altium.com/sites/default/files/2020-05/Altium Mixed Sim - Руководство пользователя Altium Designer.pdf>.
5. MC14518B, MC14520B. Dual up counter. Сайт компании On Semiconductor (лист спецификации в формате pdf): <https://www.onsemi.com/pub/Collateral/MC14518B-D.PDF>.



НОВОСТИ МИРА

МЕДИЦИНСКАЯ СИСТЕМА «БАРС.ЗДРАВООХРАНЕНИЕ-МИС» СОВМЕСТИМА С ОС ASTRALINUX

ГК Astra Linux, отечественный разработчик операционных систем и средств виртуализации, и дочерняя компания национального центра информатизации «БАРС Групп» сообщают об успешном завершении испытаний совместимости медицинской информационной системы «БАРС.Здравоохранение-МИС» с ОС Astra Linux Common Edition (релиз «Орёл» 2.12.22) и Astra Linux Special Edition (релиз «Смоленск» 1.6).



Результаты проверок показали, что продукты совместимы и могут использоваться без ограничений, в том числе в части применения СКЗИ «КриптоПро» и электронной цифровой подписи (ЭЦП). Корректность работы программного стека и его пригодность для использования в организациях сферы здравоохранения официально подтверждена сертификатом Ready for Astra Linux.

Для испытаний были представлены программный продукт «БАРС.Здравоохранение-МИС» версии 19.08.0 и два автоматизированных рабочих места. На первом были установлены криптопровайдер «КриптоПро CSP» версии 4.0.9944, приложение для

создания и проверки электронной подписи на web-страницах «КриптоПро ЭЦП Browser plug-in» версии 2.0.13771 (браузер Chromium 76.0.3809.100) и операционная система общего назначения Astra Linux Common Edition релиз «Орёл» 2.12.22.

На второе рабочее место специалисты установили ОС специального назначения Astra Linux Special Edition (релиз «Смоленск» 1.6) с кумулятивным обновлением безопасности «Бюллетень № 20200327SE16», а также аналогичное первому случаю прикладное ПО от «КриптоПро» и две версии Chromium: 66.0.3359.117 для тестирования МИС в среде Astra Linux Special Edition «Смоленск» 1.6 и 80.0.3987.872 – для ОС с установленным обновлением безопасности.

В ходе работ эксперты проверили корректность старта и остановки системы «БАРС.Здравоохранение-МИС» версии 19.08.0 в среде запущенных с ядрами generic и hardened обеих ОС Astra Linux и протестировали функционал МИС, включая подписание документов ЭЦП.

По итогам проведённых испытаний установлено, что система «БАРС.Здравоохранение-МИС» версии 19.08.0 корректно работает в среде обеих ОС семейства Astra Linux, в том числе при установленном обновлении безопасности «Бюллетень № 20200327SE16». МИС позволяет полноценно пользоваться функцией подписания ЭЦП документов с помощью ПО «КриптоПро» через указанные версии браузера.

МИС «БАРС.Здравоохранение» – это цифровая платформа, которая стала основой для построения единого цифрового контура в сфере здравоохранения в регионах. Решение обеспечивает комплексную автоматизацию любых видов деятельности профильных учреждений: от внутреннего

документооборота и организации медицинской помощи до учёта сотрудников. Применение данной МИС способствует повышению качества и доступности медицинской помощи, а также помогает минимизировать вероятность ошибок в лечебном процессе за счёт удобной визуализации данных о проводимом лечении по пациентам. Система официально зарегистрирована в Росздравнадзоре как изделие медицинского назначения.

Ранее компании успешно провели тестирование совместимости технологической платформы BarsUp.Net и ОС Astra Linux, а в дальнейшем планируют обеспечить совместимость и других программных продуктов.

«Благодаря успешной проверке мы сможем совместно создавать «готовые» автоматизированные рабочие места в медицинских учреждениях – полностью российского производства, что соответствует курсу государства на импортозамещение и исполнению национального проекта «Здравоохранение», – прокомментировал Тимур Ахмеров, генеральный директор «БАРС Групп».

«ГК Astra Linux создаёт продукты, ориентируясь в первую очередь на запросы рынка, и всегда учитывает программную и аппаратную среду, в которой заказчики будут использовать ОС. Стремимся избавить их от необходимости самостоятельной работы над совместимостью решений. Подтверждённое сертификатом Ready for Astra Linux корректное функционирование МИС от «БАРС Групп» под управлением Astra Linux – ещё один показатель того, что стратегия кооперации российских производителей приносит конечным пользователям реальные результаты», – комментирует Роман Мылицын, директор по инновациям ГК Astra Linux.

Пресс-релиз Astra Linux