Проектирование и моделирование печатных плат в САПР Allegro Часть 4

Александр Панов (Москва)

В третьей части статьи было описано, как перейти от схемы устройства к печатной плате, создать её контур, выбрать посадочные места, разместить компоненты, выполнить трассировку проводников и вывести производственные файлы.

В данной, заключительной части статьи описывается порядок трассировки, проверки и вывода производственных файлов.

Трассировка

После размещения компонентов и задания правил можно приступать к трассировке. В Allegro можно пользоваться как ручной трассировкой, так и автоматической. Обычно критические цепи разводятся вручную, затем они фиксируются, и автоматом трассируется всё остальные, но это зависит от предпочтений пользователя.

Ручная трассировка

Маршрут ручной трассировки имеет приблизительно следующий вид:

- задание границ платы, используемых переходных отверстий и сеток;
- заливка полигонами земли и питания;
- выполнение Fanout (коротких соединений контактных площадок с переходными отверстиями), проверка их подключения к полигонам питания:
- трассировка остальных цепей с использованием ручных инструментов;

Act

✓ Alt ¥

✓ Via

v

¥

✓ 45

1 x width 👻 Min

Shove preferred

Minimal

_ 8 ×

Options Find Visibility

Options

Тор

No available via Null Net

Line

0.50

Shove vias: Off Gridless ✓ Clip dangling clines Smooth:

Snap to connect point

E Bottom

Net:

Line lock: Miter:

Line width:

Bubble:

- оптимизация проложенных проводников:
- проверка на ошибки.

Выберем Display > AssignColors и назначим цвет для цепи VPP в окне Options (справа). Затем перейдём в закладку Find и переключимся на поиск цепей (Net) в разделе Find By Name, нажмём More... и перенесём в правое окно цепь VPP. После нажатия Apply все площадки и связи, принадлежащие этой цепи, должны окраситься в выбранный цвет. Можно перекрасить, не прерывая выполнения команды, и остальные цепи, которые мы захотим выделить.

После этого выполним команду Route > Connect (можно вызвать нажатием F3 или кликом на иконку 🔏), укажем необходимые параметры проводников в панели Options (справа) и выполним трассировку отмеченных цепей (см. рис. 27).

Нам не обойтись без переходных

торе ограничений (Constraint Manager, СМ). Перейдём в нём в закладку Physical и найдём столбец Via. Выполним нажатие левой кнопкой мыши (ЛКМ) в ячейке для набора Default – откроется окно выбора переходных отверстий (см. рис. 28).

Слева будут отверстия, доступные из библиотек Allegro, справа – используемые в проекте в качестве переходных отверстий. Найдём что-нибудь подходящее, задав фильтр буквами VIA, а затем перенеся пад-стек двойным нажатием ЛКМ в окно справа. Нажмём ОК и выйдем из СМ. Теперь при трассировке, при двойном нажатии ЛКМ или при выполнении команды правой кнопкой мыши (ПКМ) > Add Via, будет происходить установка переходного отверстия. Если у вас будет несколько доступных вариантов, то переключаться между ними можно будет в окне Options. Результаты предварительной трассировки и перестановки некоторых компонентов можно увидеть на рисунке 29.

Добавление полигонов

Мы проложили единичные проводники. Теперь добавим цепи питания и «земли». Для этих цепей лучше использовать полигоны, так как это, например, позволяет уменьшить

Ľ	 Replace etch 	
	Auto-blank other rats	
1		

Рис. 27. Окно задания опций для трассировки



Electrical			Objecto	N	eck	1		Differential Pa	ir		100
Physical			Objects	Min Width	Max Length	Min Line Spaci	Primary Gap	Neck Gap	(+)Tolerance	(-)Tolerance	Vias
Physical Constraint Set	Туре	S	Name	mm	mm	mm	mm	mm	mm	mm	
All Layers	Den		HEADDHONE	0.13	0.00	0.00	0.00	0.00	0.00	0.00	1/// 60 30
	PCS	Ηœ	DEFAULT	0.13	0.00	0.00	0.00	0.00	0.00	0.00	VIA60_30
Region All Layers							Edit Via L	ist			
			Select a via	from the library or	the database:		Via list:				
			Name 4	Start	End	^	Name	Start End			Remove
			UVIA VIA_F	C TOP	TOP BOTTOM		UIA60_30	TOP BOTTO	м		Up
			UVIA_F	CD BOTT	OM BOTTOM TOP	- 1					Down
				BU BOTT	OM BOTTOM						ОК
			VIA03	0_060 TOP	BOTTOM						Cancel
			VIA 10	0_050 TOP	BOTTOM	~					Help
			Filter	ias from the library							Purge
			Show y	ias from the databa	ise						
			Filter by n	ame: VIA							
Spacing			Or enter a	via name:							
Same Net Spacing				and the second sec				_			
Properties						Add		Vie	ewer Options	Undock Viewer	Hide Viewer

Рис. 28. Выбор подходящего типа переходных отверстий для трассировки



Рис. 29. Результат предварительной трассировки

плотность тока и даёт экранирующий эффект.

Для создания контура полигона можно использовать в качестве основы геометрию края платы. Это особенно удобно, когда плата имеет сложную форму. Для этого активируем команду Shape > Copy Shape. Обратим внимания на панель Options (см. рис. 30) - там нужно указать, в каком слое будет находиться новый полигон. Отметим также пункт Create Dynamic Shape и выберем Contract с расстоянием 0,5. Последнее означает, что новый полигон будет «ужат» на 0,5 мм со всех сторон. После этого выполним щелчок ЛКМ на границе платы – должен появиться полигон в выбранном слое (см. рис. 31).

Теперь осталось назначить полигону цепь. Перейдём в режим редактирования полигонов нажатием на кнопку 💽 в панели инструментов, либо нажав на название текущего режима в строке состояния в самом низу страницы и выбрав там Shape Edit. Выделим полигон нажатием ЛКМ, затем откроем меню нажатием ЛКМ, затем откроем меню нажатием на нём ПКМ. В меню найдём команду Assign Net. Активируем её, а затем в её настройках, нажав на многоточие, найдём и выберем цепь «земли» – 0. Нажатием ПКМ > Done завершим команду.

Теперь в ручном режиме нарисуем полигон цепи VPP. Для этого выполним Shape > Polygon и вновь обратимся к настройкам команды (см. рис. 32).

После того как всё будет настроено соответствующим образом, начнём рисовать полигон. В итоге он должен покрывать все переходные отверстия и контактные площадки цепи VPP. После его завершения может получиться так, что он не будет заполнен медью, так как в том месте уже есть полигон «земли». Тогда, выделив полигон питания, выполним ПКМ > Raise Shape Priority. После этого его приоритет будет увеличен, и полигон будет заполнен в первую очередь. Для того чтобы настроить параметры связи полигонов с площадками, нужно перейти в Shape > Global Dynamic

Options	Find	Visibility	
Options			
Copy to Cla	ass/Subc	lass:	
ETCH			~
BOTTO	М		~
Shape O	ptions e dynamic	shape	
Copy:] Voids] Netnam	ne	
Size:) Contrac	st	
C) Expand		
Offset:	0.50		





Рис. 31. Полигон в слое ВОТТОМ

opuons	Find	Visibility		
Options	_		_	_
Active Class	and Su	helass:		
Etch	ana oa	501300.	~	
B	ottom		~	
Chase Fill				
Tupe: D	lunamic	000001	~	
	- (- durania i		
Defer p	erformin	g dynamic I	ill	
Defer p	erformin name:	g dynamic I	ill	
Assign net	erformin name:	g dynamic I		
Assign net Vpp Shape grid:	erformin name: Cur	g dynamic l		
Assign net Vpp Shape grid: Segment T	erformin name: Cur	g dynamic l rrent grid		
Assign net Vpp Shape grid: Segment T Type:	name: Cur ype Lin	g dynamic l rrent grid e 45		
Assign net Vpp Shape grid: Segment T Type: Angle:	rightmic erformin name: Cur ype Lin 0.0	g dynamic l rrent grid e 45		

Рис. 32. Настройки команды создания полигона

Parameters... Там на закладке Thermal Relief Connections можно выбрать вид контакта для сквозных и планарных контактных площадок или переходных отверстий, указать минимальное и максимальное количество перемычек и их ширину. Внешний вид получившегося нижнего слоя платы показан на рисунке 33.

Видно, что полигон «земли» оказался разбит на две части. Для лучшей связи



Рис. 33. Вид слоя Bottom после создания полигонов



Рис. 34. Итоговая топология слоёв Тор и Bottom

	Status		
atus			
Symbols and nets			
Unplaced symbols:		0/33	0%
Unrouted nets:		0/20	0%
Unrouted connection	ns:	0/53	0%
Shapes			
Isolated shapes:		0	
Unassigned shapes:		0	
Out of date shapes:		0/3	Update to Smooth
Dynamic fill:	Smooth	OR	ough 🔿 Disabled
DRCs and Backdrills			
DRC errors: Up To I	Date	0	Update DRC
Shorting errors:		0	On-line DRC
Waived DRC errors:		0	
Waived shorting	errors:	0	
Out of date backdrills	1		Update Backdrill
Statistics			
Last saved by:	Bam Ma	acDuck	
Editing time:	13 hours 48	minutes	Reset
OK	Refresh	1	He

Рис. 35. Окно отображения статуса проекта

этих частей можно создать дублирующий полигон на верхнем слое и связать их дополнительными переходными отверстиями (см. рис. 34), используя уже рассмотренные инструменты. Отверстия можно ставить, используя команду Connect, либо копируя имеющиеся отверстия, нажимая на них ПКМ > Copy.

Проверка и отчёты по топологии

Когда все цепи разведены, можно выполнять проверку и формировать отчёты.

1. Check > Design Status. Вы увидите краткую информацию о проекте –



Рис. 36. Автоматическое переименование компонентов

	Backannotate
CB Editor Layout	
Generate Feedback PCB Editor Board File:	Files Setup C:\Users\Bam MacDuck\Desktop\C
Netlist Directory:	C:\USERS\BAM MACDUCK\DESKTOP\DE
Dutput File:	allegro\HEADPHONE.swp
Back Annotation	
Update Schematic	View Output (.SWP) File

Рис. 38. Окно обратной аннотации в OrCAD Capture

зелёные флаги покажут, что ошибок нет (см. рис. 35). Красные или жёлтые флаги говорят об ошибках. Нажав на них, можно узнать, в чём причина. Кнопки Update to Smooth и Update DRC обновляют полигоны и информацию об ошибках.

- Export > Quick Reports > Summary Drawing Report. Этой командой мы создадим общий отчёт о графических объектах на плате.
- 3. Export > Reports. Отроется ещё один список отчётов. Перенеся название Component Report в нижнее окно двойным нажатием ЛКМ, а затем нажав Generate Reports, мы получим отчёт о положениях, названиях и номиналах всех компонентов. Есть множество вариантов отчётов

и возможностей их настройки. Более подробно об этом можно узнать из других учебных материалов.

Постобработка

Приведём некоторые общие инструменты, которые могут понадобиться после завершения работы с топологией.

7	Rename Re	ef Des Set Up	- 🗆 🗙
Layer Options	BOTH V	Reference Designator Format RefDes Prefix:	X
Starting Layer: Component Origin:	Top Layer V Body Center V	Top Layer Identifier: Bottom Layer Identifier: Skin Character(s)	
Directions for Top Lay	Ver Horizontal	Renaming Method:	Sequential V
Left to Right	▼ then Downwards ▼	Sequential Renaming Refdes Digits: 1	
Directions for Bottom First Direction: Ordering:	Layer Horizontal V	Grid Based Renaming 1st Direction Designation: 2nd Direction Designation:	
Right to left	✓ then Downwards ✓	Suffix:	
Close Ca	ncel Reset		Help

Рис. 37. Окно настройки автоматического переименования компонентов на плате

Переименование компонентов вручную

Используя меню Setup > Colors, погасим отображение всего, кроме следующих слоёв: Geometry\Design Outline, Geometry\Assembly Top, RefDes\ Assembly_Top и Pin\Top. Активируем команду Edit > Text и выберем позиционное обозначение, которое хотим изменить. Его значение появится в командной строке, там же его можно будет переписать, а затем нажать Enter для подтверждения. Если вы попробуете изменить позиционное обозначение на уже существующее, то его замена произойдёт и у другого компонента, чьё обозначение вы использовали. Например, имея на плате резистор R6, мы попробуем поменять название R5 на R6, тогда первоначальный R6 автоматически станет R5.

Переименование компонентов автоматически

Обычно принято пронумеровывать компоненты, исходя из их положения на схеме, но если в этом отношении вас ничто не ограничивает, можно пронумеровать их в зависимости от положения на плате. Для этого выполним команду Manufacture > Auto Rename Refdes > Rename (см. рис. 36).

Выберем Use Default Grid, а затем нажмём на кнопку More... В открывшемся окне настроек (см. рис. 37) можно выбрать, на каких слоях и в каком порядке проводить перенумерацию. Можно добавить префиксы, отдельные для компонентов на верхнем или нижнем слое, либо обойтись без них, как мы и сделаем. Также отметим пункт Preserve Current Prefixes, сохранив текущие буквенные обозначения. Нажмём Close, сохранив изменения, и запустим процедуру переименования нажатием Rename в предыдущем окне. Редактор плат выполнит её. При этом статус можно будет увидеть в командной строке, а результат – на плате.

Обратная аннотация

При работе с печатной платой могут быть выполнены различные изменения, которые необходимо учесть в электрической схеме. Это может быть, например, перенумерация компонентов или свопирование выводов. Чтобы синхронизировать после этого схему с платой, нужно выполнить обратную аннотацию. Для этого в OrCAD Capture выделим в дереве проекта его название headphone.dsn, затем перейдём в Tools > Back annotate – откроется окно с настройками (см. рис. 38).

Выберем закладку PCB Editor и отметим пункт Generate Feedback Files, если это ещё не сделано.

Не забудьте убедиться, что указан верный файл конфигурации allegro.cfg. Он должен находиться по адресу: <папка установки программы>\tools\capture\ allegro.cfg. Также укажите правильный путь для расположения новых файлов списков цепей.

froge dence

	Cr	eate Net	tlist					×	2				Im	port	Log	gic			- 0
CB Editor EDIF 2 0 0	INF Layout	PSpice	SPICE V	/erilog	VHDL	Other	-		Caden	ce Other	1								
PCB Footprint Combined property str PCB Footprint	ng:								Bran	ding: Desi	sign_l	Entry_CIS							Imp Cade
Create PCB Editor N	etlist					S	etup		Imp	iort logic typ Design er	ipe ntru H	IDI		Place	e char	nged co	ompone	ent	View
Options) Design er	nuyr stau C	10L 19 (Conture)			ways				1011
Netlist Files Directory	\DESKTOP\D	EMOS\HEA	DPHONE	VALLEG	RO					/ Design er	nuy c	is (capture)				aurahal			Clo
View Output														Olls	nconc	ditional			Car
Create or Update F	CB Editor Board (N	letrev)																	He
Uptions Input Board File:		nos\Headph	ione\alleg	ro\HEA	DPHON	NE.brd			HD	L Constrain	nt Ma	anager Enabl	led Flov	v optio	ons				110
Output Board File:	\Desktop\Den	nos\Headph	ione\alleg	ro\HEA	DPHON	NE.brd				Show cor	iange nstrai	is only	e report	rwrite	curre	ent cons	straints		
Allow Etch Berro	val During ECO		l Iser Defin	ned Pror	nertu														
Ignore Fixed Prop	erty									low etch re	emov	al during EC	0						
Place Changed Com	oonents:	Always	◯ If San	ne C	Neve	er				nore FIXED	D pro	perty							
Board Launching ()ption Allegro PCB Edite	. 0	Open Boa	ard in Af	PD					reate user-c	defin	ed properties	s	D	Design	n Comp	are		
Open Board in	n Cadence SiP moard file	۲	Open Boa (This opti high-spea	ard in Or ion will r ad prope	rCAD P not trans erties to	CB Edito sfer any the boa	or ard)			reate PCB >	XML	from input da	ata						
									Impo	rt directory:	: 70)esktop/Den	mos/He	adpho	one/a	allegro			
			OK		Отмена		Спра	жа			-						_		
									-										

Рис. 39. Окно генерации нетлиста для внесения изменений в плату

Помимо всего будет создан swpфайл, в котором будут перечислены сделанные в топологии изменения, необходимые к аннотации в схему. Для него также нужно указать расположение. Больше информации о swpфайле можно прочитать в OrCAD Capture User Guide. В нашем примере он будет называться headphone. swp и находиться в папке headphone\ allegro.

Выделим, если это ещё не сделано, пункт Update Schematic для того, чтобы в наш проект был выполнен перенос информации из swp-файла с помощью обратной аннотации. Если мы хотим увидеть содержимое swp-файла после его генерации, отметим пункт View Output. После нажатия на кнопку ОК программа спросит нас о сохранении проекта перед проведением аннотации. Соглашаемся. OrCAD Capture создаст новые файлы списков цепей (PSTCHIP.DAT, PSTXPRT. DAT, PSTXNET.DAT) и swp-файл, который будет открыт в отдельном окне, а в схему будут внесены перечисленные изменения.

Прямая аннотация

С тем же успехом можно вносить сделанные в схеме изменения в готовую или частично выполненную топологию. Для этого в дереве проекта выделим основной файл headphone.dsn и перейдём в Tools > Create Netlist (см. рис. 39).



Рис. 41. Динамическая связь между схемой и топологией:

а – выделение компонента на схеме; б – подсветка компонента в топологии

Отмечаем пункт Create or Update PCB Editor Board (Netrev), а в его опциях указываем входной файл текущей топологии (в первой строке, Input Board File) и выходной файл (во второй строке, Output Board File). Это может быть один и тот же файл. Нажимаем ОК. Будут созданы новые файлы списков цепей и открыта топология с внесёнными изменениями. После множественных изменений бывает такое, что когда мы указываем один и тот же файл как входной и выходной, изменения не загружаются в плату. В таком случае стоит использовать более длинный путь. Для начала сгенерировать только файлы списков цепей, а затем загрузить их в РСВ Designer через команду File > Import > Logic (см. рис. 40).

«Горячая» связь между схемой и платой

OrCAD Capture и Allegro PCB Designer тесно связаны между собой, что позволяет в реальном времени следить за расположением и группировкой компонентов. Выделяя компоненты в одной программе, вы тут же видите их во второй. Обычно эта связь работает по умолчанию. Если нет, то необходимо произвести несложную настройку.

- 1. В редакторе OrCAD Capture выделим файл проекта headphone.dsn.
- 2. Перейдём в Options > Preferences.
- 3. Выберем закладку Miscellaneous.
- 4. Найдём и отметим пункт Enable Intertool Communication.
- 5. Кликнем ЛКМ на ОК.
- 6. Убедимся, что в топологию загружена последняя версия списка цепей.

	neters		Film Control G
Device type	Error action	Film size limits	Available films
Gerber 6x00 Gerber 4x00 Gerber RS274×	 Abort film Abort all 	Max X: 24.00000 Max Y: 16.00000	Domain Sele
O Barco DPF	Format Integer places: 5	Suppress	
Output units	Decimal places: 5	Ceauling zeroes Trailing zeroes Equal coordinates	
 Millimeters 	Not applicable		
Coordinate type	Global film filename affix	ies	
Not applicable	Suffix:		i V 1
	Scal		
			Select all
Continue with undefine	d apertures		Select all
Continue with undefine	d apertures		Select all



Рис. 42. Окно параметров для вывода файлов Gerber для производства

После этого, например, выделив конденсатор на схеме, мы увидим его подсветку и в топологии (см. рис. 41).

Аналогично и в топологии: выполнив щелчок ПКМ > Highlight на нужном компоненте и выбрав любой вид подсветки, мы, тем самым, выделим его и на схеме. Если же нам нужно погасить все выделенные компоненты, выберем Display > Dehighlight и в настройках команды (справа) нажмём кнопку All.

Создание выходных файлов

Последней задачей при разработке печатной платы является создание файлов для передачи заводу-изготовителю, отделу комплектации и монтажному участку. Для этого могут понадобиться Gerber-файлы с информацией о рисунке слоёв, файлы сверловки формата Excellon NC, DXF-файлы для создания чертежей, файлы формата IPC2581, ODB++ или файлы для печати на принтере. Сгенерировать их можно через закладку меню Export.

Перед созданием выходных файлов стоит лишний раз убедиться в отсутствии ошибок.

Генерация Gerber-файлов

 Выполним Export > Gerber Parameters (см. рис. 42).

Рис. 43. Окно вывода файлов Gerber с подготовленными группами слоёв

- 2. Выберем формат Gerber RS274X, наиболее часто используемый сейчас при производстве.
- 3. Выберем по пять знаков до и после запятой в координатах объектов (Integer Places и Decimal Places).
- Можно указать дополнительный текст, который будет добавляться к названию файлов Gerber в начале и конце (Prefix и Suffix). Например, название проекта.
- 5. Пункты Leading и Trailing Zeroes отбрасывают при генерации незначащие нули до и после запятой. Нужно стараться сохранять один вид этих настроек для всех выходных файлов, чтобы не возникало сбоев.
- Убедимся, что единицы измерения миллиметры, и сохраним изменения (ОК).
- 7. Перейдём в Setup > Colors и погасим все слои, нажав Off в Global Visibility.
- 8. В закладке Stack-Up отобразим слой Soldermask Тор для Pin.
- 9. В закладке Geometry отобразим все слои Soldermask_Top.
- 10. Перейдём в Export > Gerber. В окне со списком файлов нажмём ПКМ на одном из них и выберем Add, добавив новый. Назовём его SM_TOP. Тем самым мы создали Gerber-файл с информацией о защитной плён-

ке на верхней стороне. Если мы раскроем список слоёв, которые пойдут в этот файл, то увидим только те, которые отображены в данный момент на экране.

- 11. Повторим эти шаги для того, чтобы создать Gerber-файл SP_TOP с информацией о паяльной пасте на верхней стороне. Для этого используем слои Pastemask_Top/ Pin и Package Geometry/Pastemask_ Top.
- 12. Также не забудем слой BRD с границей платы (Board Geometry/Design_ Outline). Для него справа укажем параметр Undefined Line Width, равный 0,1 мм, потому что граница задана полигоном с нулевой шириной линии (иначе она будет проигнорирована при выводе).
- 13. Выберем все Gerber-файлы, нажав Select All, и создадим их нажатием на Create Artwork (см. рис. 43).

Созданные Gerber-файлы можно посмотреть в программе САМ350 или аналогичной. Они будут иметь вид, представленный на рисунке 44а. Также можно посмотреть созданные файлы в самом редакторе Allegro PCB Editor, втянув их командой File > Import > Artwork в специально созданные для этого новые слои в классе Manufacturing.

Вывод информации об отверстиях

Создадим в файле топологии перечень используемых отверстий (Drill Legend). Отобразим на экране всю информацию, имеющуюся в проекте (закладка Visibily > Global Visibility > ON). В меню Manufacture > Create Drill Table, ничего не меняя, нажмём OK и поместим таблицу на экране щелчком ЛКМ.

Теперь создадим файл сверловки. Перейдём в меню Export > NC Drill. В открывшемся окне и в окне, появляющемся после нажатия кнопки NC Parameters (см. рис. 45), настроим всё в соответствии с настройками, которые использовали при выводе Gerberфайлов.

В итоге, после закрытия окна NC Parameters и нажатия кнопки Drill, мы получим файл с координатами и параметрами отверстий.

Для проверки мы добавили его к ранее созданным Gerber-файлам в сторонней программе (см. рис. 446).

Всё совпало, вывод закончен успешно.

Также просмотр можно выполнить средствами Cadence. Для этого создадим новый файл платы (File > New), тип Board, название, например, Artwork. Перейдём в меню Setup > More > Subclasses. В нём зайдём в класс Manufacturing и добавим новый подкласс Artwork.

Согласимся со всеми настройками, нажав ОК, а затем выполним импорт Gerber-файла (Import > More > Artwork).



Рис. 44. Просмотр выведенных файлов Gerber (a) и Drill (б) в сторонней программе

Укажем класс Manufacturing и подкласс Artwork, нажав «...». Найдём любой из созданных Gerber-файлов, выберем его и нажмём кнопку Load File. У нас появится контур будущего объекта. Поставим его на любое место. Эту последовательность действий можно выполнить для всех файлов, которые вы хотите просмотреть.

На этом знакомство с маршрутом проектирования Cadence Allegro и OrCAD можно считать законченным. Мы создали схему, промоделировали её, создали печатную плату и вывели файлы для производства.

	NC DIII	
Paul Rename		Dall
soot nie name: Hei Scale factor:	adphone/HEAUPHUNE.drl	Unii
fool sequence:	ncreasing O Decreasing	NC Parameters
✓ Auto tool select		Close
Separate files for plate	ed/non-plated holes	Cancel
Repeat codes		ViewLoc
Optimize drill head tra	vel	TION LOG
Unling:		Help
Layer pair O E	3y layer	
[Include counterdrill	
	NC Parameters	_ 🗆 >
Parameter file:	nc_param.txt	
Output file:	L	
o apar nio.		
Header:		^
		~
Leader:	12	
	ASCII	
Code:		
Code: Code: Automatically	create drill ncroutebits_auto	
Code: Code: Automatically Excellon format:	create drill ncroutebits_auto	
Code: Code: Automatically Excellon format: Format:	create drill ncroutebits_auto	
Code: Code: Automatically Excellon format: Format: Offset X:	5 . 5 0.00 Y	0.00
Code: Automatically Excellon format: Format: Offset X: Coordinates:	create drill ncroutebits_auto	0.00 emental
Code: Automatically Excellon format: Format: Offset X: Coordinates: Output units:	Create drill noroutebits_auto	0.00 remental
Code: Automatically Excellon format: Format: Offset X: Coordinates: Output units: Leading zero	5 .5 0.00 Y: • Absolute Incr • English • Mel	0.00 remental
Code: Automatically Excellon format: Format: Offset X: Coordinates: Output units: Leading zero s Trailing zero s	5 .5 0.00 Y: • Absolute Inct C English • Met suppression uppression	0.00 emental ric
Code: Automatically Excellon format: Format: Offset X: Coordinates: Output units: Coordinates: Output units: Coordinates: Output units: Coordinates: Output units: Coordinates: Coordina	create drill noroutebits_auto	0.00 emental ric
Code: Automatically Excellon format: Format: Offset X: Coordinates: Output units: Uutput units: Trailing zero s Equal coordin Y Erabanced Fx	create drill noroutebits_auto	0.00 emental ric
Code: Automatically Excellon format: Offset X: Coordinates: Output units: Leading zero s Equal coordin Equal coordin	create drill noroutebits_auto 5.5 0.00 Y: Absolute Incc English Suppression uppression ate suppression cellon format	0.00 remental rric
Code: Automatically Excellon format: Offset X: Coordinates: Output units: Leading zero s Equal coordin Close	create drill norroutebits_auto	0.00 remental rric Helo

Рис. 45. Настройка вывода файлов сверловки: а – настройка параметров вывода; 6 – настройка формата файла сверловки

Более подробную информацию по функциям САПР можно получить на сайте PCB SOFT или на канале компании в Youtube.

Новости мира News of the World Новости мира

Подержанные IoT-устройства требуют особой защиты

Как обычно выглядит сделка по продаже подержанного автомобиля? Продавец и покупатель подписывают договор, покупатель передаёт или перечисляет деньги, получает ключи от машины и уезжает. Чем будет отличаться сделка по продаже т.н. подсоединённого автомобиля? Глава подразделения X-ForceRed в IBM Security Чарльз Хендерсон небезосновательно отмечает, что у продавца могут сохраниться возможности удалённого доступа к проданной машине.

Проблема, по его словам, заключается в том, что, будучи новым, автомобиль был поставлен на сервисное обслуживание, а значит к нему был организован доступ посредством некоего мобильного приложения, связанного с неким облачным решением. И если пользователь может удалить мобильное приложение, то с облачной частью всё куда сложнее: возможность удалить её или реорганизовать доступ к ней ему недоступна. Для этого требуются усилия сервис-центра. IBM Security уже удалось обнаружить уязвимости в системах отзыва прав доступа к автомобилям и «умной» бытовой электроники. Хендерсон отметил, что это носит «повсеместный» характер и что он стремится привлечь внимание к проблеме.

Задачу организации управления облачной частью IoT он считает непростой по ряду причин: «Вторичный рынок уже не приносит вендору прибыли, поэтому у него нет стимула защищать второго владельца



IoT-устройства. Я не утверждаю, что управление идентификацией решит все проблемы, но мы ещё очень мало сделали для защиты бытовой электроники».

www.pcweek.ru