

# Библиотеки HDL-тестов для систем моделирования цифровой аппаратуры. Отечественная САПР проектирования микроэлектроники. Часть 1

Никита Малышев (ЭРЕМЕКС), Аркадий Поляков (НИУ МЭИ)

В статье рассматриваются вопросы создания HDL-тестов для верификации работы отечественной системы цифрового проектирования и моделирования Delta Design Simtera компании ЭРЕМЕКС.



## Предисловие

Уважаемые читатели, коллеги. Первой статьёй о библиотеках HDL-тестов для систем моделирования цифровой аппаратуры мы открываем серию статей по работе с отечественной системой цифрового моделирования. В статьях мы расскажем о развитии системы за последние годы, а также о пользовательском опыте, особенностях и взаимодействии компании и разработчиков ПЛИС и СБИС по оптимизации функциональности системы. Авторы серией статей:

- Малышев Никита Максимович – ведущий разработчик Delta Design Simtera компании ЭРЕМЕКС;
- Поляков Аркадий Константинович – кандидат технических наук, доцент кафедры «Вычислительные машины, системы и сети» Московского энергетического института (НИУ), лауреат премии Фонда развития МЭИ «Почёт и признание поколений», в конце 90-х и начале 2000-х годов – ведущий инженер компаний SEVA и INTRINSIX в Кремниевой долине США.

Благодаря активному взаимодействию авторов на протяжении трёх лет, начиная с выхода первых альфа-версий Delta Design Simtera, накопилось множество материалов, которыми мы решили поделиться и рассказать о сложностях разработки САПР и альфа-тестирования системы.

Благодаря активному взаимодействию авторов на протяжении трёх лет, начиная с выхода первых альфа-версий Delta Design Simtera, накопилось множество материалов, которыми мы решили поделиться и рассказать о сложностях разработки САПР и альфа-тестирования системы.

## Введение

Подавляющее число систем цифрового моделирования, базирующихся на HDL-языках описания аппаратуры (VHDL, Verilog, SystemVerilog), разработаны в США фирмами Synopsys,

Cadence, MentorGraphics, Xilinx, Aldec и др.

Если в СССР в своё время имелось несколько систем моделирования, базировавшихся на отечественных высокоуровневых языках моделирования цифровой аппаратуры типа МОДИС-ВЕС, Алгоритм и др., то после распада страны в 90-х годах работы в этой области почти не велись.

Система цифрового моделирования Delta Design Simtera (далее Simtera) компании ЭРЕМЕКС [1] является первой из отечественных систем, базирующихся на HDL-языках описания аппаратуры (VHDL, Verilog, SystemVerilog) и их расширениях, ориентированных на моделирование аналоговых систем: Verilog-AMS.

Simtera в самом начале пути своего развития позиционировался как модуль цифрового моделирования в составе программного пакета Delta Design – комплексной среды сквозного проектирования электронных устройств и в том числе печатных плат. Она включает в себя множество отдельных модулей – начиная от ведения библиотек и заканчивая подготовкой данных для производства. Развитие программного пакета Simtera началось ещё в начале 2010-х годов (сам DeltaDesign и топологический роутер TopoR – ещё десятилетием ранее), до первых западных санкций. Тогда Simtera представлял из себя отдельный программный пакет по моделированию VHDL-кода. С тех пор позиционирование этого продукта изменилось в сторону расширения функциональности ввиду спроса и внешних обстоятельств. Это и расширение набора поддерживаемых HDL, и подключение системы синтеза и имплементации.

Таблица 1. Коммерческая библиотека BEACON для верификации систем цифрового моделирования

Название блока библиотеки BEACON	Назначение и количество тестов
Beacon-SV	Тесты SystemVerilog – более 5000 тестов проверки САПР на реализацию различных версий языка SystemVerilog стандартов IEEE 1800-2012, IEEE 1800-2009, IEEE 1800-2005
Beacon-SV MX	Тесты SystemVerilog/VHDL – более 1500 тестов проверки на реализацию смешанных SystemVerilog/VHDL описаний
Beacon-MX	Тесты Verilog/VHDL – более 700 тестов проверки САПР на реализацию смешанных Verilog/VHDL описаний
Beacon-PSL	Тесты PSL (PSL язык спецификации свойств) – более 2000 тестов проверки САПР на реализацию специальных конструкций Verilog и VHDL на соответствие стандарту PSL IEEE 1850-2005
Beacon VHDL-2008	Тесты VHDL-2008 – более 3000 тестов проверки САПР на реализацию стандарта VHDL IEEE 1076-2008
Beacon-RTL-VHDL	Тесты RTL VHDL – более 2100 тестов проверки САПР на реализацию / не реализацию синтезательных подмножеств VHDL-87, VHDL-93
Beacon-RTL-Verilog	Тесты RTL Verilog – более 2100 тестов проверки САПР на реализацию / не реализацию синтезательного подмножества Verilog IEEE 1364-1995, IEEE 1364-2001

Таблица 2. Набор тестов библиотеки *Beacon-2k1*

Проверяемые наборами блока <i>Beacon-2k1</i> конструкции языка Verilog	Количество тестов в наборе
ANSI Style Ports	73
AUTO Width Extension	16
Multy Dimension Arrays	446
Continuous Assignments without Net Declarations	30
Attributes	537
Event Control	32
Combination of Constructs	1773
Configuration	221
Constant Functions	65
Combined port/data	221
Disable Default Net	8
Compiler Directives	15
Command Parsing	14
SDF File Supports	3
VCD Enhancement	18
File IO	50
Generate Statement	367
Instance Array	30
Negative Pulse Detection	37
Arithmetic Operators	53
PLA Modeling	25
Parameters	492
Indexed Part Select	442
Pulse Error Propagation	20
Signed Arithmetic	53
Reentrant Task/ Functions	28
Timing Checks	44
Variable Declaration Assignments	62
Verilog 2005	196
Суммарное количество тестов	5254

ции проектов на ПЛИС. В настоящее время использовать *Simtera* можно как отдельно, если мы говорим о проектировании конфигурации ПЛИС и архитектуры микросхем, так и в составе *Delta Design* – здесь этот модуль можно использовать для моделирования цифровых блоков в составе проектируемого радиоэлектронного изделия.

Одним из важнейших требований к системам, подобным *Simtera*, является отсутствие ошибок – параметр, зависящий в том числе от полноты тестирования (верификации) и устойчивости в работе.

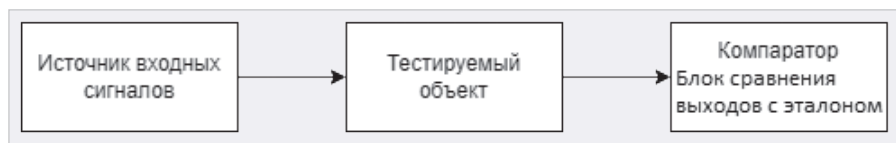


Рис. 1. Типичная структура HDL-тестбенча

### Библиотека тестов

Объём работ, связанных с разработкой библиотек тестов для верификации HDL-систем цифрового моделирования, можно проиллюстрировать параметрами коммерческой библиотеки *BEACON* компании *InterraSystems* [2], представленными в табл. 1.

Если считать, что в среднем каждый тест содержит 10–20 строк HDL-кода, то общий объём таких библиотек 200 000–400 000 строк. Следует учесть, что обычно отдельный простой тест проверяет САПР на реализацию только одной из конструкций языка. Соответственно, необходимы наборы более сложных тестов, проверяющих реализацию совокупности конструкций языков, контролирующих предельные размеры HDL-описаний, объём занимаемой моделями памяти инструментальных ЭВМ и т.п.

Что касается самих тестов, то кроме обычных требований простоты и наглядности HDL-описаний, наличия как позитивных, так и негативных тестов, полноты покрытия конструкций языка и т.п. также учитывается требование возможности интеграции тестов в тестовые наборы, так называемые регрессионные тесты, простоты настройки на изменения стандартов языка и др. Как пример, в табл. 2 представлены параметры набора Verilog-тестов *Beacon-2k1* компании *InterraSystems*.

Типичная структура HDL-тестбенча – модуля, реализующего проверку тестируемого объекта, представлена на рис. 1.

Она включает модель источника входных сигналов, модель тестируемого объекта и компаратора.

### Простые тесты

Простейший тест, используемый для верификации системы моделирования, обычно не содержит отдельный блок – источник входных сигналов, а состоит из операторов, включающих исследуемую на реализуемость конструкцию языка и модель компаратора – блока проверки совпадения выходов тестируемого объекта с эталоном.

Такой подход к организации тестов реализован, например, в свободно рас-

```

`timescale 1ns / 100 ps
module test;
reg [1:4] a;
reg [4:1] b;
integer i;
initial
begin
a = 4'b1100;
for (i = 1; i <= 4; i = i + 1)
begin
#1;b[i] = a[i];
end
$display("a=%b, b=%b", a, b);
if (b !== 4'b0011)
begin
$display("FAILED -- b == %b", b);$finish;
end
#10;
$display("PASSED");
end
endmodule
    
```

Рис. 2. Тест проверки правильности выполнения верифицируемой САПР операции с разрядами векторов

пространяемом наборе Verilog-тестов *IVLTests*, использовавшемся при разработке системы моделирования *IcarusVerilog* [3]. Набор содержит примерно 2000 тестов, что гораздо меньше, чем в наборе *Beacon-2k1*. Тесты организованы как одномодульные тестбенчи, внутри которых все компоненты представлены последовательностями HDL-операторов. Каждый тест – это отдельный файл, название которого отражает проверяемую конструкцию языка и её вариант.

Как пример, ниже приведён один из файлов библиотеки *IVLTests* – файл *bitsel2.v*. Это тест проверки правильности выполнения верифицируемой САПР операции с разрядами векторов. Разряды четырёхразрядного вектора **a** = **1100** в обратном порядке должны быть переписаны в вектор **b**, и в результате **b** должно быть равно **0011**. Если результат не такой, на консоль выдаётся сообщение **FAILED**, значение **b** и происходит останов моделирования, иначе в конце моделирования выдаётся сообщение **PASSED** (рис. 2).

Результаты прогона теста *bitsel2.v* на *Simtera* с временными диаграммами (осциллограф) и данными на консоли (справа) представлены на рис. 3.

Для верификации самих HDL-тестов разработчиками *Simtera* в основном

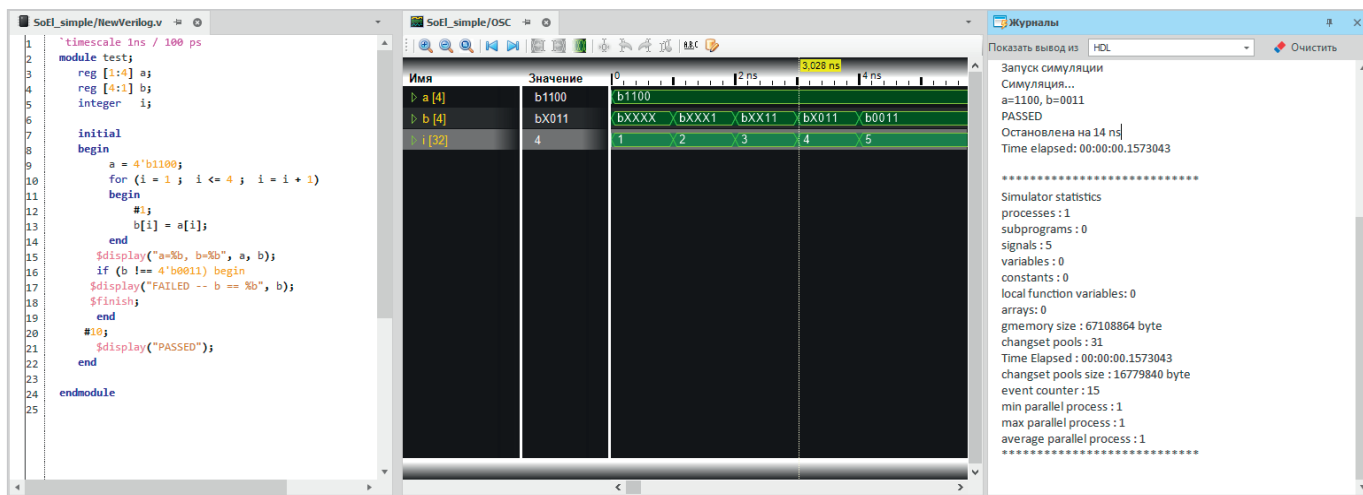


Рис. 3. Результаты проверки работы Simtera на тесте bitsel2.v (тесты IcarusVerilog)

```

`timescale 1ns / 1ps
// Company: NIIVK
// Engineer: POLIAKOV
// Design Name: 74XX LIB
// Module Name: TTL_7400 4 nand gates

module ttl_7400 #(parameter BLOCKS = 4,WIDTH_IN=2,
DELAY_RISE = 5, DELAY_FALL = 3)
(input [BLOCKS*WIDTH_IN-1:0] A,output [BLOCKS-1:0] Y);

reg [BLOCKS-1:0] computed;
reg tmp3[0:BLOCKS-1];
integer i,j, k;
reg tmp, tmp1;
always @(*)
begin
k=0;
for (i = 0; i <BLOCKS*WIDTH_IN; i=i+WIDTH_IN)
begin
tmp=A[i];
for (j = 0; j <WIDTH_IN ; j=j+1)begin
tmp=tmp &A[i+j];
end
tmp1= ~tmp;
tmp3[k]=tmp1;k=k+1;
end
computed={tmp3[3],tmp3[2],tmp3[1],tmp3[0]};
end
assign #(DELAY_RISE, DELAY_FALL) Y = computed;
endmodule
    
```

Рис. 4. Модифицированное описание микросхемы из четырёх элементов 2 ИНЕ

как эталонные используются системы «большой тройки» – Siemens, Cadence, Synopsys, и в некоторых случаях система моделирования XSIM, встроенная в САПР ПЛИС Vivado от Xilinx.

### Сложные тесты

Помимо наборов тестов, предназначенных для проверки системы моделирования Simtera и покрывающих язык Verilog, приходится разрабатывать тесты, охватывающие синтезательное подмножество языка, по типу Veason-RTL-Verilog. Такие тесты пригодны также для верификации систем синтеза и имплементации логических схем. В таких тестах в виде отдельных модулей, а также отдельных файлов,

```

`timescale 1ns / 1ps
`include "ttl_7400_tb.v"
// Company: NIIVK
// Engineer: POLIAKOV
// Module Name: test
// Project Name: SIMTERA test suit and 74XX_LIBRARIES model DESIGN
// Target Devices: TTL_7400 four nand gates unit
module test #(parameter
BLOCKS=4,WIDTH_IN=2,DELAY_RISE=5,DELAY_FALL=3) ();
// DUT inputs
reg [BLOCKS * WIDTH_IN-1:0] A;
// DUT outputs
wire [BLOCKS-1:0] Y;
integer i;
integer FAILED=0;
time DELAY_MAX;
// task
task MAX_DEL;
if (DELAY_FALL > DELAY_RISE) DELAY_MAX= DELAY_FALL; else
DELAY_MAX= DELAY_RISE;
endtask
reg [WIDTH_IN-1:0] Block1;reg [WIDTH_IN-1:0] Block2;
reg [WIDTH_IN-1:0] Block3;reg [WIDTH_IN-1:0] Block4;
// =====
// DUT-УСТАНОВКА ИМПЛЕМЕНТАЦИИ модуля ttl_7400
ttl_7400 dut(.A(A),.Y(Y));

initial
begin
#100; //задержка на начальный период установки сигналов
// в кристалле ПЛИС
// все входы микросхемы в 1, ожидается выходы=0
Block1 = {WIDTH_IN{1'b1}}; Block2 = {WIDTH_IN{1'b1}};
Block3 = {WIDTH_IN{1'b1}}; Block4 = {WIDTH_IN{1'b1}};
A = { Block4, Block3, Block2, Block1};
#DELAY_FALL; #0.1;
for (i = 0; i <BLOCKS; i=i+1) begin
if (Y[i] != 1'b0) $display("FAILED");
end
end
// all zeroes -> 1, enough time for output to rise
Block1 = {WIDTH_IN{1'b0}}; Block2 = {WIDTH_IN{1'b0}};
Block3 = {WIDTH_IN{1'b0}}; Block4 = {WIDTH_IN{1'b0}};
A = { Block4, Block3, Block2, Block1};
#DELAY_RISE; #0.1;
begin
for (i = 0; i <BLOCKS; i=i+1)
if (Y[i] != 1'b1) $display("FAILED");
end
end
// Остальные тестовые наборы для сокращения объёма статьи опущены
#100
$display (" PASSED ");
end
endmodule
    
```

Рис. 5. Тестбенч для верификации синтеза и имплементации

разделяются описания синтезируемого объекта и использующего его тестбенча.

В качестве примера ниже (рис. 4) приводится модифицированное (оригинал – тест из библиотеки IceChipsТима Руди [4]) описание микросхемы из четырёх элементов 2 ИНЕ (микросхема 4-2ИНЕ, в серии 74 обозначаемая как 7400) и её тестбенча (соответственно файлы ttl\_7400.v и ttl\_7400\_tb.v). Описание микросхемы

7400 параметризовано, что позволяет при желании настраивать модель на значения задержек разных серий микросхем при поведенческом моделировании. Подобные модели, например, можно включать в библиотеку схемотехнического моделирования Simtera и Delta Design [5].

Приведённый ниже тестбенч (рис. 5) нами параметризован и может использоваться не только для верификации системы моделирования Simtera, но и для верификации синтеза и имплементации. В последнем случае при временном или посттрассировочном моделировании параметры задержек DELAY\_RISE = 5, DELAY\_FALL = 3 схемы 4-2ИНЕ заменяются в тестбенче на задержки, рассчитываемые САПР после трассировки сигналов в имплементируемой схеме.

Результаты прогона теста на Simtera выведенными (осциллограф) временными диаграммами и данными на консоли представлены на рис. 6.

На момент написания статьи синтез ttl\_7400.v ещё не поддерживался в Simtera, тем не менее в системе регрессионного тестирования заложены тесты поведенческого и логического синтеза. На рис. 7 представлены результаты синтеза поведенческого Verilog описания полного сумматора (test ex4\_7.v) (описание заимствовано из книги Дэвида и Сары Харриссов [6]) с использованием двух синтезаторов – синтезатора, встроенного в Simtera, HDL операторов синтезатора с открытым кодом.

### Заключение

Система моделирования Delta Design Simtera в настоящее время находится на стадии бета-тестирования подсистем поведенческого моделирования и синтеза на базе языков Verilog и SystemVerilog.

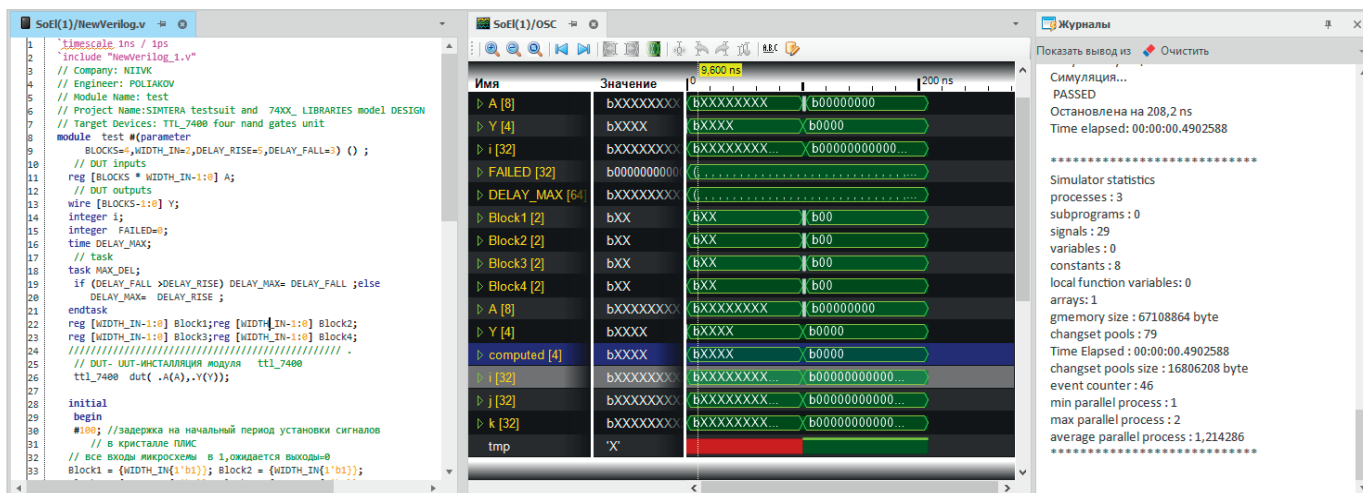


Рис. 6. Результаты проверки работы Simtera на тесте из файлов ttl\_7400.v и ttl\_7400\_tb.v (описание микросхемы из четырёх элементов 2 ИНЕ-7400 и её тестбенча)

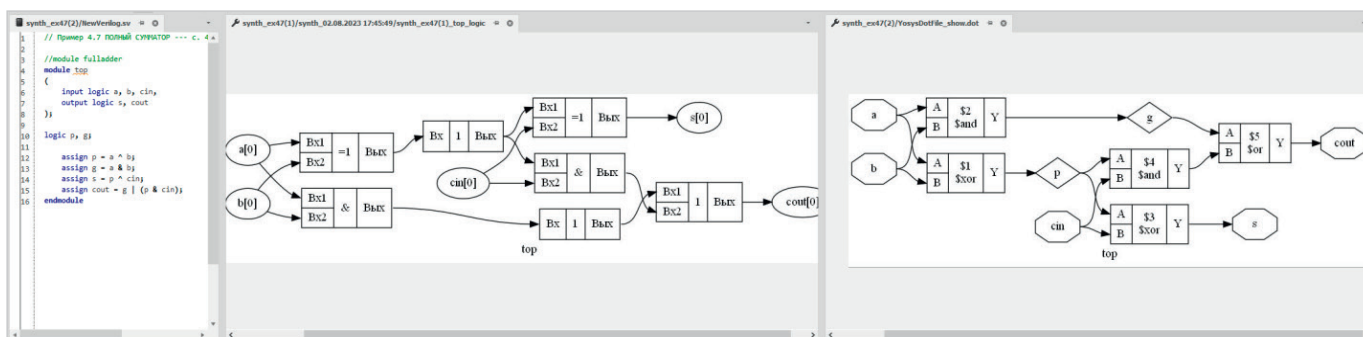


Рис. 7. Результаты синтеза полного сумматора (ex4\_7.v) в Simtera (центр) и в синтезаторе с открытым исходным кодом (справа)

Учитывая большой объём работ по созданию отечественной библиотеки HDL-тестов, разработчики САПР Delta Design Simtera будут весьма признательны всем читателям, которые смогут приложить им самопроверяющиеся тесты.

Напоминаем также, что открыто бета-тестирование Delta Design Simtera, и получить версию системы можно, написав на адрес info@eremex.ru или в Telegram-сообществе.

### Литература

1. Малышев Н. Цифровое моделирование цифровых и цифро-аналоговых узлов в системе Delta Design Simtera // Современная электроника. 2021. № 1. С. 60–61.
2. Interra EDA Solution. URL: [http://www.interradesign.com/hdl\\_test\\_suits.php](http://www.interradesign.com/hdl_test_suits.php).
3. Icarus Verilog Test Suite. URL: <https://sourceforge.net/projects/ivtest/>.
4. TimRudy/ice-chips-verilog. URL: <https://github.com/TimRudy/ice-chips-verilog>.
5. Смирнов А., Гимеин А. Схемотехническое моделирование Delta Design SimOne // Современная электроника. 2021. № 9. С. 34–36.
6. Дэвид М. Харрис, Сара Л. Харрис Цифровая схемотехника и архитектура компьютера. / пер. с англ. Imagination Technologies. – М.: ДМК Пресс, 2018 – 792 с.: цв. ил. УДК 004.2+744.4 ББК 32.971.3

## НОВОСТИ МИРА

### США готовят запрет на инвестиции в технологический сектор КНР – СМИ

Администрация Джо Байдена намерена ввести полный запрет на инвестиции в некоторые IT-компании Китая и отслеживать деятельность ряда китайских организаций, сообщило в пятницу агентство Reuters со ссылкой на собственные источники.

Авторы инициативы винят инвесторов из США в переводе денежных средств и передаче ценных ноу-хау китайским технологическим компаниям, что, по их мнению, мо-

жет способствовать наращиванию военного потенциала Пекина.

По данным источников, запрет коснётся инвестиций в производство чипов. Инициатива также позволит отслеживать соблюдение введённых ранее ограничений на экспорт в Китай американских чипов для продуктов с применением искусственного интеллекта, оборудования для производства микросхем, суперкомпьютеров и ряда других товаров.

Ожидается, что запрет будет оформлен в виде исполнительного указа президента США. Опубликовать документ планируется «в ближайшие месяцы».



Напомним, США дают на союзников по всему миру для того, чтобы ограничить возможности КНР развивать свой технологический сектор. В частности, Вашингтон потребовал от Нидерландов и Японии ввести запрет на поставку оборудования для производства чипов в Китай.

industry-hunter.com