

Возможности анализа цепей питания в Altium Designer

Юрий Леган (altium.ru@altium.com)

Применение средств САПР и математического моделирования на этапе проектирования печатной платы позволяет разработчику значительно лучше реализовать заложенные в изделии технические решения. В статье представлен обзор возможностей дополнительного программного модуля PDN Analyzer 2.0 для Altium Designer 17.1 и Altium Designer 18.0, предназначенного для выполнения анализа целостности питания по постоянному току.

ВВЕДЕНИЕ

Эффективность работы современных цифровых высокоскоростных узлов электронной техники в значительной степени зависит от топологии электрических цепей. Программный модуль PDN Analyzer 2.0, разработанный компанией Altium с применением математических алгоритмов компании CST, предназначен для моделирования цепей питания. PDN Analyzer 2.0 позволяет инженеру построить модель цепей питания на основе списка связей, действительной топологии печатной платы и её технологических параметров, а также знаний о характеристиках электронных компонентов и их рабочих режимах и выполнить исследование характеристик построенной модели.

Одной из задач проектирования печатной платы для современного

высокоскоростного цифрового узла является обеспечение минимально возможного значения полного сопротивления Z_{PDS} цепей питания и заземления [1]. Расчёт токов в слоях питания многослойных печатных плат (МПП) является нетривиальной задачей, а с учётом большого количества межслойных переходов и разделения цепей питания на домены сложной формы – практически невыполнимой без привлечения специальных технических средств.

Результатами некорректно разработанной топологии цепей питания могут являться:

- чрезмерное падение напряжения питания в моменты пиковых токов потребления, что приводит к появлению нестабильности формирования сигналов микросхемами;

- снижение надёжности печатной платы и изменение её электрических характеристик: изменение проводимости вследствие обугливания органических материалов печатной платы, ухудшение частотных характеристик вследствие деформации и расслоения, вызванных перегревом проводников, термодинамическое разрушение межслойных переходов, отслоение печатных проводников, плавление проводников;
- появление шумов в сигнальных цепях, наводимых цепями питания;
- появление сверхнормативного электромагнитного излучения, создаваемого функциональными частями цепей питания.

Решение первых двух проблем относится к задачам обеспечения целостности питания по постоянному току.

Возможности PDN ANALYZER 2.0

Программный модуль PDN Analyzer 2.0 позволяет инженеру построить модель цепей питания проектируемого устройства и выполнить расчёт токовых нагрузок на элементы топологии печатной платы. Результаты моделирования представляют собой цветную шкалу, наложенную на рисунок топологии печатной платы (см. рис. 1) и описывающую двухмерное распределение плотности тока (см. рис. 2) или разности электрических потенциалов в проводниках (см. рис. 3).

PDN Analyzer 2.0 позволяет выполнять [2]:

- одновременное моделирование нескольких вариантов эквивалентной схемы замещения цепей питания;

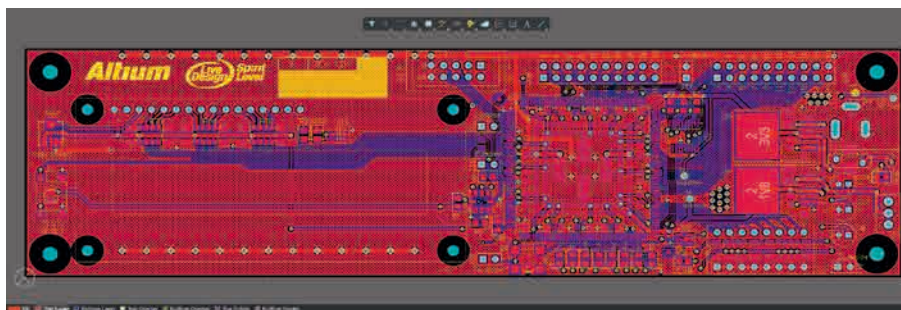


Рис. 1. Рисунок топологии печатной платы



Рис. 2. Отображение плотности тока

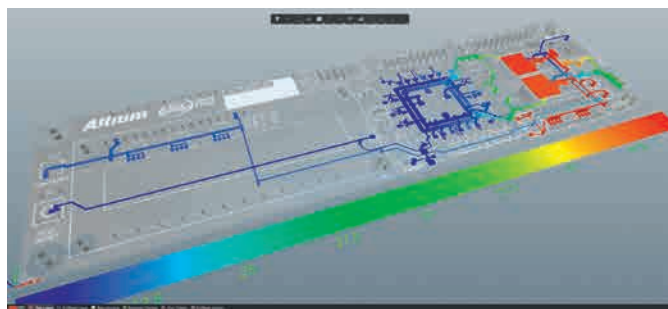


Рис. 3. Отображение падения напряжений питания

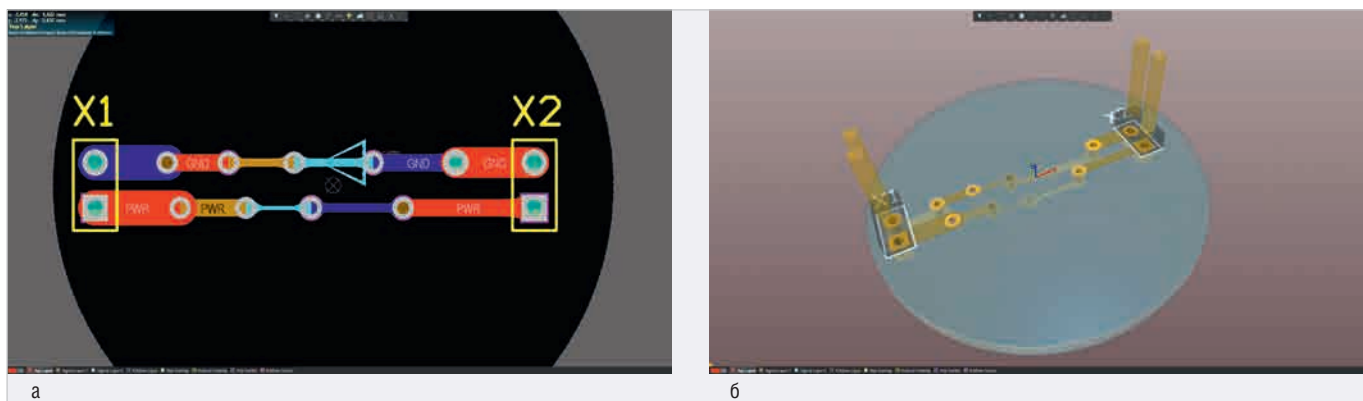


Рис. 4. Демонстрационная МПП: а) двухмерный вид; б) трёхмерный вид

- анализ многосегментной модели цепи питания;
- анализ плотности тока и падения напряжения в проводниках цепей питания;
- анализ предельного допустимого тока для контактных площадок выводов элементов и переходных отверстий межслойных переходов;
- экспертизу нарушений граничных условий, определённых пользователем;
- визуализацию результатов моделирования в двух- и трёхмерном представлении;
- сохранение и загрузку модели цепей питания;
- формирование подробного отчёта в формате HTML.

PDN Analyzer 2.0 использует для своей работы информацию о перечне компонентов моделируемого устройства, списке цепей, рисунке топологии, структуре слоёв, загружая эти сведения из файла печатной платы. При этом в расчётах учитывается толщина меди. Дополнительно пользователь должен ввести информацию о технологических параметрах печатной платы, структуре цепей питания, токах потребления и электрических характеристиках электронных компонентов.

Таким образом, наиболее трудоёмкие части задачи сбора сведений реализуются системой, а пользователю предоставляется творческая часть работы – описание модели цепей питания.

ПРИМЕР АНАЛИЗА ЦЕЛОСТНОСТИ ПИТАНИЯ ПО ПОСТОЯННОМУ ТОКУ

Проиллюстрируем возможности программы двумя практическими примерами. В первом примере демонстрируется точность расчётов, выполняемых PDN Analyzer 2.0 при работе с многослойной печатной платой (см. рис. 4). Информация о МПП извлекается из стека слоёв (см. рис. 5). Источ-

Layer Name	Type	Material	Thickness (mm)	Dielectric Material	Dielectric Constant	Pullback (mm)	Orientation	Coverlay Expansion
Top Copper	Copper							
Top Prepreg	Solder Mask/Co...	Surface Material	0.01	Solder Resist	3.5			0
1 Top Layer	Signal	Copper	0.035				Top	
Dielectric 4	Dielectric	Prepreg	0.18		4.2			
2 Signal Layer 1	Signal	Copper	0.05				Not Allowed	
Dielectric 4	Dielectric	Core	1		4.2			
3 Signal Layer 2	Signal	Copper	0.05				Not Allowed	
Prepreg 3	Prepreg	Prepreg	0.18	FR4	4.2			
4 Bottom Layer	Signal	Copper	0.035				Bottom	
Bottom Prepreg	Solder Mask/Co...	Surface Material	0.01	Solder Resist	3.5			0
Bottom Copper	Copper							

Рис. 5. Стек слоёв печатной платы

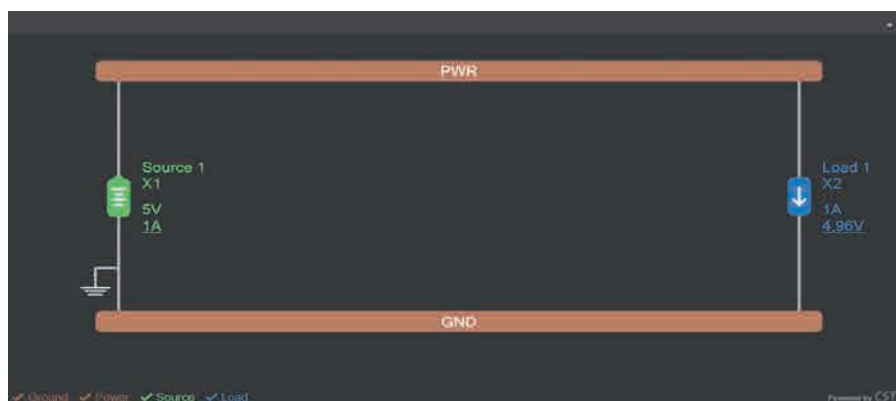


Рис. 6. Структурная схема цепи питания

Характеристики участков цепей и результаты аналитического расчёта

Номер участка	Ширина проводника, мм	Наименование слоя	Толщина меди, мм	Плотность тока, А/мм ²
1	2	Top Layer	0,035	14,29
2	1	Signal Layer 1	0,05	20
3	0,25	Signal Layer 2	0,05	80
4	0,5	Bottom Layer	0,035	57,14
5	1	Top Layer	0,035	28,57

ником постоянного напряжения 5 В служит соединитель X1, а потребителем тока – соединитель X2 с током нагрузки 1 А (см. рис. 6). Сравним аналитический расчёт плотности тока с результатами симуляции. Плотность тока вычисляется по формуле:

$$J = \frac{I}{w \times d},$$

где I – ток, w – ширина проводника, d – толщина слоя меди.

Характеристики участков цепей и результаты аналитического расчёта приведены в таблице.

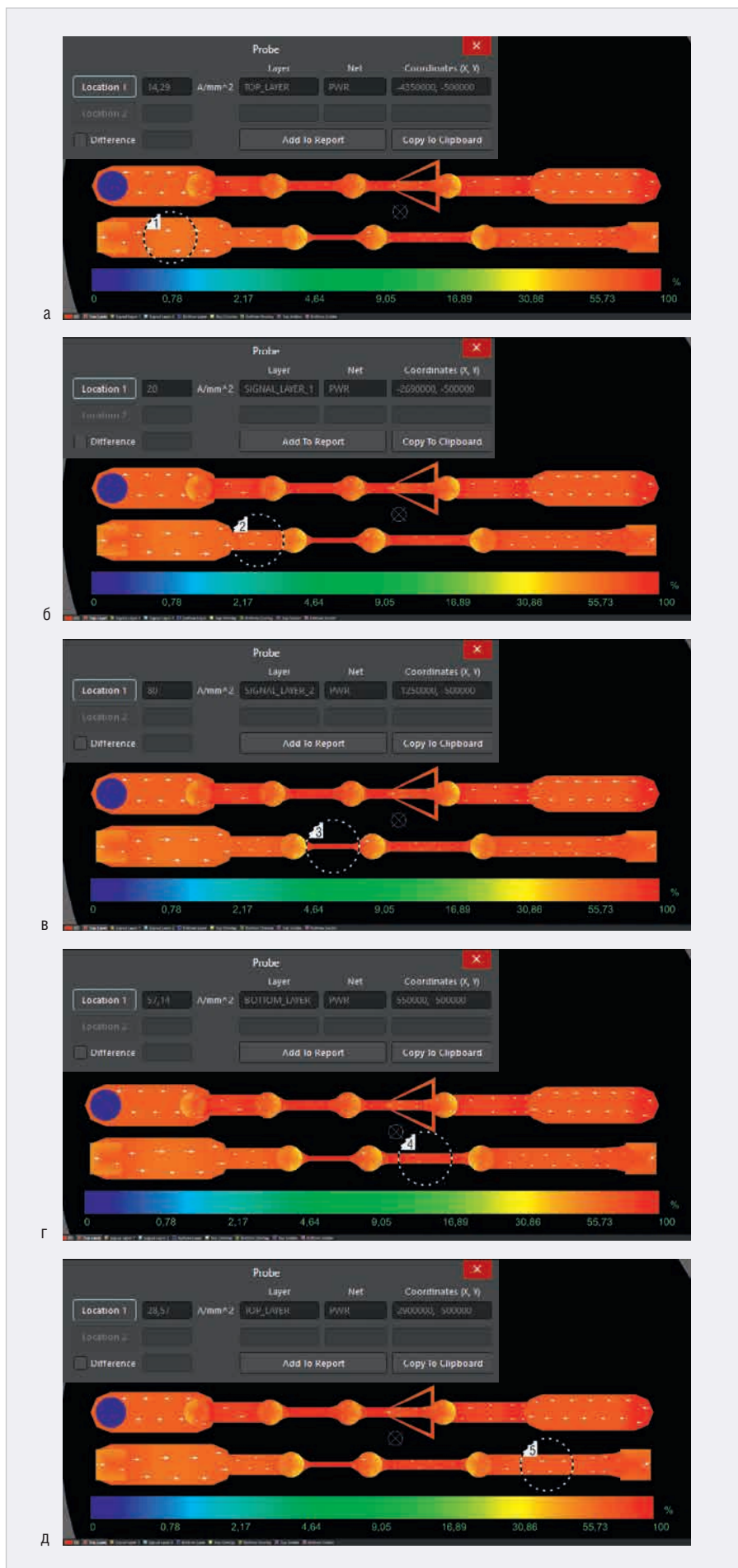


Рис. 7. Результаты вычисления плотности тока: а) участок 1; б) участок 2; в) участок 3, г) участок 4; д) участок 5

Результаты расчёта плотности тока с помощью PDN Analyzer 2.0 на тех же участках цепей приведены на рисунке 7, точки измерения отмечены круговым маркером. При этом для каждого участка точка измерения выбиралась в стационарной точке функции распределения плотности тока по проводнику. Легко заметить, что результаты аналитического расчёта и расчёта в PDN Analyzer 2.0 хорошо согласуются между собой.

Математическое ядро PDN Analyzer 2.0 корректно выполняет вычисление плотности тока для двух параллельных участков. В качестве проверки данного утверждения выполним расчёт полного тока для топологического рисунка, содержащего два параллельных участка для протекания тока (см. рис. 8), исходя из сведений о плотности тока в каждом из двух параллельных участков, по формуле:

$$I = J_1 \times w_1 \times d_1 + J_2 \times w_2 \times d_2,$$

где J_1 – плотность тока на первом участке, w_1 – ширина проводника на первом участке, d_1 – толщина проводящего слоя на первом участке, J_2 – плотность тока на втором участке, w_2 – ширина проводника на втором участке, d_2 – толщина проводящего слоя на втором участке.

Воспользуемся вычисленными значениями плотности тока (см. рис. 9), сведениями из стека слоёв (см. таблицу) и сведениями о ширине проводников $w_1 = w_2 = 0,25$ мм. Вычисленное значение полного тока составляет:

$$I = 0,302925 + 0,697125 = 1,00005 \text{ A.}$$

Полученный результат согласуется с фактическим значением полного тока цепи 1 А.

Во втором примере рассматривается моделирование многосегментной цепи питания с разделением сегментов линейными регуляторами постоянного напряжения. В данной задаче применялись полигоны сложной формы с различными способами заполнения (см. рис. 10, 11). Распределение плотности тока в возвратной цепи при различных способах заливки полигонов питания должно различаться, что подтверждается результатами моделирования. Таким образом, программный модуль PDN Analyzer 2.0 способен эффективно работать с участками топологии сложных форм. Наилучшая производительность модуля достигается при его использовании совместно с Altium Designer 18.0.

ЗАКЛЮЧЕНИЕ

Компания Altium непрерывно работает над совершенствованием Altium

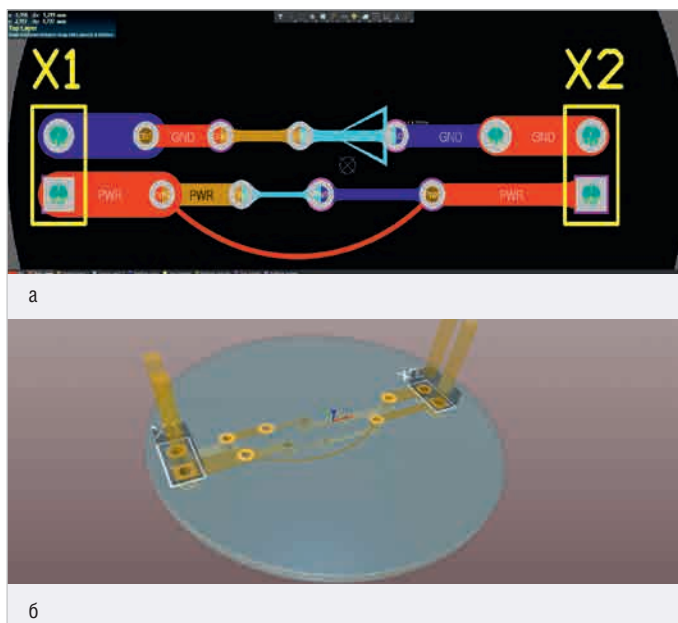


Рис. 8. Топология с двумя параллельными участками для протекания тока:
а) общий вид топологического рисунка; б) трёхмерное изображение печатной платы

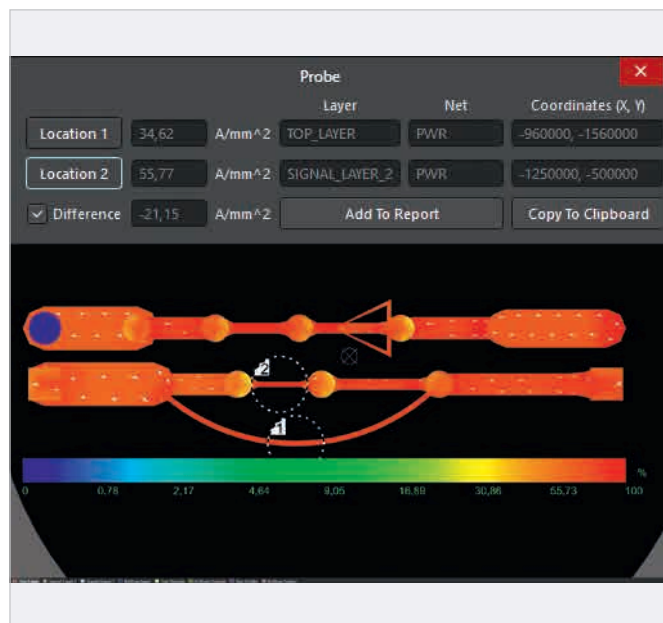


Рис. 9. Результат моделирования цепи питания с параллельными участками протекания тока

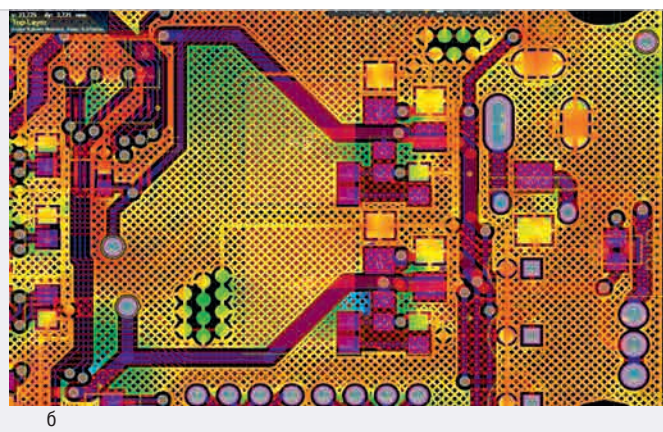
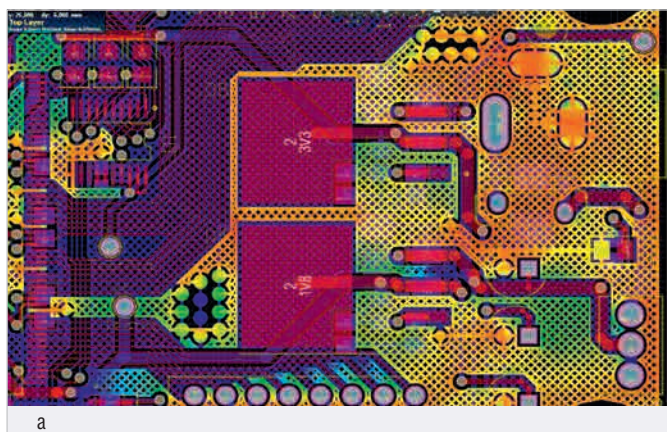


Рис. 10. Возвратная цепь, выполненная сетчатым полигоном с наклоном линий 45°: а) на слое Top Layer; б) на слое Bottom Layer

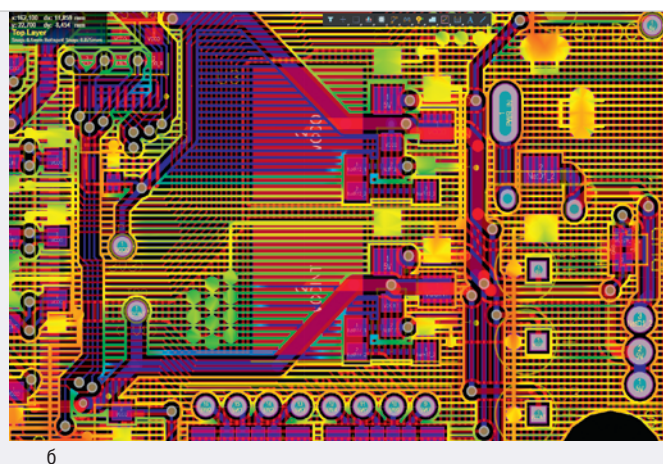
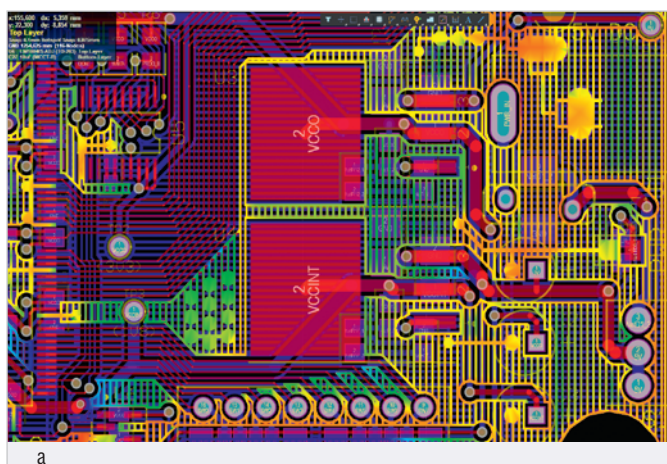


Рис. 11. Возвратная цепь, выполненная сетчатым полигоном: а) вертикальными линиями на слое Top Layer; б) горизонтальными линиями на слое Bottom Layer

Designer, предоставляя разработчикам интуитивно понятные и одновременно мощные инструменты инженерного анализа. Дополнительный программный модуль PDN Analyzer позволяет разработчикам проводить анализ

целостности питания по постоянному току в сквозном цикле проектирования без привлечения внешних программных средств. Это обеспечивает целостность проектных данных и высокую точность результатов анализа цепей питания.

ЛИТЕРАТУРА

1. Кечев Л.Н. Проектирование печатных плат для цифровой быстродействующей аппаратуры. – М.: ООО «Группа ИДТ», 2007. – 616 с.
2. PDN Analyzer Features: <http://www.altium.com/pdna/features.php>



Электроника Транспорт 2018

12-я специализированная выставка электроники и информационных технологий для пассажирского транспорта и транспортной инфраструктуры



16-17 МАЯ, МОСКВА
КВЦ «СОКОЛЬНИКИ»
WWW.E-TRANSPORT.RU

ChipEXPO-2018

КОМПОНЕНТЫ | ОБОРУДОВАНИЕ | ТЕХНОЛОГИИ

16-я
МЕЖДУНАРОДНАЯ
ВЫСТАВКА
ЭЛЕКТРОНИКИ

РОССИЯ | МОСКВА
ЭКСПОЦЕНТР

ТЕМАТИЧЕСКИЕ ЭКСПОЗИЦИИ

- Экспозиция предприятий радиоэлектронной промышленности России «Участники Федеральных целевых программ Минпромторга России»
- Экспозиция «Участники Конкурса «Золотой Чип»
- Экспозиция «Испытания и контроль качества ЭКБ»
- Экспозиция «Новинки производителей электронных компонентов»
- Экспозиция «Другая электроника»
- Экспозиция предприятий Зеленограда [Корпорация развития Зеленограда]
- Экспозиция предприятий АО «Росэлектроника»



17.10-
19.10

ОФИЦИАЛЬНАЯ ПОДДЕРЖКА

