Проектирование и моделирование печатных плат в САПР Allegro Часть 1

Александр Панов (Москва)

Компания Parallel Systems выпустила материал для обучения новых пользователей возможностям САПР Allegro/OrCAD, таким как создание и моделирование схем и трассировка плат. Востребованность этого материала побудила автора к написанию цикла статей по проектированию и моделированию печатных плат в бесплатной версии программы – OrCAD Lite.

Несмотря на то, что инструменты Cadence Allegro и OrCAD предназначены для решения самых сложных инженерных задач, в рамках данной статьи и последующих будут рассмотрены только основные элементы процесса разработки, ограниченные следующими правилами:

- всё описанное можно будет выполнить в бесплатной версии программы OrCAD Lite, доступной для скачивания с сайта www.orcad.com;
- будут охвачены основные приёмы работы в OrCAD Capture, PSpice и Allegro PCB Editor;
- все действия разбираются настолько детально, что любой пользователь, не имевший до этого дела с продуктами

OrCAD, сможет их понять и выполнить;

- будут пройдены все этапы типового процесса проектирования, начиная с пустого листа схемы и закачивая готовой топологией;
- потребуется всего несколько часов, чтобы выполнить весь цикл проектирования.

Для установки OrCAD Lite необходимо скачать его по ссылке www.orcad.com/ru/ buy/try-orcad-for-free и выполнить установку. Процесс инсталляции займёт не более 15 мин. Необходимо выбрать полный вариант установки и типовые пути к корневым каталогам установки САПР.

В этой и последующих статьях цикла проектирование и моделирование печатных плат в OrCAD Capture и PSpice описывается на примере создания простой схемы усилителя звука для наушников. На рисунке 1 показана схема, уже подготовленная для spiceмоделирования, с разъёмами для размещения на плате.

Введение в редактор схем Создание проекта

Процесс работы начинается с запуска OrCAD Capture, Allegro Capture CIS или OrCAD Capture CIS Lite. В открывшемся приложении Capture используйте команду File > New > Project..., чтобы создать новый проект (см. рис. 2), выберите Project Type – PSpice Analog Mixed A/D, чтобы в дальнейшем иметь возможность промоделировать схему. Укажите папку для проекта и его имя, например, Headphone (наушники).

Затем в следующем окне можно выбрать шаблон проекта empty.obj (см. рис. 3).

При наличии разных вариантов программы, которые можно использовать для дальнейшей симуляции, нуж-



Рис. 1. Полная схема устройства

САПР печатных плат Cadence для проектирования скоростных плат. Поддерживается импорт из P-CAD*

- * закажите новый каталог ПО 2016 г.
- * ознакомьтесь с новым релизом 17.2
- * запросите новые цены на САПР Allegro, OrCAD и Sigrity
- * получите скидку до конца 2016 г.



www.pcbsoft.ru/pcb-2016

Маршрут проектирования печатных плат Cadence: «От идеи

до готового решения»

Cadence[®] OrCAD[®]

схемный ввод и разработка печатных плат

Cadence[®] Allegro[®]

продвинутая и высокоскоростная трассировка

Cadence[®] PSpice[®]

аналого-цифровое моделирование и анализ надежности

Cadence[®] Sigrity[™]

моделирование целостности сигналов и питаний

Эта плата разработана в САПР Allegro. **У вас тоже сложные платы?** Берите Allegro и получайте результат быстро и качественно. Для плат попроще – берите недорогой OrCAD.

ООО «ПСБ СОФТ» г. Москва www.pcbsoft.ru info@pcbsoft.ru +7 (499) 558-02-54 +7 (800) 333-97-22



В 2015 году компания **Cadence Design Systems, Inc.** подписала контракт с новым официальным дистрибьтором – компанией **PCB SOFT** (группа компаний **PCB technology**). С 2016 года компания **PCB SOFT** является единственным официальным дистрибьютором программного обеспечени **Cadence** в России, Беларуси и Казахстане.

В честь своего 5-ти летнего юбилея компания **PCB SOFT** продлевает скидки до конца 2016 года для заказчиков на продукты **OrCAD** (вся линейка), **Allegro** (вся линейка) и **Sigrity** (линейка моделирования **SI/PI** на печатных платах).

Компания **PCB SOFT** предлагает дополнительные услуги по конвертации старых проектов и библиотек в формат **OrCAD/Allegro** из **P-CAD2006**, **Altium, Mentor**, разработке новых библиотек, переобучению специалистов по ускоренной программе, а также настройку и русификацию **CAПP Cadence** для стыковки с **PLM/PDM**, механическими САПР и требованиями ЕСКД.





Рис. 4. Выбор САПР из доступных вариантов

но выбрать самый простой вариант – OrCAD Lite (см. рис. 4).

Добавление библиотек к проекту

Работа со схемой начинается с выбора и добавления библиотек. Для этого раскройте последовательно закладки в дереве проекта и найдите лист Page1. Откройте его двойным щелчком левой кнопки мыши (ЛКМ) и выберите команду Place > Part из меню либо из панели инструментов. Затем нажмите кнопку добавления необходимых библиотек (см. рис. 5).

Когда откроется окно проводника для выбора библиотек, перейдите в папку С:\Cadence\SPB 17.2, затем в папку tools\Capture\library\pspice (см. рис. 6), где будут находиться библиотеки со spice-моделями. Добавьте их все, выделив первую 1 shot и, зажав кнопку Shift, последнюю Zetex (выделятся все между ними). Далее нажмите кнопку Открыть. Указанные пути к библиотекам используются по умолчанию при установке программ. Если при установке они были изменены, следует ориентироваться на новые корневые каталоги.

Размещение символов

В качестве основы используется готовая схема, приведённая на рисунке 1. Используя её, нарисуем собственную в схемном редакторе Capture. Конечно же, точное размещение элементов не требуется, но необходимо следить за взаимным подключением компонентов, чтобы получить идентичный результат. После того как были добавлены библиотеки, выберите символ РОТ (переменный рези-

Browse File

G 👂 📂 🛄 -

Дата изменения

14.02.2012 17:19

17.08.2009 17:39

01.05.2016 20:37

01.05.2016 21:17

01.05.2016 21:17

01.05.2016 21:16

24.09.2015 17:35

01.05.2016 21:16

17.08.2009 17:41

01.05.2016 20:35

01.05.2016 20:37

01.05.2016 21:16

Тип ~

Файл

Файл '

Открыть

Отмена

>

v II

"zetex.olb" "1 shot.olb" "74ac.olb" "74act.olb' V

Capture Library(*.olb)

П Только чтен

стор) из библиотеки Breakout. Для этого в меню Place > Part в окне Part нужно написать РОТ. Это позволит перейти к данному компоненту в списке. Необходимо следить за тем, чтобы в списке ниже была выбрана необходимая библиотека (её имя должно иметь синий фон). Когда символ выбран для размещения, его можно поворачивать с помощью клавиши R или команды Rotate из меню, вызываемого нажатием правой кнопки мыши (ПКМ). Разместите все переменные резисторы, а затем прервите команду с помощью нажатия Esc или ПКМ > End Mode.

Двойным нажатием на символ откройте таблицу с его свойствами и поменяйте значение Value с первоначального 1k на 50k. Либо можно выделить сам параметр, два раза нажать на





Рис. 6. Просмотр пути к файлам доступных библиотек

R4 120k <u>R5</u> 220 S I

Рис. 7. Размещение

резисторов на схеме

R1 50K P

-0

R2 22k

R3 100k

SET = 0.5

текст 1k, поменять его значение на 50k и сохранить изменения нажатием OK. Текст и символы на схеме можно перемещать, выполнив выделение одиночным нажатием ЛКМ, а затем перетягивая их на нужное место. Сохраните внесённые изменения, используя команду File > Save.

Теперь разместим подобным образом обычные резисторы, используя символ R из библиотеки Analog. Резисторы можно размещать, накладывая концы их выводов друг на друга. Тогда они будут сразу же соединяться. Останется только растащить их на нужное расстояние. Можно поставить несколько резисторов, добавить им необходимые номиналы, а остальные, такие же, вставить, используя копирование. Для этого выделите символ и потяните его с зажатой кнопкой Ctrl. В итоге должна получиться цепочка, подобная изображённой на рисунке 7.

После резисторов разместите конденсаторы С1...С3. Поскольку речь касается моделирования в PSpice, используются неполяризованные конденсаторы. В реальной плате с большими номиналами могут потребоваться электролиты, но сейчас это не играет роли. Используйте символы С из библиотеки Analog, укажите у них необходимые номиналы. В случае если позиционные обозначения были указаны вручную, они будут подчёркнуты. Позже, после проведения перенумерации, подчёркивание пропадёт. Если понадобится, для соединения выводов используйте команду Place Wire. Её можно вызвать нажатием клавиши W либо из меню Place > Wire, либо нажатием кнопки на панели инструментов. Нажав ЛКМ, начинаем вести цепь из конца вывода компонента. Также используем нажатия ЛКМ для прокладки пути. Необходимо обратить внимание на места пересечения проводников: в случае подключения их друг к другу там должна появляться соединительная точка.

Перейдём к размещению транзисторов. При размещении транзистора BC212 PNP можно выполнить его зеркальное отражение через нажатие ПКМ > Mirror Vertically. Оба компонента, BC182BP и BC212BP, находятся в библиотеке Zetex.

Остаётся дорисовать правую часть схемы, используя транзисторы TIP41 и TIP42 из библиотеки Pwrbjt и резисторы из библиотеки Analog. Проследите

ce Net Alias	×
	OK
	Cancel
	Help
Rotation	100 0 270
	100 0210
Arial 7 (default)	
	~
	Rotation © 0 0 30 C Arial 7 (default)

Рис. 8. Выполнение команды Place > Net Alias (присвоить имя цепи)

за расположением эмиттера у транзисторов и при необходимости используйте команды по зеркальному отражению, которые вызываются из контекстного меню нажатием ПКМ.

Именование цепей

Всем соединениям, которые нарисованы на схеме, автоматически присваивались названия в формате N плюс индивидуальный номер. Чтобы в дальнейшем было легче ориентироваться, можно задать цепям другие имена. Для этого необходимо воспользоваться командой Place > Net Alias (можно вызвать её нажатием клавиши N). Окно команды изображено на рисунке 8.

Сверху окна указывается новое имя цепи. При желании можно указать цвет и ориентацию названия. Введём MID и нажмём ОК. Новое имя будет прикреплено к курсору, пока его не назначат какой-либо цепи. Следует помнить следующие нюансы. Если название цепи заканчивается на номер, то при расстановке его на схеме, будет происходить автоматическое увеличение номера (после А0 будет присвоено А1 и так далее). Также надо помнить, что, если двум отдельным цепям на одном листе будет присвоено одно и то же название, то в дальнейшем они будут считаться электрически соединёнными, даже если они не связаны линией. Назначим название MID цепи на стыке двух выходных транзисторов справа (см. рис. 1).

Добавление источников питания и символа земли

Для завершения схемы добавим источники питания. Добавьте символ VSIN из библиотеки Source (V1 на рисунке 1) и задайте ему параметры VOFF=0, VAMPL=10m, FREQ=1k и AC=1.

)		ОК
		Cancel
GND END FARTU		Add Library
SND_FIELD SIGNAL	(Remove Library
	- I I I	Help
Draries: DAPSYM		
Design Cache SOURCE	Name:	
	0	
	a alaan a da ayayyad	

Рис. 9. Символ земли в стандартной библиотеке

Это будет обозначать источник синусоидального напряжения с амплитудой 10 мВ и частотой 1 кГц для моделирования переходных процессов, а также источник напряжения в 1 В для моделирования АС Sweep. Подробно о них будет рассказано в следующих статьях. Добавляем символ VDC из библиотеки Source (V2 на рисунке 1). Заменим ему значение 0Vdc на 20 (PSpice-симулятор «знает», что это величина постоянного напряжения, поэтому суффиксами Vdc или V можно пренебречь).

Остаётся добавить символ земли, который необходим в PSpiceмоделировании для задания 0 в схеме. Он находится в библиотеке Capsym. Для этого используйте команду Place > Ground (см. рис. 9).

После этого назначьте имена цепям IN, OUT и VPP, используя команду Place > Net Alias. Во время размещения можно нажать Ctrl+E для входа в меню команды и задания новых имён.

Перенумерация компонентов

Чтобы обозначения располагались по порядку сверху-вниз, необходи-

		A	nnotate			
Packaging	PCB Editor Reuse	Layout Reuse				
Refdes	control required					
Scope						
Upda	ste entire design					
Copu	are selection					
	mental reference up	date 2				
O Unco	onditional reference u	update				
Add	Intersheet Reference	88				
ODele	te Intersheet Referer	nces				_
Ollode	te Occurrences		Annotation Type	Top-Bottom		~
Upda	ate Instances (Prefer	red)				
Physical	Packaging		Addtionally	From INI -		
{Value}	(Source Package)					
Reset r	eference numbers to	begin at 1 in eac	h page			
Annota	te as per PM page o	rdering	O Annotate as	per page ord	ering in the	title blocks
•	Do not change the p	age number				
 Include 	non-primitive parts					
Preserv	re designator					
Presen	e User Assigned Val	id References				
Auto-pa	ackage Heterogeneo	us Part Using Firs	t Match			
			OK			0
			UK	01	сена	справка

Рис. 10. Выполнение автонумерации компонентов



Рис. 11. Схема после перенумерации компонентов

мо выполнить перенумерацию компонентов. Для этого выделите проект headphone.dsn в дереве проекта и запустите команду Tools > Annotate... с настройками, как это показано на рисунке 10. Сначала сбросьте все значения, используя пункт Reset part reference to «?», затем пронумеруйте, переключившись на Incremental reference update с опцией Annotate type – Top-Bottom. Результат перенумерации показан на рисунке 11. На этом можно закончить и сохранить проект (File > Save).

Заключение

Выполнив описанные действия, вы создали схему, содержащую все необходимые для работы усилителя звука компоненты. В следующей статье будет описано моделирование работы полученной схемы.

Новости мира News of the World Новости мира

Qualcomm собирается купить NXP Semiconductors за \$37 млрд

Американский разработчик микропроцессоров Qualcomm близок к приобретению голландской полупроводниковой компании NXP Semiconductors. Благодаря этой сделке покупатель сможет освоить новые сегменты процессорного рынка. О планах Qualcomm по поглощению NXP агентству Reuters стало известно от осведомлённого источника. По его информации, речь идёт о сумме в \$37 млрд или \$110 за акцию голландской компании.

Qualcomm является самым крупным в мире поставщиком систем-на-кристалле для различных мобильных устройств и телекоммуникационного оборудования. Согласно данным IHS, в прошлом финансовом году выручка компании составила более \$25,28 млрд (\$17,15 млрд принесли продажи микросхем, \$7,95 млрд – лицензирование технологий), что делает Qualcomm четвёртым поставщиком микросхем в мире по уровню дохода.

В случае успешного завершения сделки Qualcomm, которая является одним из главных поставщиков чипов для Apple, а также Android-производителей, выйдет на рынок чипов для автомобилей. Это важный шаг для компании, особенно в условиях замедления продаж смартфонов и роста конкуренции со стороны китайских и тайваньских производителей.

Руководство Qualcomm ранее избегало крупных приобретений, опасаясь брать на себя риски, связанные с покупкой компаний, которые выходят за рамки довольно узкой специализации Qualcomm.

По итогам прошлого года NXP Semiconductors была седьмым по объёму выручки поставщиком микросхем с доходом \$9,72 млрд. Нужно заметить, что сделать скачок с пятнадцатого места ей помогло приобретение Freescale Semiconductor. Последняя обошлась голландскому чипмейкеру в \$12 млрд. В результате объединения появилась полупроводниковая компания с рыночной стоимостью \$40 млрд.

NXP Semiconductors производит аналоговые и цифровые микрочипы для автомобилей, медицинского оборудования и др. Bloomberg утверждает, что заключение сделки может последовать сразу же после выхода квартального отчёта NXP, или может быть отложено до отчёта Qualcomm. Однако договор о покупке пока не подписан.

Прошлый год стал рекордным с точки зрения суммарной стоимости М&А-соглашений между производителями микросхем – \$103,8 млрд (данные IC Insights). За этот год в полупроводниковой отрасли было объявлено о 20 сделках на общую сумму \$55,3 млрд.

www.pcweek.ru

News of the World Новости мира Новости мира

Achronix предлагает встраивать **FPGA в процессоры**

На заре своего появления в 1980-х гг. программируемые матрицы FPGA (ПЛИС) выступали в качестве связующего звена между дискретной логикой и, по сути, представляли собой гибко программируемый интерфейс. По мере совершенствования и с увеличением плотности и числа вентилей в их составе, матрицы стали способны на большее – работать в качестве ускорителей вычислений определённых задач. Сегодня матрица FPGA может считаться полноценным сопроцессором, а стараниями компании Intel матрицы могут располагаться на одной и той же подложке с центральным процессором. Может ли быть что-то лучше? Очевидно, только матрица, интегрированная в кристалл процессора.

Матрицы для интеграции в состав однокристальных схем (и процессоров) предложила компания Achronix. Специалисты компании разработали полностью функциональный и готовый к интеграции в сторонние решения блок встраиваемой матрицы или eFPGA. Решение распространяется на основе приобретения лицензии на данную интеллектуальную собственность Achronix. В компании рассчитывают, что распространение eFPGA значительно увеличит годовую выручку компании, которая только в этом году вернулась к прибыльности. Так, в текущем году выручка Achronix обещает достичь \$12 млн, а в 2017 г., благодаря продвижению eFPGA, превысит \$40 млн.

Интеграция матрицы в SoC устраняет эффект «бутылочного горлышка» – максимально раскрывает потенциал по обмену данными между матрицей и вычислительными ядрами процессора. Задержки при обращении к eFPGA снижаются до 2 нс, тогда как типичные задержки при обращении к отдельно стоящей матрице равны 30 нс и могут достигать 100 нс. Также уменьшается площадь кристалла, выделенного под матрицу, и снижаются её энергопотребление и себестоимость – всё это, прежде всего, за счёт избавления от «лишних» интерфейсов, которые необходимы FPGA, устанавливаемым отдельно.

Надо отметить, что предложенные компанией Achronix блоки eFPGA Speedcore IP базируются на той же самой архитектуре и используют те же самые инструменты для работы, что и предыдущие «дискретные» матрицы Speedster 22i. Иными словами, клиенты Achronix не будут испытывать проблем, переходя на работу со встроенными матрицами eFPGA Speedcore.

Матрицы Speedster 22i по заказу Achronix выпускает компания Intel, для чего использует 22-нм FinFET техпроцесс. Компания Achronix – одна из немногих, кто передал заказ на изготовление чипов контрактному подразделению Custom Foundry компании Intel. Блоки eFPGA Speedcore IP, напротив, созданы с прицелом на производство компанией TSMC с использованием техпроцесса 16FF+. Также в компании сообщили, что ведутся разработки новой версии eFPGA IP для выпуска с использованием технологических норм 7 нм.

> www.3dnews.ru со ссылкой на www.eetimes.com



Серия S-40: карты памяти SD и MicroSD для эффективных промышленных применений

- 4–32 Гбайт (MLC NAND Flash)
- SD 3.0 (2.0), SDHC, Class 6
- Передача данных до 24 Мбайт/с ٠
- Автономная система управления данными
- Защита от пропадания напряжения
- Долгое время хранения данных при экстремальных температурах
- Резервирование встроенного программного обеспечения
- Сложный механизм распределения нагрузки и управления сбойными блоками
- Обновление параметров и встроенного программного обеспечения
- Контроль изменений в комплектации
- Инструменты для диагностики

Надежные, прочные, экономичные

ОФИЦИАЛЬНЫЙ ДИСТРИБЬЮТОР ПРОДУКЦИИ SWISSBIT



СОВРЕМЕННАЯ ЭЛЕКТРОНИКА ◆ № 9 2016